

Title (en)

Integrated circuit with fast start-up function of voltage sources or reference current

Title (de)

Integrierte Schaltung mit Sofortstartfunktion von Spannungsquellen oder Referenzstrom

Title (fr)

Circuit intégré avec fonction de démarrage rapide de sources de tension ou courant de référence

Publication

EP 0699989 A1 19960306 (FR)

Application

EP 95401983 A 19950831

Priority

FR 9410500 A 19940831

Abstract (en)

The current/voltage reference level generator is for an integrated circuit that has at least a circulating current branch in which there is, in series, a transistor (N1,N2) to a channel (N) and a transistor (P1,P2) to a channel (P). One of these transistors (P1) called the reference transistor, has its drain connected to its grid in normal mode and the grid is connected to an output (S1) of a generator. The waiting mode transistors (Q1,Q2) are interposed between each branch of the circulating current network and a feed terminal (A,B). A mode control input supplies a mode signal (POR-STBY) which locks the waiting mode transistors (Q1,Q2) in waiting mode and makes them conduct in normal mode. The circuit also includes a transistor (Q3,Q4), controlled by the mode signal, which is connected between the output and a non-floating reference potential. A transfer port (PT1) is inserted between the grid and the drain of the reference transistor (P1), this port being controlled by the mode signal so as to be blocked in the waiting mode.

Abstract (fr)

L'invention concerne un générateur de niveau de référence en circuit intégré, comportant au moins une première branche de circulation de courant dans laquelle on a en série un transistor (N1, N2) à canal N et un transistor (P1, P2) à canal P, l'un des deux (P1), appelé ci-après transistor de référence, ayant son drain relié à sa grille en mode normal et cette grille étant reliée à une sortie (S1) du générateur, des transistors de mode d'attente (Q1, Q2) interposés entre chaque branche de circulation de courant et une borne d'alimentation (A, B), et une entrée de commande de mode pour fournir un signal de mode (POR-STBY) qui bloque les transistors de mode d'attente (Q1, Q2) en mode d'attente et qui les rend conducteurs en mode normal. L' invention est caractérisée en ce que d'une part un transistor (Q3, Q4) commandé par le signal de mode est relié entre la sortie et un potentiel de référence non flottant, et en ce que d'autre part une porte de transfert (PT1) est insérée entre la grille et le drain du transistor de référence (P1), cette porte étant commandée par le signal de mode pour être bloquée en mode d'attente. <IMAGE>

IPC 1-7

G05F 3/24; **G05F 3/26**

IPC 8 full level

G05F 3/24 (2006.01); **G05F 3/26** (2006.01); **H02J 1/00** (2006.01)

CPC (source: EP US)

G05F 3/245 (2013.01 - EP US); **G05F 3/262** (2013.01 - EP US)

Citation (search report)

- [A] US 4628250 A 19861209 - LEE ROBERT D [US]
- [A] US 5258663 A 19931102 - TAMAKI SATOSHI [JP]
- [A] EP 0511675 A2 19921104 - TOSHIBA KK [JP], et al
- [A] US 5047706 A 19910910 - ISHIBASHI KOICHIRO [JP], et al

Designated contracting state (EPC)

DE FR GB IT

DOCDB simple family (publication)

EP 0699989 A1 19960306; **EP 0699989 B1 19970312**; DE 69500177 D1 19970417; DE 69500177 T2 19970619; FR 2724025 A1 19960301; FR 2724025 B1 19970103; JP 2818646 B2 19981030; JP H0876867 A 19960322; US 5642037 A 19970624

DOCDB simple family (application)

EP 95401983 A 19950831; DE 69500177 T 19950831; FR 9410500 A 19940831; JP 24662495 A 19950831; US 52151695 A 19950830