

## Title (en)

Semiconductor memory structure, using a ferroelectric dielectric and method of formation

## Title (de)

Halbleiter-Speichervorrichtung unter Verwendung eines ferroelektrischen Dielektrikums und Verfahren zur Herstellung

## Title (fr)

Structure de mémoire à semi-conducteurs utilisant un diélectrique ferroélectrique et méthode de fabrication

## Publication

**EP 0740347 A1 19961030 (DE)**

## Application

**EP 95106098 A 19950424**

## Priority

EP 95106098 A 19950424

## Abstract (en)

The memory device has a number of memory cells formed in the surface of a semiconductor substrate in parallel planes. Each employs a selection transistor and a controlled memory capacitor, with a ferroelectric dielectric (13). One electrode of each memory capacitor is formed by a common conductor layer, the capacitor structure formed above the plane of the substrate surface, with a cylindrical symmetry having a cylinder axis perpendicular to this plane. The capacitor is formed by etching a groove in an applied surface layer and depositing 2 conductive layers spaced by an intermediate layer, subsequently removed to leave a hollow space which is filled with the dielectric.

## Abstract (de)

Die Erfindung bezieht sich auf eine Halbleiter-Speichervorrichtung mit einer Vielzahl von auf einem Halbleitersubstrat angeordneten Speicherzellen (1), von denen jede einen in einer zur Oberfläche des Halbleitersubstrates im wesentlichen parallel verlaufenden Ebene (21) angeordneten und jeweils einen Gateanschluß (8) sowie einen ersten (5) und einen zweiten Elektrodenanschluß (6) aufweisenden Auswahltransistor (3) und einen dem Auswahltransistor (3) zugeordneten und mittels diesem ansteuerbaren Speicherkondensator (9) mit einem ferroelektrischen Dielektrikum (13) sowie einer ersten (11) und einer zweiten Kondensatorelektrode (12) aufweist. Das erfindungsgemäße Verfahren zur Herstellung der Halbleiter-Speichervorrichtung sieht vor, daß der Speicherkondensator (9) mit dem ferroelektrischen Dielektrikum (13) nach Fertigstellung des Auswahltransistors (3) durch folgende Schritte hergestellt wird: Ätzen eines zumindest bis zu dem zweiten Elektrodenanschluß (6) des Auswahltransistors (3) reichenden Grabens (18), konformes Abscheiden einer elektrisch leitenden Schicht (19) für die zweite Kondensatorelektrode (12) innerhalb des Grabens (18), konformes Abscheiden einer als Platzhalter für das ferroelektrische Dielektrikum (13) dienenden Hilfsschicht (25), konformes Abscheiden einer elektrisch leitenden Schicht (26) für die erste Kondensatorelektrode (11) innerhalb des Grabens (18) auf die Hilfsschicht (25), wenigstens teilweises Entfernen der Hilfsschicht (25) und dadurch Freilegen einer Hohlschicht (25a) zwischen den beiden elektrisch leitenden Schichten (19, 26), und Abscheiden des ferroelektrischen Dielektrikums (13) in die freigelegte Hohlschicht (25a) zwischen den beiden elektrisch leitenden Schichten (19, 26) für die erste und die zweite Kondensatorelektrode. <IMAGE>

## IPC 1-7

**H01L 27/115**; **H01L 27/108**; **H01L 21/8239**

## IPC 8 full level

**H01L 27/04** (2006.01); **H01L 21/02** (2006.01); **H01L 21/822** (2006.01); **H01L 21/8242** (2006.01); **H01L 21/8246** (2006.01); **H01L 27/10** (2006.01); **H01L 27/105** (2006.01); **H01L 27/108** (2006.01); **H01L 27/115** (2006.01)

## CPC (source: EP KR US)

**H01L 28/55** (2013.01 - EP US); **H10B 12/00** (2023.02 - KR); **H10B 12/31** (2023.02 - EP US); **H10B 53/00** (2023.02 - EP US); **H10B 53/30** (2023.02 - EP US)

## Citation (search report)

- [XA] EP 0503078 A1 19920916 - SEIKO EPSON CORP [JP]
- [XA] DE 4107165 A1 19911017 - MITSUBISHI ELECTRIC CORP [JP]
- [A] DE 3922456 A1 19900111 - MITSUBISHI ELECTRIC CORP [JP]
- [A] EP 0557590 A1 19930901 - SAMSUNG ELECTRONICS CO LTD [KR]
- [XA] LARSEN P K ET AL: "FERROELECTRICS AND HIGH PERMITTIVITY DIELECTRICS FOR MEMORY APPLICATIONS", MICROELECTRONIC ENGINEERING, vol. 22, no. 1 / 04, 1 August 1993 (1993-08-01), pages 53 - 60, XP000385135
- [DXA] R. MOAZZAMI ET AL.: "Integration of ferroelectric capacitor technology with CMOS", 1994 SYMPOSIUM ON VLSI TECHNOLOGY, DIGEST OF TECHNICAL PAPERS, 7 June 1994 (1994-06-07) - 9 June 1994 (1994-06-09), HONOLULU, pages 55 - 56, XP032366409, DOI: doi:10.1109/VLSIT.1994.324380
- [A] KAZUHIKO SAGARA ET AL: "RECESSED MEMORY ARRAY TECHNOLOGY FOR A DOUBLE CYLINDRICAL STACKED CAPACITOR CELL OF 256M DRAM", IEICE TRANSACTIONS ON ELECTRONICS, vol. E75-C, no. 11, 1 November 1992 (1992-11-01), pages 1313 - 1321, XP000336333

## Cited by

CN110265400A; EP0987765A3; CN111092083A; US11706929B2; US11935574B2; TWI828059B

## Designated contracting state (EPC)

AT DE FR GB IE IT NL

## DOCDB simple family (publication)

**EP 0740347 A1 19961030**; **EP 0740347 B1 20020828**; AT E223108 T1 20020915; DE 59510349 D1 20021002; JP 3540505 B2 20040707; JP H08340092 A 19961224; KR 100373430 B1 20030926; KR 960039388 A 19961125; TW 302477 B 19970411; US 5828092 A 19981027; US 6083765 A 20000704

## DOCDB simple family (application)

**EP 95106098 A 19950424**; AT 95106098 T 19950424; DE 59510349 T 19950424; JP 12411196 A 19960422; KR 19960012574 A 19960424; TW 85104680 A 19960419; US 13562398 A 19980818; US 63912396 A 19960424