

Title (en)  
Circuit for generating a bias voltage

Title (de)  
Schaltungsanordnung zur Erzeugung eines Biaspotentials

Title (fr)  
Circuit pour générer une tension de polarisation

Publication  
**EP 0766163 A2 19970402 (DE)**

Application  
**EP 96114180 A 19960904**

Priority  
DE 19535807 A 19950926

Abstract (en)  
[origin: DE19535807C1] The circuit includes a first transistor (2) with its collector connected to a supply potential (1). A first resistor (3) is connected between the base and the collector of the transistor (2). A first current source (5) is connected between the base of the first transistor (2) and a reference potential (4). A second current source (6) is connected between the emitter of the first transistor (2) and the reference potential (4). A second transistor (7) has its base connected to the supply potential (1). Its base is connected to the emitter of the first transistor (2). A third current source (8) is connected between the emitter of the second transistor (7) and the reference potential (4). A third transistor (9) conducts the bias potential at its collector. A second resistor (10) is connected between the emitter of the second transistor (7) and the base of the third transistor (9). A third resistor (11) is connected between the collector of the third transistor (9) and the supply potential (1). A first forward biased diode (12) is connected between the base of the third transistor (9) and the reference potential (4). A fourth resistor (13) is connected between the emitter of the third transistor (9) and the reference potential (4). The fourth resistor (13) has a resistance half of that of the second or third resistors (10,11), which are the same size as each other. The second and third current sources supply a current dependent on the collector current of the third transistor (9).

Abstract (de)  
Schaltungsanordnung zur Erzeugung eines Biaspotentials mit einem kollektorseitig an ein Versorgungspotential (1) angeschlossenen ersten Transistor (2), einem zwischen Basis und Kollektor des Transistors (2) geschalteten ersten Widerstand (3), einer zwischen die Basis des ersten Transistors (2) und ein Bezugspotential (4) geschalteten ersten Stromquelle (5), einer zwischen den Emitter des ersten Transistors (2) und das Bezugspotential (4) geschalteten zweiten Stromquelle (6), einem kollektorseitig an das Versorgungspotential (1) und basisseitig an den Emitter des ersten Transistors (2) angeschlossenen zweiten Transistor (7), einer zwischen den Emitter des zweiten Transistors (7) und das Bezugspotential (4) geschalteten dritten Stromquelle (8), einem kollektorseitig das Biaspotential führenden dritten Transistor (9), einem zwischen den Emitter des zweiten Transistors (7) und die Basis des dritten Transistors (9) geschalteten zweiten Widerstand (10), einem zwischen den Kollektor des dritten Transistors (9) und das Versorgungspotential (1) geschalteten dritten Widerstand (11), einer zwischen die Basis des dritten Transistors (9) und das Bezugspotential (4) geschalteten ersten Diode (12) in Durchlaßrichtung und einem zwischen den Emitter des dritten Transistors (9) und das Bezugspotential geschalteten vierten Widerstand (13), wobei der vierte Widerstand (13) den halben Widerstandswert des zweiten oder dritten Widerstands (10, 11), die untereinander gleich groß sind, aufweist und zweite und dritte Stromquelle einen vom Kollektorstrom des dritten Transistors (9) abhängigen Strom liefern. <IMAGE>

IPC 1-7  
**G05F 3/20**

IPC 8 full level  
**G05F 3/20** (2006.01); **G05F 3/22** (2006.01)

CPC (source: EP US)  
**G05F 3/205** (2013.01 - EP US)

Designated contracting state (EPC)  
DE FR GB IT

DOCDB simple family (publication)  
**DE 19535807 C1 19961024**; DE 59601698 D1 19990527; EP 0766163 A2 19970402; EP 0766163 A3 19980401; EP 0766163 B1 19990421; US 5656927 A 19970812

DOCDB simple family (application)  
**DE 19535807 A 19950926**; DE 59601698 T 19960904; EP 96114180 A 19960904; US 72156296 A 19960926