

Title (en)  
Circuit for generating a voltage reference

Title (de)  
Schaltungsanordnung zur Erzeugung eines Referenz-potentials

Title (fr)  
Circuit pour générer une tension de référence

Publication  
**EP 0806719 A2 19971112 (DE)**

Application  
**EP 97106833 A 19970424**

Priority  
DE 19618914 A 19960510

Abstract (en)  
[origin: DE19618914C1] A capacitance (C1) is formed in parallel with a resistance (R2) in the collector circuit of one transistor (T2) of a pair, the other one (T1) being connected as a diode. The collector current is drawn from a current source (T4) having its emitter connected to the output terminal (U) and its collector supplied with a constant voltage (V). The base is connected to one node of a divider chain with a resistance (R8) between complementary bipolar transistors (T6, T3) in cascode, the lower one (T3) having its base connected to the capacitance.

Abstract (de)  
Schaltungsanordnung zur Erzeugung eines Referenzpotentials mit einem ersten Transistor (T1), dessen Emitter mit einem Bezugspotential (M) verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind, mit einem zweiten Transistor (T2), dessen Basis mit der Basis des ersten Transistors (T1) verbunden ist, mit einem ersten Widerstand (R1), der zwischen den Kollektor des ersten Transistors (T1) und einem Ausgangsanschluß (U) zum Abgreifen des Referenzpotentials geschaltet ist, mit einem zweiten Widerstand (R2), der zwischen den Kollektor des zweiten Transistors (T2) und den Ausgangsanschluß (U) geschaltet ist, mit einem dritten Widerstand (R3), der zwischen den Emitter des zweiten Transistors (T2) und das Bezugspotential (M) geschaltet ist, mit einem dritten Transistor (T3), dessen Basis mit dem Kollektor des zweiten Transistors (T2) und dessen Emitter mit dem Bezugspotential (M) verbunden ist, und mit einer gesteuerten Stromquelle (T3, T4), die zwischen ein Versorgungspotential (V) und den Ausgangsanschluß (U) geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors (T3) gekoppelt ist und mit einer Kapazität (C1), die dem zweiten Widerstand (R2) parallel geschaltet ist. <IMAGE>

IPC 1-7  
**G05F 3/26**; **G05F 3/30**

IPC 8 full level  
**G05F 3/26** (2006.01); **G05F 3/30** (2006.01)

CPC (source: EP US)  
**G05F 3/265** (2013.01 - EP US); **G05F 3/30** (2013.01 - EP US)

Cited by  
DE10357772A1

Designated contracting state (EPC)  
CH DE DK FR GB IT LI

DOCDB simple family (publication)  
**DE 19618914 C1 19970814**; DE 59704169 D1 20010906; EP 0806719 A2 19971112; EP 0806719 A3 19980916; EP 0806719 B1 20010801; US 5883543 A 19990316

DOCDB simple family (application)  
**DE 19618914 A 19960510**; DE 59704169 T 19970424; EP 97106833 A 19970424; US 85584297 A 19970512