

Title (en)
Circuit for generating a voltage reference which can be enabled and disabled

Title (de)
Ein-/Ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials

Title (fr)
Circuit pour générer une tension de référence pouvant être validé ou inhibée

Publication
EP 0809169 A2 19971126 (DE)

Application
EP 97107599 A 19970505

Priority
DE 19621110 A 19960524

Abstract (en)
[origin: DE19621110C1] The circuit has a first transistor coupled to a given potential at its emitter and a second transistor coupled in common base configuration with the first transistor. The collectors of both transistors are coupled to the output terminal for the reference potential via respective resistors. The emitter of the second transistor is coupled to the given potential via a further resistor, its collector coupled to the base of a third transistor connected at its collector to a controlled current source. The switching signal is fed to the base of a fifth transistor in parallel with the third transistor.

Abstract (de)
Ein-/Ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials mit einem ersten Transistor (T1), dessen Emitter mit einem Bezugspotential (M) verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind, mit einem zweiten Transistor (T2), dessen Basis mit der Basis des ersten Transistors (T1) verbunden ist, mit einem ersten Widerstand (R1), der zwischen den Kollektor des ersten Transistors (T1) und einen Ausgangsanschluß (U) zum Abgreifen des Referenzpotentials geschaltet ist, mit einem zweiten Widerstand (R2), der zwischen den Kollektor des zweiten Transistors (T2) und den Ausgangsanschluß (U) geschaltet ist, mit einem dritten Widerstand (R3), der zwischen Emitter des zweiten Transistors (T2) und das Bezugspotential (M) geschaltet ist, mit einem dritten Transistor (T3), dessen Basis mit dem Kollektor des zweiten Transistors (T2) und dessen Emitter mit dem Bezugspotential (M) verbunden ist, und mit einer gesteuerten Stromquelle (T4), die zwischen ein Versorgungspotential (V) und den Ausgangsanschluß (U) geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors (T3) gekoppelt ist, wobei der Kollektor-Emitter-Strecke des dritten Transistors (T3) die Kollektor-Emitter-Strecke eines fünften Transistors (T5) parallel geschaltet ist und daß die Basis des fünften Transistors (T5) durch ein Schaltsignal (S) angesteuert wird. <IMAGE>

IPC 1-7
G05F 3/26; **G05F 3/30**

IPC 8 full level
G05F 3/26 (2006.01); **G05F 3/30** (2006.01)

CPC (source: EP US)
G05F 3/30 (2013.01 - EP US)

Designated contracting state (EPC)
DE FR GB IT

DOCDB simple family (publication)
DE 19621110 C1 19970612; DE 59702125 D1 20000914; EP 0809169 A2 19971126; EP 0809169 A3 19981209; EP 0809169 B1 20000809; IN 191847 B 20040110; US 5801582 A 19980901

DOCDB simple family (application)
DE 19621110 A 19960524; DE 59702125 T 19970505; EP 97107599 A 19970505; IN 951CA1997 A 19970526; US 86223997 A 19970523