

Title (en)  
Clock synchronisation circuit for receivers

Title (de)  
Takt-Synchronisationsschaltung für Empfangssysteme

Title (fr)  
Circuit de synchronisation d'horloge pour systèmes de réception

Publication  
**EP 1089483 A2 20010404 (DE)**

Application  
**EP 00119447 A 20000914**

Priority  
DE 19947046 A 19990930

Abstract (en)  
The circuit includes an interpolation filter (1) which calculates synchronicity values at points in time determined by a clock signal. The synchronicity values are produced from support values derived by sampling an input signal (ES) which comprises a symbol frequency. A pulse formation filter (2) has a frequency response with a flank, whose half maximum value equals half the symbol frequency, for determining main sample values (HW) from the synchronicity values. A phase detector (7) is provided for determining a phase difference between the synchronicity values and values in a symbol raster, formed from the main sample values and a comparison value (ZW). A clock generator (10) is provided for producing the clock signal, whereby the phase detector controls the clock generator through a control signal, in such way, that the phase difference is reduced. A jitter reduction filter (11) has a pass range which includes the flank of the frequency response of the pulse formation filter, whereby the jitter reduction filter derives the comparison value directly from the synchronicity values.

Abstract (de)  
Bekannte Takt-Synchronisationsschaltungen weisen ein Verzögerungsglied für Zwischenabstastwerte auf, um Laufzeiten von Hauptabstastwerten durch ein Transversalfilter bezüglich der Phase auszugleichen. Das Regelverhalten wird dadurch verschlechtert, der Fangbereich der Regelung verkleinert. Die erfindungsgemäße Takt-Synchronisationsschaltung sieht vor, daß die Zwischenabstastwerte von einem Jitterreduktionsfilter, das Bandpaßverhalten aufweist, abgeleitet werden. Die Einschwing- und Ausregelzeit der Regelung wird dadurch verbessert. Die Takt-Synchronisationsschaltung ist für die Anwendung in Systemen geeignet, die zum Empfang digitaler Daten vorgesehen sind. <IMAGE>

IPC 1-7  
**H04L 7/02**

IPC 8 full level  
**H04L 7/02** (2006.01)

CPC (source: EP)  
**H04L 7/0029** (2013.01); **H04L 7/0334** (2013.01)

Designated contracting state (EPC)  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE

DOCDB simple family (publication)  
**EP 1089483 A2 20010404**; **EP 1089483 A3 20040114**; **EP 1089483 B1 20050420**; AT E293858 T1 20050515; DE 19947046 A1 20010405; DE 19947046 C2 20020502; DE 50010088 D1 20050525

DOCDB simple family (application)  
**EP 00119447 A 20000914**; AT 00119447 T 20000914; DE 19947046 A 19990930; DE 50010088 T 20000914