

Title (en)  
Electrical circuit to control a load with two transistors

Title (de)  
Schaltungsanordnung zum Betreiben einer Last über zwei Transistoren

Title (fr)  
Circuit électrique à commander une résistance de charge avec deux transistors

Publication  
**EP 1118922 A1 20010725 (DE)**

Application  
**EP 00127024 A 20001209**

Priority  
DE 10002037 A 20000119

Abstract (en)  
Serially coupled transistors (M1,M2) establish conductive paths, based on control signals and current flowing through the paths is limited to maximum values (Ilim(M1), Ilim(M2)) such that Ilim(M1) greater than Ilim(M2). When a current (Ilim(M2)) flows through load (R) coupled between the transistors (M1,M2), control signal of transistor (M1) is set such that voltage drop on the path of transistor (M1) is larger than that caused during flow of current (Ilim(M2)) through the path of transistor (M1).

Abstract (de)  
Die Schaltungsanordnung zum Betreiben einer Last über zwei mit der Last in Reihe zu schaltende Transistoren ist mit einem ersten Transistor (M1) versehen, der einen mit einem ersten Steuersignal beaufschlagbaren Steuereingang und einem in Abhängigkeit von dem ersten Steuersignal steuerbaren Leitungspfad aufweist, wobei der über den Leitungspfad fließende Strom auf einen ersten Maximalwert (Ilim(M1)) begrenzt ist. Ferner weist die Schaltungsanordnung einen zweiten Transistor (M2) auf, der einen mit einem zweiten Steuersignal beaufschlagbaren Steuereingang und einem in Abhängigkeit von dem zweiten Steuersignal steuerbaren Leitungspfad aufweist, wobei der über den Leitungspfad fließende Strom auf einen zweiten Maximalwert (Ilim(M2)) begrenzt ist. Der erste Maximalwert (Ilim(M1)) ist größer als der zweite Maximalwert (Ilim(M2)). Die Last (R) ist in Reihe mit den Leitungspfaden des ersten und des zweiten Transistors (M1,M2) verschaltbar. Bei von einem Strom mit der Größe des zweiten Maximalwerts durchflossener Last ist das erste Steuersignal an dem Steuereingang des ersten Transistors derart einstellbar, dass über den Leitungspfad des ersten Transistors eine Spannung fällt, die größer ist als diejenige Spannung, die abfällt, wenn über dem Leitungspfad des ersten Transistors ein Strom mit der Größe des zweiten Maximalwerts fließt. <IMAGE>

IPC 1-7  
**G05F 1/595**

IPC 8 full level  
**G05F 1/573** (2006.01); **G05F 1/595** (2006.01)

CPC (source: EP US)  
**G05F 1/573** (2013.01 - EP US)

Citation (search report)  
• [XA] GB 1105259 A 19680306 - GOERZ ELECTRO GMBH  
• [A] GB 937506 A 19630925 - WESTINGHOUSE BRAKE & SIGNAL  
• [A] CH 389039 A 19650315 - STANDARD TELEPHON & RADIO AG [CH]  
• [A] PATENT ABSTRACTS OF JAPAN vol. 008, no. 259 (P - 317) 28 November 1984 (1984-11-28)

Designated contracting state (EPC)  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE TR

DOCDB simple family (publication)  
**EP 1118922 A1 20010725; EP 1118922 B1 20030709**; AT E244906 T1 20030715; DE 10002037 C1 20010823; DE 50002823 D1 20030814; US 2001008380 A1 20010719; US 6337587 B2 20020108

DOCDB simple family (application)  
**EP 00127024 A 20001209**; AT 00127024 T 20001209; DE 10002037 A 20000119; DE 50002823 T 20001209; US 76420601 A 20010119