

Title (en)
Arrangement for providing a reference voltage

Title (de)
Einrichtung zum Verschaffen einer Referenzspannung

Title (fr)
Circuit de fourniture de tension de référence

Publication
EP 1143320 A1 20011010 (FR)

Application
EP 01410026 A 20010314

Priority
FR 0003320 A 20000315

Abstract (en)
[origin: US2001043115A1] A circuit for providing a reference voltage, including a first transistor of bipolar type, the emitter of which provides the reference voltage and the collector of which is connected to a first supply pole, a second MOS-type transistor, the drain of which is connected to the base of the first transistor and the source of which is connected to a second supply pole, a control block, an output of which is connected to the gate of the second transistor and an input of which is connected to the emitter of the first transistor, a capacitor connected to the output of the control block and coupled to the first supply pole via a first impedance, and a second impedance connected on the one hand to the second transistor and on the other hand to the connection point between the capacitor and the first impedance.

Abstract (fr)
L'invention concerne un circuit (26) de fourniture d'une tension de référence (VREF), comprenant un premier transistor (14) de type bipolaire, dont l'émetteur fournit la tension de référence et dont le collecteur est relié à un premier pôle d'alimentation (VALIM), un deuxième transistor (16) de type MOS, dont le drain est relié à la base du premier transistor et dont la source est reliée à un deuxième pôle d'alimentation (GND), un bloc de commande (20) dont une sortie est reliée à la grille du deuxième transistor et dont une entrée est reliée à l'émetteur du premier transistor, une capacité (23) connectée à la sortie du bloc de commande et couplée au premier pôle d'alimentation par l'intermédiaire d'une première impédance (18), et une deuxième impédance (28) connectée d'une part au drain du deuxième transistor et d'autre part au point de liaison (B) entre la capacité et la première impédance. <IMAGE>

IPC 1-7
G05F 3/24

IPC 8 full level
G05F 3/24 (2006.01); **G05F 3/22** (2006.01)

CPC (source: EP US)
G05F 3/247 (2013.01 - EP US); **G05F 3/227** (2013.01 - EP US)

Citation (search report)
• [A] EP 0440434 A2 19910807 - FUJITSU LTD [JP]
• [A] US 4859963 A 19890822 - SCHAFFER GREGORY L [US]
• [A] FR 2781317 A1 20000121 - ST MICROELECTRONICS SA [FR]

Designated contracting state (EPC)
DE FR GB IT

DOCDB simple family (publication)
EP 1143320 A1 20011010; FR 2806489 A1 20010921; FR 2806489 B1 20020628; US 2001043115 A1 20011122; US 6407624 B2 20020618

DOCDB simple family (application)
EP 01410026 A 20010314; FR 0003320 A 20000315; US 80873301 A 20010314