

Title (en)  
Management of virtual memory size for the transmission of data bit blocks in a HS-DSCH downlink channel in a mobile communication network

Title (de)  
Verwaltung der Speichergrösse für die Übertragung von Datenbitblöcken in einem HS-DSCH downlink Kanal in einem mobilen Kommunikationsnetz

Title (fr)  
Gestion de taille de mémoire virtuelle pour la transmission de blocs de bits de données dans un canal descendant de type HS-DSCH d'un réseau de communications mobile

Publication  
**EP 1583275 A1 20051005 (FR)**

Application  
**EP 05290671 A 20050325**

Priority  
FR 0450629 A 20040331

Abstract (en)  
The device is loaded for selecting a number of intermediate bits, equal to a maximum number of bits to be transmitted by physical channels, to be stored in a virtual memory (MTV). The intermediate bits are selected such that a rate-matching step (FRM) adapts a number of input bits to the number of intermediate bits and a rate matching step (SRM) adapts the number of intermediate bits to a number of output bits to be transmitted. An independent claim is also included for a transport channel encoding system having a rate-matching system with a management device.

Abstract (fr)  
Un dispositif (D) est dédié à la gestion de la taille d'une mémoire virtuelle (MTV) d'un système (SOD) d'organisation de débit de transmission de blocs dans un ensemble de canaux physiques HS-PDSCH associé à un canal de transport descendant HS-DSCH et établi entre une station de base d'un réseau de communications et au moins un équipement d'utilisateur. Ce système (SOD) comprend i) un premier étage d'organisation de débit (FRM) chargé d'adapter un nombre de bits d'entrée provenant du canal HS-DSCH, d'un bloc à transmettre à l'équipement, à un nombre choisi de bits intermédiaires, ii) une mémoire virtuelle (MTV) pouvant stocker le nombre choisi de bits intermédiaires, jusqu'à réception par la station de base d'un accusé de réception signalant la réception correcte du bloc par l'équipement dans le cadre d'une procédure HARQ, et iii) un second étage d'organisation de débit (SRM) chargé d'adapter le nombre choisi de bits intermédiaires à un nombre de bits de sortie égal au nombre maximal de bits pouvant être transmis par l'ensemble. Ce dispositif (D) est chargé de fournir un nombre de bits intermédiaires choisi de sorte que le premier étage (FRM) puisse adapter le nombre de bits d'entrée au nombre de bits intermédiaires, et que le second étage (SRM) puisse adapter le nombre de bits intermédiaires au nombre de bits de sortie pouvant être transmis par l'ensemble, sans ajout de bits. <IMAGE>

IPC 1-7  
**H04L 1/18**; **H04Q 7/30**

IPC 8 full level  
**H04L 1/00** (2006.01); **H04L 1/18** (2006.01); **H04Q 7/30** (2006.01); **H04Q 7/28** (2006.01)

CPC (source: EP US)  
**H04L 1/0013** (2013.01 - EP US); **H04L 1/0065** (2013.01 - EP US); **H04L 1/0068** (2013.01 - EP US); **H04L 1/1819** (2013.01 - EP US)

Citation (search report)  
• [XY] US 2003133497 A1 20030717 - KINJO SHIGENORI [JP], et al  
• [Y] US 6624767 B1 20030923 - SHIU DA-SHAN [US], et al  
• [A] EP 1389848 A1 20040218 - MATSUSHITA ELECTRIC IND CO LTD [JP]  
• [A] US 2003123409 A1 20030703 - KWAK YONG-JUN [KR], et al

Designated contracting state (EPC)  
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IS IT LI LT LU MC NL PL PT RO SE SI SK TR

DOCDB simple family (publication)  
**EP 1583275 A1 20051005**; **EP 1583275 B1 20080827**; AT E406723 T1 20080915; DE 602005009275 D1 20081009; FR 2868657 A1 20051007; FR 2868657 B1 20060721; US 2005220024 A1 20051006; US 7545731 B2 20090609

DOCDB simple family (application)  
**EP 05290671 A 20050325**; AT 05290671 T 20050325; DE 602005009275 T 20050325; FR 0450629 A 20040331; US 9272805 A 20050330