

Title (en)  
Method and device for controlling a matrix plasma screen

Title (de)  
Verfahren und Vorrichtung zur Ansteuerung eines Matrix-Plasmabildschirms

Title (fr)  
Procédé et dispositif de commande d'un écran à plasma matriciel

Publication  
**EP 1811491 A1 20070725 (FR)**

Application  
**EP 07290067 A 20070118**

Priority  
FR 0600556 A 20060120

Abstract (en)  
The method involves sequentially selecting lines of a matrix, and transmitting a state changing control signal (INj) towards each column of a set of columns by a MOS transistor (T2) for passing each column from one state to another state. The signal has a transitional state from low to high. Electrodes of a control transistor (TC) are coupled to a supply terminal and deliver a control voltage to an electrode of the transistor (T2) in order to limit a value of current traversing the transistor (T2) during the transitional state for regulating a rise time of the signal. Independent claims are also included for the following: (1) a device for controlling a matrix plasma screen (2) a plasma screen comprising a control device.

Abstract (fr)  
L'invention porte sur un dispositif de commande d'un écran plasma matriciel comprenant un circuit de commande des lignes aptes à sélectionner séquentiellement les lignes de la matrice et un circuit de commande des colonnes comprenant pour chaque colonne (Cj) de la matrice un bloc individuel de commande de colonnes (BCCj), comprenant un moins un premier transistor de type MOS (T2), apte à émettre vers chaque colonne d'un ensemble de colonne désiré, un signal de changement d'état pour permettre le passage dudit ensemble d'un premier état vers un deuxième état, et un moyen de contrôle (MCj). Le premier transistor est apte à émettre les signaux de changement d'état qui comprennent un état transitionnel depuis un état bas vers un état haut, ledit moyen de contrôle comprenant un transistor de contrôle (TC) comprenant une électrode connectée directement à la borne d'alimentation et une autre électrode apte à délivrer une tension de contrôle sur l'électrode de commande du premier transistor, de façon à limiter la valeur du courant (I T2 ) traversant ledit premier transistor (T2) au cours de l'état transitionnel, de manière à réguler le temps de montée du signal de changement d'état.

IPC 8 full level  
**G09G 3/28** (2006.01); **G09G 3/288** (2006.01); **G09G 3/293** (2013.01); **G09G 3/296** (2013.01)

CPC (source: EP US)  
**G09G 3/293** (2013.01 - EP US); **G09G 3/296** (2013.01 - EP US); **G09G 2310/0259** (2013.01 - EP US); **G09G 2310/0289** (2013.01 - EP US); **G09G 2310/066** (2013.01 - EP US); **G09G 2330/06** (2013.01 - EP US)

Citation (search report)  
• [XD] WO 0241292 A1 20020523 - ST MICROELECTRONICS SA [FR], et al  
• [AD] WO 0215163 A1 20020221 - ST MICROELECTRONICS SA [FR], et al  
• [T] HOROWITZ, PAUL; HILL, WINFIELD: "The art of electronics", 1989, CAMBRIDGE UNIVERSITY PRESS, XP002400356

Designated contracting state (EPC)  
DE FR GB IT

Designated extension state (EPC)  
AL BA HR MK YU

DOCDB simple family (publication)  
**EP 1811491 A1 20070725**; FR 2896610 A1 20070727; US 2007183183 A1 20070809; US 8525755 B2 20130903

DOCDB simple family (application)  
**EP 07290067 A 20070118**; FR 0600556 A 20060120; US 62498907 A 20070119