

Title (en)
Circuit for bi-directional data exchange

Title (de)
Bidirektionaler Datenaustauschschaltkreis

Title (fr)
Circuit d'échange de données bidirectionnel

Publication
EP 2743835 A1 20140618 (FR)

Application
EP 13197817 A 20131217

Priority
FR 1203440 A 20121217

Abstract (en)
The circuit (10) has a buffer (16) including a set of terminals (A1-A8), and another set of terminals (B1-B8) for enabling bi-directional data exchange. An input (42) is arranged for controlling a direction of transfer of data. An output (44) is connected to the input in a data transfer direction of the buffer. A set of potential references (Vcc) and a nature of a logic gate (50) such as OR gate, are controlled such that a set of paired terminals force the logic gate in a predetermined state independent of a value of a signal in a control direction of the input.

Abstract (fr)
Le circuit d'échange (10) de données bidirectionnel comporte : - un buffer (16) comportant : - un premier et un second ensemble de bornes appariées (A1... A8, B1... B8) ; - une entrée (20) de sens de transfert ; - une entrée (42) de commande du sens de transfert ; - une porte logique (50) dont : - la sortie est reliée à l'entrée (20) de sens de transfert ; - une entrée est reliée à l'entrée de commande du sens de transfert (42), cette entrée étant en outre reliée à un premier potentiel de référence (V cc) par une résistance (52) ; et - l'autre entrée est reliée à une borne (A1) du buffer (16) et au premier potentiel de référence (V cc) par une résistance (54 ; 154) ; - la borne (B1) du buffer (16) appariée à la borne (A1) du buffer à laquelle est reliée l'autre entrée de la porte logique (50) étant reliée à un second potentiel de référence par une résistance (56). L'ordre des premier et second potentiels de référence et la nature de la porte logique (50) sont tels que, après une première commande de sens de transfert du buffer dans un sens, les bornes appariées (A1) forcent la porte logique (50) dans un état prédéterminé indépendant de la valeur du signal sur l'entrée de commande de sens (42).

IPC 8 full level
H03K 19/00 (2006.01); **G06F 13/40** (2006.01)

CPC (source: EP US)
G06F 13/4072 (2013.01 - EP US); **H03K 19/0002** (2013.01 - EP US)

Citation (search report)

- [A] US 5418933 A 19950523 - KIMURA KAZUO [JP], et al
- [A] EP 0044397 A1 19820127 - IBM [US]
- [A] JP H04199351 A 19920720 - TOSHIBA CORP
- [A] US 5877633 A 19990302 - NG RICHARD [US], et al

Designated contracting state (EPC)
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR

Designated extension state (EPC)
BA ME

DOCDB simple family (publication)
EP 2743835 A1 20140618; EP 2743835 B1 20150902; FR 2999834 A1 20140620; FR 2999834 B1 20150306; US 2014184269 A1 20140703; US 9356597 B2 20160531

DOCDB simple family (application)
EP 13197817 A 20131217; FR 1203440 A 20121217; US 201314108405 A 20131217