

Title (en)
Logic circuit and method for replacing a positively guided safety relay

Title (de)
Logikschaltung und Verfahren zum Ersetzen eines zwangsgeführten Sicherheitsrelais

Title (fr)
Circuit logique et procédé de remplacement d'un relais de sécurité à guidage forcé

Publication
EP 2853465 A1 20150401 (DE)

Application
EP 13186512 A 20130927

Priority
EP 13186512 A 20130927

Abstract (de)
Erfindungsgemäss werden eine Logikschaltung (2) und ein Verfahren zum Ersetzen eines zwangsgeführten Sicherheitsrelais (4), das einen Signalstromkreiskontakt (R), einen Öffnerkontakt (A) mit einem Öffnereingang (In_A) und einem Öffnerausgang (Out_A) und einen Schliesserkontakt (B) mit einem Schliessereingang (In_B) und einem Schliesserausgang (Out_B) aufweist, offenbart, wobei die Logikschaltung (2) zweikanalig mit einem ersten Logikkanal (K1) und einem zweiten Logikkanal (K2) ausgestattet ist; umfassend: a) für jeden Logikkanal (K1, K2) einen ersten Eingang (Set1, Set2), der auf einen Spannungswechsel hin ein Schliessen bzw. ein Öffnen des Signalstromkreiskontakts (R) nachahmt und entsprechend einen Wert von LOW auf HIGH bzw. HIGH auf LOW annimmt; b) für jeden Logikkanal (K1, K2) einen ersten Ausgang (OuO1, OuO2), der mit einem Spannungswechsel am ersten Eingang (Set1, Set2) auf LOW gesetzt wird und am jeweils anderen Logikkanal (K1, K2) einen zweiten Eingang (COu01, COu02) auf LOW setzt, wobei das Setzen des zweiten Eingangs (COu01, COu02) auf LOW im jeweiligen Logikkanal geprüft wird, bevor ein erstes Testsignal (Test01, Test02) an den Öffnereingang (In_A) angelegt wird; c) für jeden Logikkanal (K1, K2) einen dritten Eingang (In_01, In_02), der auf einen mit dem ersten Testsignal (Test01, Test02) ausgelösten Spannungswechsel hin ein Öffnen des Öffnerkontakts (A) nachahmt und im jeweiligen Logikkanal (K1, K2) eine erneute Prüfung, ob der erste Ausgang (OuO1, OuO2) auf LOW liegt, auslöst, bevor mittels einer Verzögerungslogik eine vorbestimmte Verzögerungszeit abläuft; d) für jeden Logikkanal (K1, K2) einen mit dem Schliessereingang (In_B) gekoppelten vierten Eingang (InC1, InC2), der auf einen Spannungswechsel hin ein Schliessen des Schliesserkontakts (B) nachahmt, wobei damit ein zweiter Ausgang (OuC1, OuC2) auf HIGH gesetzt; und wobei e) zwei in Serie geschaltete Transistoren (T1, T2) eine Signalspannung (V+) nicht auf den Öffnerausgang (Out_A) durchschalten, wenn mindestens einer der beiden ersten Ausgänge (OuO1, OuO2) auf LOW liegt; und wobei f) zwei weitere in Serie geschaltete Transistoren (T3, T4) die Signalspannung (V+) auf den Schliesserausgang (Out_B) durchschalten, wenn beide zweite Ausgänge (OuC1, OuC2) auf HIGH liegen.

IPC 8 full level
B61L 19/06 (2006.01); **B61L 1/20** (2006.01); **B61L 27/00** (2006.01)

CPC (source: EP)
B61L 19/06 (2013.01); **B61L 27/30** (2022.01); **B61L 1/20** (2013.01)

Citation (applicant)
• WO 2013016831 A1 20130207 - SUPERCOMPUTING SYSTEMS AG [CH], et al
• JAHR, PROCEEDINGS OF THE EUROMICRO SYSTEMS ON DIGITAL SYSTEM DESIGN (DSD'04), EINEN ARTIKEL MIT DEM TITEL, 2004

Citation (search report)
• [A] CH 701344 A1 20101231 - GUNZINGER ANTON [CH]
• [A] EP 2090492 A2 20090819 - DEUTSCHE BAHN AG [DE]

Cited by
CN108388160A; CN110429944A; CN109061406A

Designated contracting state (EPC)
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR

Designated extension state (EPC)
BA ME

DOCDB simple family (publication)
EP 2853465 A1 20150401; EP 2853465 B1 20160316

DOCDB simple family (application)
EP 13186512 A 20130927