

Title (en)
IMPROVED ELEMENTARY ANTENNA OF THE SLOT FED RADIATING PLANE TYPE AND ACTIVE ANTENNA ARRAY

Title (de)
VERBESSERTE, SCHLITZGESPEISTE, STRAHALENDE FLACHANTENNE UND AKTIVE GRUPPENANTENNE

Title (fr)
ANTENNE ÉLÉMENTAIRE AMÉLIORÉE DU TYPE PLAN RAYONNANT ALIMENTÉ PAR FENTES ET ANTENNE RÉSEAU ACTIVE

Publication
EP 4304012 A1 20240110 (FR)

Application
EP 23183929 A 20230706

Priority
FR 2206934 A 20220707

Abstract (en)
[origin: US2024014564A1] The elementary antenna 1 includes: two cross-shaped slots 32, 33 defining four half-slots; for each half-slot, excitation striplines 41, 42, the first stripline 41 being connected to a first via 61 and the second stripline 42 being connected to a second via 62; an integrated circuit 70 delivering a plurality of ports; for each half-slot, tracks for feeding the strips, the first track 51 running from a first port 71 to the first via 61 and the second track 52 running from a second port 72 to the second via 62, the first and second ports being two successive ports of the integrated circuit, differentially connected to a transmitter/receiver channel by first and second power lines situated inside the integrated circuit, the lines and tracks running so that there is no crossing of the respective routes thereof.

Abstract (fr)
Cette antenne élémentaire 1 comporte : deux fentes 32, 33 en croix définissant quatre demi-fentes ; pour chaque demi-fente, des rubans 41, 42 d'excitation, le premier ruban 41 étant connecté à un premier via 61 et le second ruban 42 étant connecté à un second via 62 ; un circuit intégré 70 portant une pluralité de ports ; pour chaque demi-fente, des pistes d'alimentation des rubans, la première piste 51 circulant depuis un premier port 71 jusqu'au premier via 61 et la seconde piste 52 circulant depuis un second port 72 jusqu'au second via 62, les premier et second ports étant deux ports successifs du circuit intégré, connectés en différentiel à une voix d'émission/réception par des première et seconde lignes d'alimentation situées à l'intérieur du circuit intégré, les lignes et les pistes circulant de sorte qu'il n'y ait aucun croisement dans leurs routages respectifs.

IPC 8 full level
H01Q 9/04 (2006.01); **H01Q 21/06** (2006.01); **H01Q 23/00** (2006.01)

CPC (source: EP US)
H01Q 1/48 (2013.01 - US); **H01Q 9/0414** (2013.01 - EP); **H01Q 9/0435** (2013.01 - EP); **H01Q 9/045** (2013.01 - US); **H01Q 9/0457** (2013.01 - EP);
H01Q 21/065 (2013.01 - EP); **H01Q 21/24** (2013.01 - US); **H01Q 23/00** (2013.01 - EP)

Citation (search report)
• [A] US 2004189527 A1 20040930 - KILLEEN WILLIAM D [US], et al
• [A] US 2019372239 A1 20191205 - GARREC PATRICK [FR], et al
• [A] US 2019372240 A1 20191205 - GARREC PATRICK [FR], et al
• [A] US 5241321 A 19930831 - TSAO CHICH-HSING A [US]
• [A] CN 105552550 B 20190820

Designated contracting state (EPC)
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC ME MK MT NL NO PL PT RO RS SE SI SK SM TR

Designated extension state (EPC)
BA

Designated validation state (EPC)
KH MA MD TN

DOCDB simple family (publication)
EP 4304012 A1 20240110; FR 3137798 A1 20240112; FR 3137798 B1 20240719; IL 304236 A 20240201; US 2024014564 A1 20240111

DOCDB simple family (application)
EP 23183929 A 20230706; FR 2206934 A 20220707; IL 30423623 A 20230704; US 202318348090 A 20230706