

Title (en)
METHOD FOR POLISHING SEMICONDUCTOR WAFERS ON BOTH SIDES BETWEEN A LOWER POLISHING PLATE AND AN UPPER POLISHING PLATE

Title (de)
VERFAHREN ZUM BEIDSEITIGEN POLIEREN VON HALBLEITERSCHEIBEN ZWISCHEN EINEM UNTEREN POLIERTELLER UND EINEM OBEREN POLIERTELLER

Title (fr)
PROCÉDÉ DE POLISSAGE DOUBLE FACE DES TRANCHES DE SEMI-CONDUCTEUR ENTRE UN DISQUE DE POLISSAGE INFÉRIEUR ET UN DISQUE DE POLISSAGE SUPÉRIEUR

Publication
EP 4306262 A1 20240117 (DE)

Application
EP 22184834 A 20220713

Priority
EP 22184834 A 20220713

Abstract (de)
Verfahren zum beidseitigen Polieren von Halbleiterscheiben zwischen einem unteren Polierteller und einem oberen Polierteller mittels eines unteren und eines oberen Poliertuchs, die jeweils einen Innenrand und einen Außenrand aufweisen, umfassend das Bekleben des unteren Poliertellers mit dem unteren Poliertuch; das Pressen des unteren Poliertuchs gegen den unteren Polierteller; das Ablegen von Halbleiterscheiben auf dem unteren Poliertuch; und das beidseitige Polieren der Halbleiterscheiben in Gegenwart eines Poliermittels; gekennzeichnet durch das Abdecken des unteren Poliertuchs mit einem Zwischentuch nach dem Pressen des unteren Poliertuchs gegen den unteren Polierteller und vor dem Ablegen der Halbleiterscheiben auf dem unteren Poliertuch; das Ablegen von Distanzstücken auf das Zwischentuch, so dass sie konzentrisch zum Innenrand des unteren Poliertuchs und in annähernd gleichem Abstand zueinander auf dem Zwischentuch liegen; das Ablegen des oberen Poliertuchs über das Zwischentuch und über die Distanzstücke, wobei das obere Poliertuch mit einer zum oberen Polierteller weisenden klebenden Schicht versehen ist; das Pressen des oberen Poliertellers gegen den unteren Polierteller; das Entfernen des Zwischentuchs und der Distanzstücke; das Pressen des oberen Poliertuchs gegen den oberen Polierteller; und das Pressen der Polierteller und Poliertücher gegeneinander.

IPC 8 full level
B24B 37/08 (2012.01); **B24D 9/08** (2006.01); **B24B 7/17** (2006.01)

CPC (source: EP)
B24B 37/08 (2013.01); **B24D 9/085** (2013.01); **B24B 7/17** (2013.01)

Citation (applicant)
• US 2003054650 A1 20030320 - WENSKI GUIDO [DE], et al
• DE 10007390 A1 20001012 - WOLTERS PETER WERKZEUGMASCH [DE]
• US 2007087671 A1 20070419 - NAKAMURA YOSHIO [JP], et al
• JP 2006289523 A 20061026 - SPEEDFAM CO LTD
• JP 2006346808 A 20061228 - MIMASU SEMICONDUCTOR IND CO
• DE 10239774 A1 20031127 - WACKER SILTRONIC HALBLEITERMAT [DE]
• DE 102017217490 A1 20190404 - SILTRONIC AG [DE]
• EP 4000806 A1 20220525 - SILTRONIC AG [DE]

Citation (search report)
• [AD] EP 4000806 A1 20220525 - SILTRONIC AG [DE]
• [A] WO 2021235050 A1 20211125 - SHINETSU HANDOTAI KK [JP]
• [AD] DE 102017217490 A1 20190404 - SILTRONIC AG [DE]
• [A] EP 4000802 A1 20220525 - SILTRONIC AG [DE]
• [A] DE 102019213657 A1 20210311 - SILTRONIC AG [DE]

Designated contracting state (EPC)
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO RS SE SI SK SM TR

Designated extension state (EPC)
BA ME

Designated validation state (EPC)
KH MA MD TN

DOCDB simple family (publication)
EP 4306262 A1 20240117

DOCDB simple family (application)
EP 22184834 A 20220713