



0 000 883
A1

EUROPÄISCHE PATENTANMELDUNG

⑤ Int. Cl.²: **H 01 L 29/10**, **H 01 L 29/78**

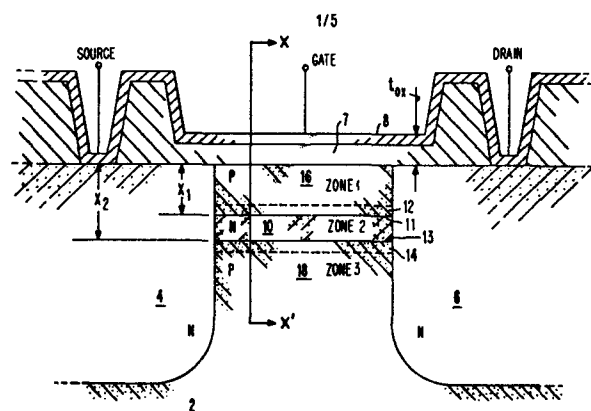
② Anmeldetag: 04.08.78

⑦1 Anmelder: International Business Machines Corporation, Armonk, N.Y. 10504 (US)

**(72) Erfinder: Bellstein, Kenneth Edward, Jr., 11619
Smithfield Rd., Manassas VA 22110 (US)
Erfinder: Kotecha, Harish Narandas, 8858 Cherry Oak
Ct., Manassas VA 22110 (US)**

⑦4 Vertreter: Böhmer, Hans Erich, Dipl.-Ing., Schönaicher
Strasse 220, D-7030 Böblingen (DE)

⑤7) Der Metalloxid-Silicium-Feldeffekttransistor weist im Kanalbereich eine vergrabene Isolierschicht (10) auf, die mit dem gleichen Dotierungsstoff dotiert ist, wie Source und Drain-Zone, so dass die Verarmungsschichten der an der Ober- bzw. Untergrenze der Isolierschicht (10) gebildeten P-N-Übergänge (11, 13) sich in der Mitte der implantierten Isolierschicht (10) einander nähern, und so tatsächlich eine Isolierschicht zwischen Source und Drain darstellen. Die Anwesenheit dieser Schicht erhöht den Abstand zwischen den spiegelbildlich induzierten elektrostatischen Ladungen in der Gate-Elektrode und der Masse des Substrats unterhalb des MOSFETs, wodurch die Empfindlichkeit der Schwellwertspannung des Feldeffekttransistors für Veränderungen der Source-Substrat-Spannung herabgesetzt wird.



Metalloxid-Silicium-Feldeffekttransistor

Die Erfindung betrifft einen neuartigen Feldeffekttransistor mit verringerter Empfindlichkeit der Schwellwertspannung auf Schwankungen der zwischen Source und Substrat liegenden Spannung.

5

Der Wirkungsgrad der meisten aus MOSFETs aufgebauten logischen Schaltungen hängt davon ab, wie gut sie sich für die Stromsteuerung eignen. Die Stromsteuerung hängt dabei wiederum von der Schwellwertspannung ab, die eine Funktion der Spannungsdifferenz zwischen Source-Elektrode und Substrat ist. Da bei bestimmten Schaltungsanwendungen mit ungeerdeten Source-Elektroden die Sourcespannung schwankt, schwankt damit auch die zwischen Source und Substrat liegende Spannung. Daher verändert sich auch die Schwellwertspannung, so daß die mit dem Transistor erzeugte Stromsteuerung sich ändert. Das Problem besteht darin, die Empfindlichkeit der Schwellwertspannung gegenüber Veränderungen der zwischen Source und Substrat liegenden Spannung zu verringern. Die Änderungsgeschwindigkeit der Schwellwertspannung in bezug auf die zwischen Source und Substrat liegende Spannung wird allgemein als die Substratempfindlichkeit des Feldeffekttransistors

10

15

20

- bezeichnet. Die Substratempfindlichkeit ist eine Funktion verschiedener Faktoren, wie zum Beispiel die Dicke der Oxidschicht, die Dotierung des Substrats, die Dielektrizitätskonstante usw. Man hat sich daher das Ziel
- 5 gesetzt, die Schwankungen der Schwellwertspannung während des Betriebs dadurch zu verringern, daß man die Substratempfindlichkeit verringert, wodurch sich eine verbesserte Stromsteuerung ergibt.
- 10 Man hat im Stand der Technik schon vielfach versucht, die Substratempfindlichkeit zu verbessern. Man hat beispielsweise vorgeschlagen, Substrate mit hohem spezifischem Widerstand in der Weise zu erzielen, daß man gleichförmig die Dotierungskonzentration des Substrats
- 15 änderte, weil man geglaubt hat, damit auch eine bessere Kapazität zu erreichen. Wenn man jedoch Substrat mit höherem spezifischem Widerstand verwendet, dann treten bei hoher Packungsdichte Schwierigkeiten auf, wie z. B. Kanalkurzschlüsse, Emitter-Kollektor-Durchschläge und
- 20 ähnliches. Wenn die gesamte Hintergrundleitfähigkeit verringert wird, können sich in den Feldbereichen Inversionen einstellen, so daß die Schaltung nicht richtig arbeitet. Obwohl sich einige Vorteile durch Verwendung von Substraten mit hohem spezifischem Widerstand erzielen lassen, wird doch ein beträchtlicher Teil des
- 25 so erzielten Gewinns durch die dabei auftretenden Schwierigkeiten wieder zunichte gemacht.
- 30 Ein anderer Versuch zur Erzielung einer niedrigen Substratempfindlichkeit besteht in einer Substratisolation, in dem man das Substrat für jeden Transistor isoliert. Die Herstellungskosten werden dabei außerordentlich hoch, da für diese doppelte Diffusion und die Dotierung von zwei verschiedenen Zonen komplexe Verfahren einge-

setzt werden müssen. Außerdem ergibt sich dabei eine geringere Packungsdichte, weil jeder Transistor für sich isoliert werden muß.

- 5 Es ist an sich bekannt, in der Kanalzone eines FET eine doppelte Ionen-Implantation durchzuführen, wodurch ein implantierter Übergang vom Verarmungstyp in Richtung auf die Oberfläche des Kanals verschoben wird, um das Problem eines Transistors vom Verarmungstyp zu lösen, der sich sonst nicht steuern oder abschalten läßt. Dies wird durch doppelte Ionen-Implantation von Materialien entgegengesetzten Leitungstyps erzielt, die einen plötzlichen Übergang liefern. Es ist jedoch nicht so, daß sich durch einfache Ionen-Implantation 10 die erwünschte Verringerung der Substratempfindlichkeit zwangsläufig ergibt. 15

Aufgabe der Erfindung

- Es ist somit Aufgabe der Erfindung, die Empfindlichkeit der Schwellwertspannung eines MOSFET gegenüber Veränderungen der zwischen Source und Substrat liegenden Spannung zu verringern. 20

Gesamtdarstellung der Erfindung

- 25 Diese der Erfindung zugrunde liegende Aufgabe, wird durch die Struktur eines MOS-Feldeffekttransistors gelöst, bei dem im Kanalbereich eine vergrabene Schicht eines Dotierungsstoffes des gleichen Leitungstyps, wie Source und Drain gebildet ist, wobei diese vergrabene Schicht so ausgelegt ist, daß die Verarmungszonen für 30 die P-N-Übergänge an den oberen und unteren Grenzen dieser Schicht in der Mitte der vergrabenen Schicht sich vereinigen und dadurch effektiv eine vergrabene Isolierschicht zwischen Sourcy- und Drainzone bilden. Diese

Schicht hat dabei die Wirkung, daß sie den Abstand zwischen den spiegelbildlichen elektrostatischen Ladungen in der Gate-Elektrode und der Masse des Substrats unterhalb des Kanalbereichs des MOSFET erhöht, und damit die
5 Empfindlichkeit der Schwellwertspannung gegenüber Veränderungen der zwischen Source und Substrat liegenden Spannung herabsetzt.

Die Erfindung wird nunmehr anhand von Ausführungsbeispielen in Verbindung mit den beigefügten Zeichnungen
10 im einzelnen beschrieben.

In den Zeichnungen zeigt

Fig. 1A eine Querschnittsansicht einer erfindungsgemäß aufgebauten Struktur und
15

Fig. 1B das zugehörige Dotierungsprofil längs der Schnittlinie X-X' von Fig. 1A, jedoch um 90° gedreht,
20

Fig. 2 ein Dotierungsprofil der in Fig. 1A gezeigten Struktur längs der Schnittlinie X-X' in Fig. 1A, jedoch zur Darstellung der Verarmungszonen um 90° gedreht,
25

Fig. 3 eine graphische Darstellung der Substratempfindlichkeit in Millivolt je Volt als Funktion der Implantierungs-Dosierung für verschiedene Implantierungsenergien für
30 den erfindungsgemäß ausgestalteten Feldeffekttransistor,

- Fig. 4 ein Diagramm zur Darstellung der Schwellwertspannung V_T als Funktion der zwischen Source und Substrat liegenden Spannung $|V_{SX}|$ gemäß dem Stand der Technik und der Erfindung,
- 5
- Fig. 5 eine graphische Darstellung der Beziehung zwischen der Substratempfindlichkeit in Milli-volt je Volt als Funktion der zwischen Source und Substrat liegenden Spannung $|V_{SX}|$ gemäß dem Stand der Technik und nach der Erfindung,
- 10
- Fig. 6A verallgemeinert eine MOSFET-Inverterstufe und
- Fig. 6B ein Diagramm zur Darstellung des normalisierten Drain-Source-Stromes und der Ausgangsspannung unter Verwendung eines MOSFET gemäß Fig. 6A zur Darstellung der durch die Erfindung verbesserten Stromsteuerung.
- 15
- 20 Die elektrostatische Wechselwirkung zwischen dem Substrat und der Gate-Elektrode eines FET kann dadurch verringert werden, daß man eine Isolierschicht vorbestimmter Dicke und Tiefe unterhalb der Oberfläche des Substrats in dem Kanalbereich anbringt, so daß der Abstand zwischen der
- 25 Gate-Elektrode und den innerhalb der Masse des Substrats befindlichen elektrostatischen Ladungen, die zu den tatsächlich auf der Gate-Elektrode liegenden Ladungen spiegelbildlich auftreten, effektiv erhöht wird. Da die Potentialdifferenz zwischen der Gate-Elektrode und
- 30 den spiegelbildlichen Ladungen in der Masse des Substrats der elektrostatischen Feldstärke, multipliziert mit dem dazwischen liegenden Abstand, direkt proportional ist, wird bei gleicher Feldstärke, dann, wenn der Abstand vergrößert wird, auch die Potentialdifferenz erhöht.

Wird der Gate-Elektrode eine Einheitsladung mehr zugeführt, nimmt die insgesamt innerhalb des Substrats zur Aufrechterhaltung des Ladungsgleichgewichts erforderliche Potentialerhöhung mit zunehmender Dicke der Isolierschicht zu. Man sieht daher, daß der Einfluß auf das Gate-Potential, welcher sich aus Veränderungen des Substrat-Potentials ergeben, d. h. die elektrostatische Wechselwirkung sich verringert, wenn der Abstand zwischen den spiegelbildlichen Ladungen dadurch erhöht wird, daß man eine vergrabene Isolierschicht einfügt.

Wenn an der Gate-Elektrode ein so hohes Potential liegt, daß ein Strom zwischen Source und Drain zu fließen beginnt, d. h. daß die Gatespannung der Schwellwertspannung entspricht, dann wird eine gegebene Größe einer Spannungsveränderung in der zwischen Source und Substrat herrschenden Spannung dann eine geringere Einwirkung auf die Stromleitung im Kanalbereich haben, wenn die dazwischen liegende Isolierschicht dicker ist, d. h. wenn ein größerer Abstand zwischen den spiegelbildlich induzierten Spannungen in der Masse des Substrats und in der Gate-Elektrode vorhanden ist. Wenn man daher eine Isolierschicht einer vorgegebenen Dicke in einer gewünschten Tiefe unterhalb der Oberfläche des Substrats im Kanalbereich einführt, dann wird die Einwirkung von Veränderungen im Substratpotential auf die Schwellwertspannung herabgesetzt.

Das bevorzugte Verfahren zum Einführen einer Isolierschicht besteht durch Ionen-Implantation einer dotierten Schicht 10 des gleichen einen N-Leitungstyp hervor-rufenden Dotierungsmaterials wie bei Source und Drain, mit einer vorbestimmten Tiefe von X_1 - X_2 unterhalb der Substratoberfläche im Kanalbereich in Fig. 1A. Dadurch

erhält man zwei P-N-Übergänge, nämlich einen oberen P-N-Übergang 11 und einen unteren P-N-Übergang 13 mit dem umgebenden P-leitenden Material des Substrats. Wie bei allen P-N-Übergängen bildet sich im Übergangsbereich
5 eine Verarmungszone. Die Dicke und die Konzentration der implantierten Schicht 10 wird dabei vorzugsweise so gewählt, daß die Verarmungszone 12 für den oberen P-N-Übergang und die Verarmungszone 14 für den unteren P-N-Übergang 13 soweit aneinanderrücken, daß die dazwischen-
10 liegende Schicht praktisch eine Isolierschicht ist. Daher läßt sich eine vergrabene Isolierschicht 10, die zur Verringerung der Empfindlichkeit der Schwellwertspannung gegenüber der Substratspannung erwünscht ist, durch Ionen-Implantation von einer Schicht mit der gleichen
15 Leitfähigkeit wie Source- und Drain-Zone in dem Kanalbereich erzielen.

Es sei darauf verwiesen, daß bei zu hoher Konzentration der vergrabenen dotierten Isolierschicht 10 in bezug auf
20 die Konzentration der Hintergrunddotierung für das Substrat 2 ein elektrischer Kurzschluß zwischen Source 4 und Drain 6 eintreten kann. Ist dagegen die Konzentration der vergrabenen dotierten Isolierschicht 10 zu niedrig, so erhält man nur einen verschwindend kleinen Einfluß auf die
25 Empfindlichkeit der Schwellwertspannung in bezug auf die zwischen Source und Substrat liegende Spannung. Es wurde festgestellt, daß es dabei kritische Werte für die Tiefe x_1 der dotierten Isolierschicht 10 unterhalb der Oberfläche des Substrats 2, die Dicke ($x_2 - x_1$) der dotierten Isolier-
30 schicht 10 und deren Konzentration gibt, innerhalb derer man einen Bereich verringerter Empfindlichkeiten der Schwellwertspannung in bezug auf die zwischen Source und Substrat anliegende Spannung erhält. Einige Beispiele dieser Kombinationen von Tiefe, Dicke und Konzentration

für die vergrabene dotierte Isolierschicht 10 sind in Fig. 3 dargestellt.

Im folgenden soll eine Analyse der Schwellwertgleichungen
5 mit den notwendigen Randbedingungen für einen N-Kanal-MOSFET für eine verbesserte Substratempfindlichkeit gegeben werden. Für diese Analyse soll die Gauss'sche Verteilung für eine tiefe Ionen-Implantation für eine rechteckige Verteilung normalisiert werden, deren Breite
10 $2\frac{1}{2}$ mal der Standardabweichung der Ausbreitung des Ionen-Implantats entspricht, während die Dosierung D die Spitzendosierung ist. Diese Annäherung der Gauss'schen Verteilung wird dabei so durchgeführt, daß dabei die Implantationsdosierung erhalten bleibt. Obgleich diese
15 Analyse für N-Kanal-MOSFETs durchgeführt wird, gilt sie mit den entsprechenden Polaritätsänderungen in gleicher Weise für P-Kanal-MOSFETs.

Fig. 1B ist eine zusammengesetzte Teilfigur, die das
20 Dotierungsprofil über dem Kanalbereich der Fig. 1A vom Gate-Isolator 7 nach unten bis in die Masse 2 des Halbleitersubstrats zeigt. N_a ist die Dotierungskonzentration des Halbleitersubstrats 2. Für den Beginn der Analyse im Bereich 1 (vergleiche auch Fig. 1A) sei angenommen, daß die Gate-Source-Vorspannung V_{GS} gleich der Schwellwertspannung sei und daß die Substrat-Source-Vorspannung V_{SX} so gewählt sei, daß die Kanalverarmungsschicht unmittelbar unterhalb der Gate-Isolierschicht
25 im Bereich 1 sich nicht mit der Verarmungsschicht 12 vereinigt. Ferner sei angenommen, daß die Implantationsbedingungen so gewählt sind, daß die Verarmungsschichten 12 und 14 nicht ineinander fließen und daß daher die vergrabene Schicht 10, die auch als Zone 2 bezeichnet
30 sei, die Source- und Drain-Diffusionen 4 und 6 kurz-

schließt. Mit diesem Ausgangspunkt soll zunächst die Bedingung für die nicht-leitende oder verarmte Zone 2 entwickelt werden.

5 Anschließend wird ein Ausdruck für die kritische Substrat-
Source-Vorspannung, V_{sxc} , abgeleitet, wobei bei Über-
schreiten dieser Größe der Bereich 16 des Substrats 2
vollständig verarmt (auch als Zone 1 bezeichnet), so daß
man zusammen mit der Verarmungszone 2 einen Feldeffekt-
10 transistor mit verbesserter Substratempfindlichkeit er-
hält. Ist die Substrat-Vorspannung V_{sx} kleiner als
dieser kritische Wert und ist die Zone 2 verarmt, dann
hat der Transistor eine mit dem Stand der Technik ver-
gleichbare Substratempfindlichkeit.

15 Aus Symmetrie-Bedingungen sind in der Zone 2 die Breiten
der Verarmungsschicht 12 und 14 zu beiden Seiten die
gleichen. Soll in der Zone 2 eine Verarmung hergestellt
werden, dann gilt:

$$20 \quad 2x_{N2} \geq x_2 - x_1 \quad (1)$$

Da unter dieser Bedingung die beiden Seiten 11 und 13
der Zone 2 auf gleichem Potential liegen, werden die
Verarmungszonen 12 und 14 nur durch die innere Spannung
über den P-N-Dioden aufrechterhalten. Es ist aus der
25 Theorie der stufenförmigen Übergänge bekannt, daß

$$2x_N = 2 \sqrt{\frac{2 \epsilon_0 \epsilon_s^N V_J}{q (N_a + N_D) N_D}} \quad (2)$$

wobei

30 ϵ_0 die Dielektrizitätskonstante des freien Raumes,
 ϵ_s die Dielektrizitätskonstante des Halbleiter-
 materials und
 q die Ladung des Elektrons
 V_J die innere Spannung über der Verarmungszone
 12 oder 14 ist.

Für eine vollständige Verarmung der Zone 2 gilt die Gleichung

$$x_2 - x_1 \leq 2 \sqrt{\frac{2\epsilon_0 \epsilon_s N_a V_J}{q(N_a + N_D) N_D}} \quad (3)$$

5 V_J verhält sich zu $(x_2 - x_1)$ gemäß dem folgenden Ausdruck, den man aus jedem beliebigen Lehrbuch über Halbleiterphysik und auch aus Gleichung 3 ableiten kann.

$$V_J = \frac{kT}{q} \ln \frac{N_a N_D}{n_i^2} = \frac{kT}{q} \ln \left[\frac{N_a}{n_i^2} \left(\frac{D}{x_2 - x_1} - N_a \right) \right] \quad (4)$$

wobei

10 k die Boltzmann-Konstante,
 T die Temperatur und
 n_i die Eigen-Trägerkonzentration des Halbleitermaterials ist.

15 Man sieht, daß V_J sich langsam mit Bezug auf $(x_2 - x_1)$ ändert und daher durch Annahme eines Näherungswertes für $(x_2 - x_1)$ bestimmt werden kann.

Für eine vollständige Verarmung der Zone 1 gilt:

$$x_S \geq (x_1 - x_{N_1}) \quad (5)$$

20 mit
$$x_S = \frac{2\epsilon_0 \epsilon_s (|V_{sxc}| + 2\phi)}{qN_a} \quad \text{bei } x_S = (x_1 - x_{N_1})$$

wobei

ϕ = das Fermi-Potential der Masse des Halbleitermaterials ist.

25

Da die Zone 2 ebenfalls verarmt ist, ergibt sich aus der Ladungs-Neutralitätsüberlegung

$$N_a x_{N_1} = N_D \frac{(x_2 - x_1)}{2} \quad (6)$$

die man für $|V_{sxc}|$ aus den obigen drei Ausdrücken löst, zu:

$$|V_{sxc}| = \frac{qN_a}{8\epsilon_0\epsilon_s} \left((x_2 + x_1) - \frac{D}{N_a} \right)^2 - 2\phi \quad (7)$$

5 Fig. 2 zeigt im wesentlichen die Einzelheiten der Fig. 1B, wenn die Zonen 1, 2 und 3 verarmt sind. V_{sxc} , V_I und V_D sind dabei die über den verarmten Zonen 1, 2 und 3 liegenden Spannungen, so daß deren Gesamtsumme etwa gleich der Substrat-Source-Vorspannung V_{sx} ist.

10

Damit ist die Analyse zur Bestimmung der kritischen Bedingungen für die Verarmung abgeschlossen. Anschließend sollen die verschiedenen Spannungsausdrücke, die die Substratvorspannung bilden, und zu einem Ausdruck für die verbesserte Substratempfindlichkeit führen, abgeleitet werden.

15

Aus der Beziehung zwischen x_s und $|V_{sxc}|$ erhält man den Spannungsabfall über x_s in der Zone 1, auf die in x_s liegenden Ladungen zu:

20

$$|V_{sxc}| = \frac{qN_a}{2\epsilon_0\epsilon_s} x_s^2 - 2\phi \quad (8)$$

Das elektronische Feld E in den Verarmungszonen in Fig. 2 (vergleiche auch Fig. 1A) von der Kanaloberfläche nach x_3 , das über das innere Feld hinausgeht, steht durch das Gauss'sche Gesetz zu den in der Zone $(x_D - x_3)$ befindlichen Ladungen in Beziehung durch:

25

$$E = \frac{(x_D - x_3) qN_a}{\epsilon_0\epsilon_s} \quad (9)$$

Dadurch erhält man die auf die Ladungen zwischen X_3 und X_D in Zone 3 zurückzuführende Spannung:

$$|V_I| = EX_3 = \frac{(X_D - X_3)X_3}{\epsilon_0 \epsilon_s} qN_a \quad (10)$$

Die Verarmungszone $(X_D - X_3)$ wird jedoch durch die
5 Spannung V_D verursacht, so daß

$$|V_D| = \frac{(X_D - X_3)^2 qN_a}{2\epsilon_0 \epsilon_s} \quad (11)$$

wird.

Als Schwellwertbedingung sieht man, daß

$$10 \quad V_T = V_{FB} + 2\phi + \frac{qN_a}{C_{ox}} (X_s + X_D - X_3) \text{ ist,} \quad (12)$$

wobei

V_{FB} die Flachbandspannung des Transistors und
 C_{ox} die Gate-Isolierkapazität je Flächeneinheit
ist.

15

Wandelt man den oben genannten Ausdruck um und verwendet
dabei die Annäherung:

$$V_{sx} \approx V_{sxc} + V_I + V_D, \quad (13)$$

dann ist der Ausdruck für die Schwellwertspannung
20 gegeben durch:

$$V_T = V_{FB} + 2\phi + \frac{qN_a}{C_{ox}} \left[-\frac{D}{N_a} + \sqrt{\frac{2\epsilon_0 \epsilon_s}{qN_a} (V_{sx} + 2\phi) + (X_1 + X_2) \frac{D}{N_a}} \right] \quad (14)$$

für

$$(x_2 - x_1) \leq 2 \sqrt{\frac{2\epsilon_0 \epsilon_s N_a V_J}{q(N_a + N_D) N_D}} \quad (15)$$

und

$$V_{sx} \geq V_{sxc} = q \frac{N_a}{8\epsilon_0 \epsilon_s} \left[(x_2 + x_1) - \frac{D}{N_a} \right]^2 - 2\phi \quad (16)$$

5 Es sei darauf hingewiesen, daß in Gleichung 14, wenn
D = 0

$$V_T = V_{FB} + 2\phi + \frac{1}{C_{ox}} \sqrt{2q\epsilon_0 \epsilon_s N_a (V_{sx} + 2\phi)} \quad (17)$$

wird. Das ist aber die klassische Schwellwertspannungs-
gleichung, die man in jedem Handbuch über Halbleiter-
10 physik finden kann.

Soll ein Transistor vom Verarmungstyp gebildet werden,
dann kann eine weitere flache Ionen-Implantation geeig-
neter Dosierung und Energie zur Verschiebung der Schwell-
15 wertspannung um den Betrag $V_{\text{Dosierung}}$ verwendet werden.
Da es sich hierbei um eine sehr flache Implantation han-
delt, wird dadurch die durch die tiefe Implantation er-
zielte Verbesserung der Substratempfindlichkeit nicht
beeinflußt.

20

Die Substratempfindlichkeit der Halbleitervorrichtung
ist gegeben durch die Differentiation der Gleichung 14:

$$\frac{dV_T}{dV_{sx}} = \frac{\epsilon_0 \epsilon_s}{C_{ox} \sqrt{\frac{2\epsilon_0 \epsilon_s}{qN_a} (V_{sx} + 2\phi) + (x_1 + x_2) \frac{D}{N_a}}} \quad (18)$$

Diese Gleichung 18 stellt die kritische Beziehung zwischen der Dosierung D, dem oberen Grenzwert X_1 und dem unteren Grenzwert X_2 für die vergrabene Schicht 10 im Substrat 2 der Fig. 1A dar, das eine Dotierkonzentration N_a zur Erzielung der gewünschten Empfindlichkeit der Schwellwertspannung dV_T / dV_{sx} besitzt.

Ist D gleich 0, dann ergibt sich die Substratempfindlichkeit der Transistoren des Standes der Technik aus Gleichung 19:

$$\frac{dV_T}{dV_{sx}} = \frac{\epsilon_0 \epsilon_s}{C_{ox} \sqrt{\frac{2\epsilon_0 \epsilon_s}{qN_a} (V_{sx} + 2\phi)}} \quad (19)$$

Vergleicht man Gleichungen 18 und 19, so sieht man sofort die wesentliche Verbesserung der Substratempfindlichkeit gemäß Gleichung 18, die sich aus der Anwesenheit des Ausdrucks $\left(\left[X_1 + X_2 \right] \frac{D}{N_a} \right)$ für die tiefe Ionen-Implantation ergibt.

Zur weiteren Erläuterung zeigt Fig. 3 eine graphische Darstellung der Beziehung zwischen der Substratempfindlichkeit in Millivolt je Volt, die über der Implantationsdosierung für Phosphorionen und verschiedener Implantationsenergien im Bereich von 200 bis 1000 KeV aufgetragen ist, wobei X_1 von 850 Å bis 9213 Å und X_2 von 2850 Å bis 13588 Å reicht. Beim Entwurf wird man dabei die auf der Ordinate dargestellte Größe "Substratempfindlichkeit" im Diagramm der Fig. 3 auswählen und eine waagerechte Linie ziehen, die eine oder mehrere der Kurven schneidet. Jede Kurve stellt dabei eine andere

Ionen-Implantations-Energie für die durch den Kanalbereich hindurch zur Bildung der vergrabenen Isolierschicht 10 implantierten Phosphorionen dar. Entsprechend den zur Verfügung stehenden Energien der Ionen-Implantations-
5 apparatur wird dann die richtige Kurve ausgewählt und man erhält dann die entsprechende Dosierung für die Phosphorionen aus dem dadurch gegebenen Wert auf der Abszisse.

Als Beispiel wird eine mit einer Verarmungszone versehene Halbleiterstruktur gemäß der Erfindung mit einer
10 Gate-Oxidschicht 7 und einer Dicke von $700 \text{ \AA}$ (t_{ox}) gebildet, mit einer Hintergrunddotierungskonzentration N_a von $7,5 \times 10^{15} \text{ Atome/cm}^3$, einer Spannung V_{FB} von $-1,5 \text{ Volt}$, einer Dosierungsspannung von $-3,38 \text{ Volt}$ und
15 einer Implantationsdosierung von $5,3 \times 10^{11} \text{ Atome/cm}^2$ und einer Implantationsdicke für die obere Grenze X_1 der vergrabenen Schicht von $9200 \text{ \AA}$ und für die untere Grenze X_2 von $13580 \text{ \AA}$. Das Diagramm der sich ergebenden Schwellwertspannung als Funktion der Source-Substrat-
20 Spannung wird mit der entsprechenden Schwellwertspannung als Funktion der Source-Substrat-Spannung gemäß dem Stand der Technik in Fig. 4 verglichen. Man sieht, daß die erfindungsgemäß aufgebaute Struktur eine geringere Steigung oder eine geringere Änderungsgeschwindigkeit der Schwellwertspannung in bezug auf die
25 Source-Substrat-Spannung aufweist, wodurch gezeigt wird, daß bei vorgegebenen Veränderungen der Größe der Source-Substrat-Spannung sich geringere Änderungen der Schwellwertspannung für eine gemäß der Erfindung aufgebaute
30 Vorrichtung ergeben.

Fig. 5 zeigt die Substratempfindlichkeit in Millivolt je Volt als Funktion der Source-Substrat-Spannung für die verbesserte Halbleitervorrichtung mit den oben

erwähnten Parametern im Vergleich mit einer Halbleiter-
vorrichtung gemäß dem Stande der Technik. Man sieht, daß
bei einer erfindungsgemäß aufgebauten Halbleiterstruk-
tur sich eine ganz wesentliche Verringerung der Substrat-
empfindlichkeit ergibt, verglichen mit dem Stande der
5 Technik.

Eine einfache MOSFET-Inverterstufe kann gemäß Fign. 6A
und 6B mit einem mit Eigenvorspannung arbeitenden
10 MOSFET vom Verarmungstyp als Last und einem aktiven
MOSFET vom Anreicherungstyp hergestellt werden, indem
man die erfindungsgemäß aufgebaute Halbleiterstruktur
für den Lasttransistor benutzt, wodurch man eine wesent-
lich höhere Stromsteuerung des von Drain nach Source
15 fließenden Stromes während des Umschaltvorgangs erhält,
verglichen mit dem Stande der Technik in Fig. 6B.

Obgleich das bevorzugte Verfahren zum Einführen der
Isolierschicht durch Ionen-Implantation dargestellt
20 wurde, läßt sich die Erfindung auch durch andere Ver-
fahren bei der Bildung einer vergrabenen Isolations-
schicht zwischen Source und Drain durchführen. Beispiels-
weise könnte eine mehrschichtige Silicium-Epitaxie-
Isolatorschicht-Struktur zur Bildung des Kanalbereichs
25 eines Feldeffekttransistors gemäß der Erfindung ver-
wendet werden.

Es ist bekannt, daß das Konzentrationsprofil der implan-
tierten Isolierschicht 10 durch eine Anzahl von Ionen-
30 Implantationsstufen besonders geformt werden kann, um
ein optimales Profil zu erzielen.

PATENTANSPRÜCHE

1. Feldeffektransistor mit einem zwischen Source- und Drain-Zone eines ersten Leitungstyps gebildeten Kanal des ersten Leitungstyps in einem Substrat eines zweiten Leitungstyps und einer über dem Kanal liegenden Gate-Elektrode, dadurch gekennzeichnet, daß in dem Substrat (2) unterhalb des Kanals eine vergrabene Isolierschicht (10) vorgesehen ist, die die Verarmungszone des Transistors bis in das Substrat hinein erstreckt, wodurch die Empfindlichkeit der Schwellwertspannung in Bezug auf die Substratvorspannung verringert ist.
2. Feldeffekttransistor nach Anspruch 1, dadurch gekennzeichnet, daß die Isolierschicht (10) eine dotierte Zone ist, bei der sich die Verarmungszonen des unteren und des oberen P-N-Übergangs berühren und damit die vergrabene Isolierschicht bilden.
3. Feldeffekttransistor nach Anspruch 2, dadurch gekennzeichnet, daß die dotierte Isolierschicht durch Ionen-Implantation gebildet ist.

4. Feldeffekttransistor nach Anspruch 3, dadurch gekennzeichnet,
daß die dotierte Isolierschicht aus mehreren Ionen-Implantationen gebildet ist.

5

5. Feldeffekttransistor nach Anspruch 1, dadurch gekennzeichnet,
daß die vergrabene Isolierschicht (10) als ionen-implantierte Schicht mit einem den ersten Leitungstyp hervorbringenden Dotierungsstoff, mit einem Abstand X_1 unter der Oberfläche des Substrats (2) in der Kanalzone und zwischen Source- und Drain-Zone (4, 6) mit einer Dicke $X_2 - X_1$ und einer Ionen-Implantations-Dosierung von D in einem Substrat mit einer Störelement-Konzentration von N_a -Atomen/cm³ gebildet ist, und bei dem fertigen Transistor eine Substrat-Empfindlichkeit von $\frac{dV_T}{dV_{sx}}$ liefert,

15

wobei die Beziehung zwischen X_1 , X_2 , D, N_a und

$\frac{dV_T}{dV_{sx}}$ gegeben ist durch

20

$$\frac{dV_T}{dV_{sx}} = \frac{\epsilon_0 \epsilon_s}{C_{ox} \sqrt{\frac{2\epsilon_0 \epsilon_s}{qN_a} (V_{sx} + 2\phi) + (X_1 + X_2) \frac{D}{N_a}}}$$

und die Empfindlichkeit $\frac{dV_T}{dV_{sx}}$ der Schwellwert-

spannung zur Substratspannung durch Erhöhung des Abstands der spiegelbildlich induzierten Ladungen zwischen Gate-Elektrode und Substrat durch Bildung

der vergrabenen Isolierschicht (10) aus der ionen-
implantierten Schicht durch Vereinigung der beiden
Verarmungszonen des oberen und unteren P-N-Übergangs
verringert ist.

5

6. Feldeffekttransistor nach Anspruch 5, dadurch
gekennzeichnet,
daß die dotierte Isolierschicht (10) durch mehrere
Ionen-Implantationen gebildet ist.

10

7. Feldeffekttransistor nach Anspruch 5, dadurch
gekennzeichnet,
daß der Kanal N-leitend ist und
daß die vergrabene dotierte Isolierschicht (10)
durch Implantation mit Phosphorionen gebildet ist.

15

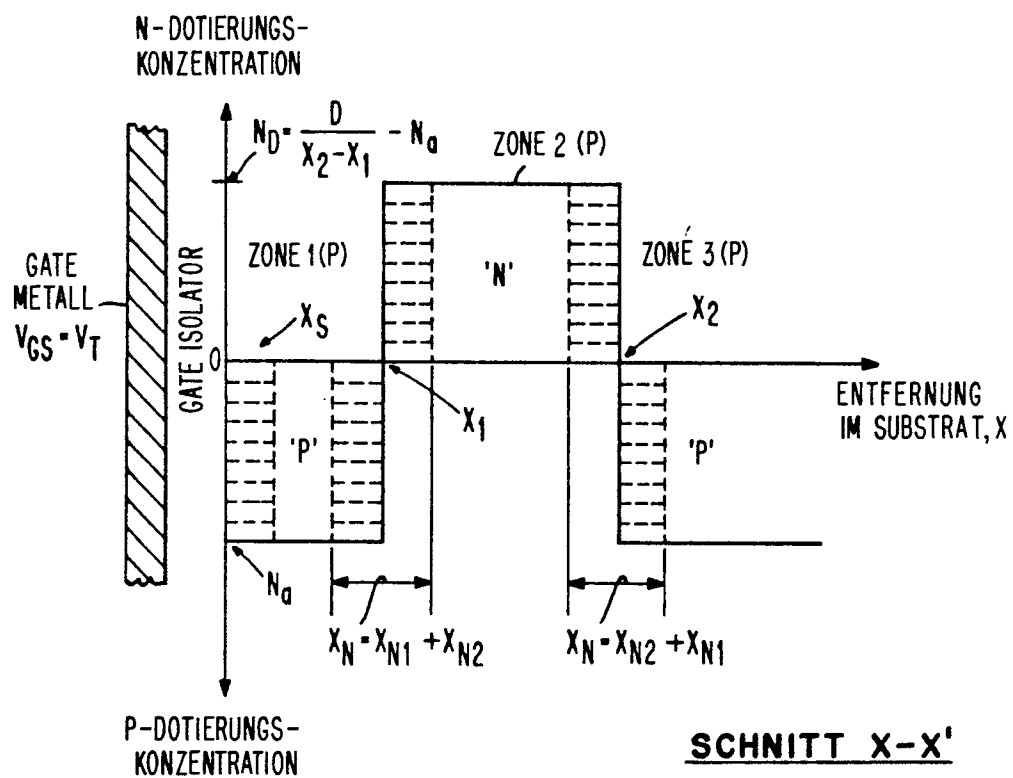
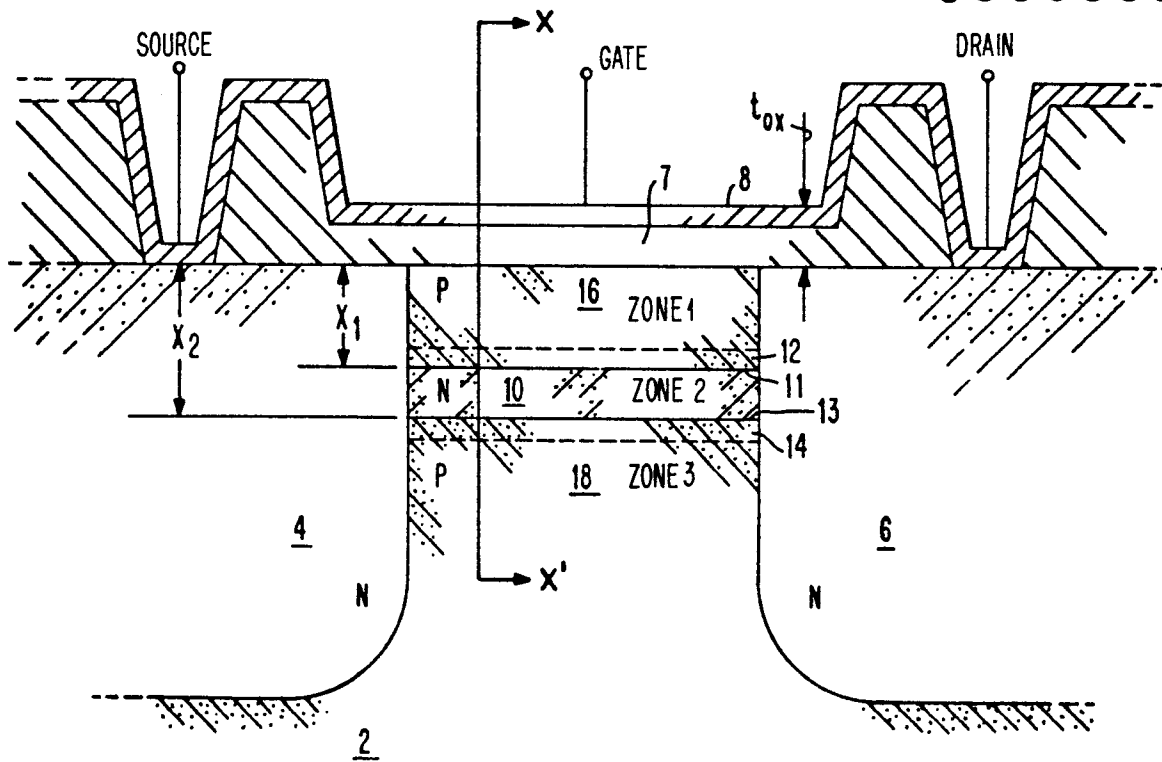
8. Feldeffekttransistor nach Anspruch 5, dadurch
gekennzeichnet,
daß der Kanal P-leitend ist und
daß die vergrabene dotierte Isolierschicht durch
Implantation von Borionen gebildet ist.

20

9. Feldeffekttransistor nach Anspruch 5, dadurch
gekennzeichnet,
daß an der Oberfläche des Kanals zur Bildung einer
Verarmungszone eine zweite mit Ionen implantierte
Schicht des ersten Leitungstyps gebildet ist und
daß je nach der Dotierung des Kanals die vergrabene
Isolierschicht durch Implantation von Phosphor- bzw.
Borionen gebildet ist.

25

30



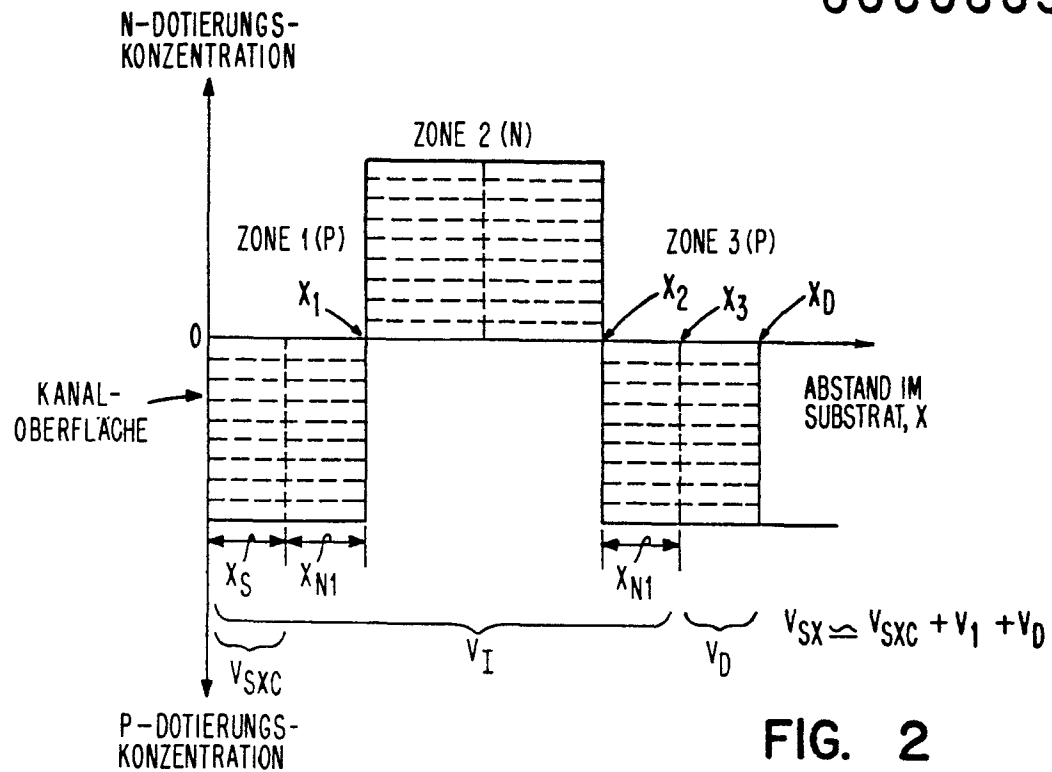


FIG. 2

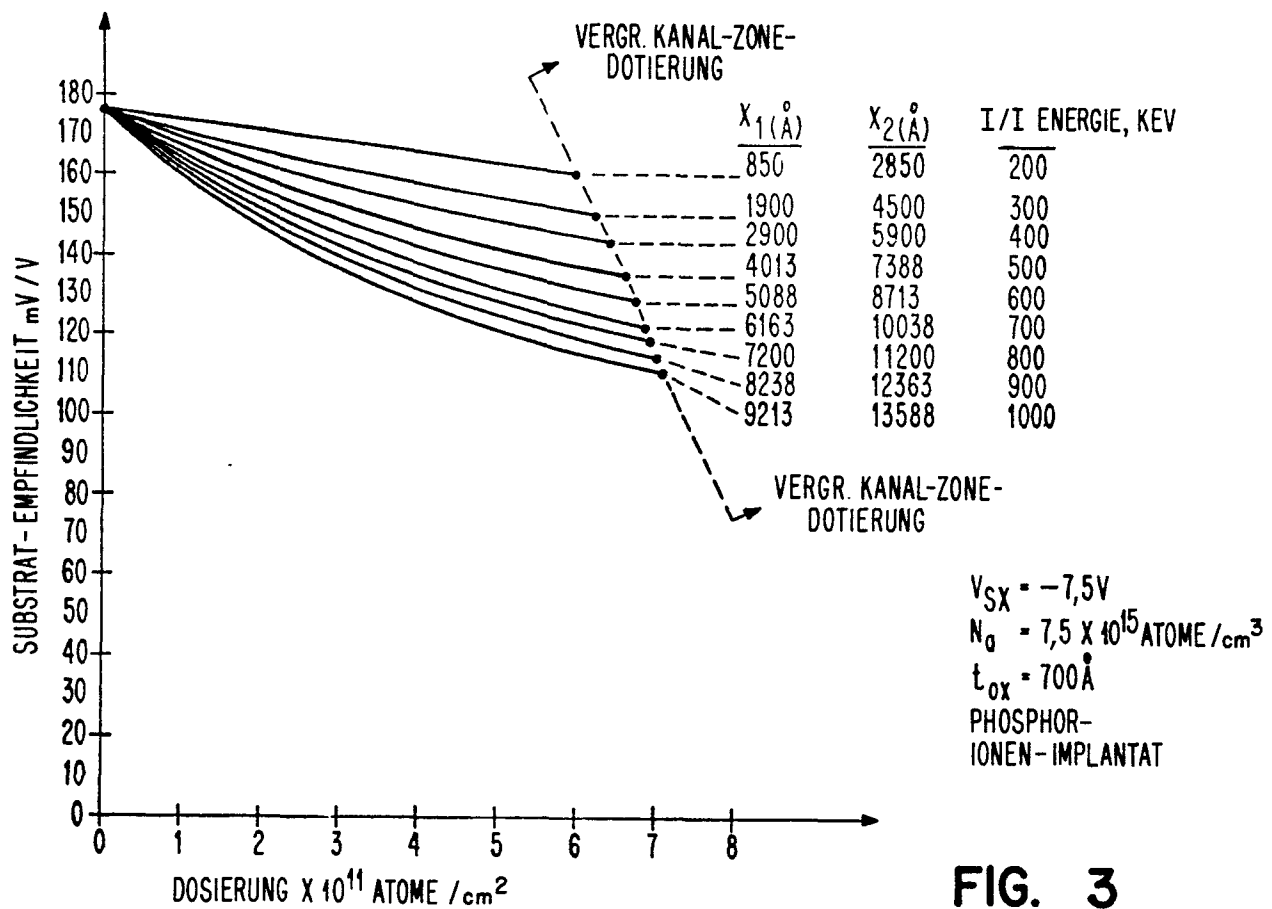


FIG. 3

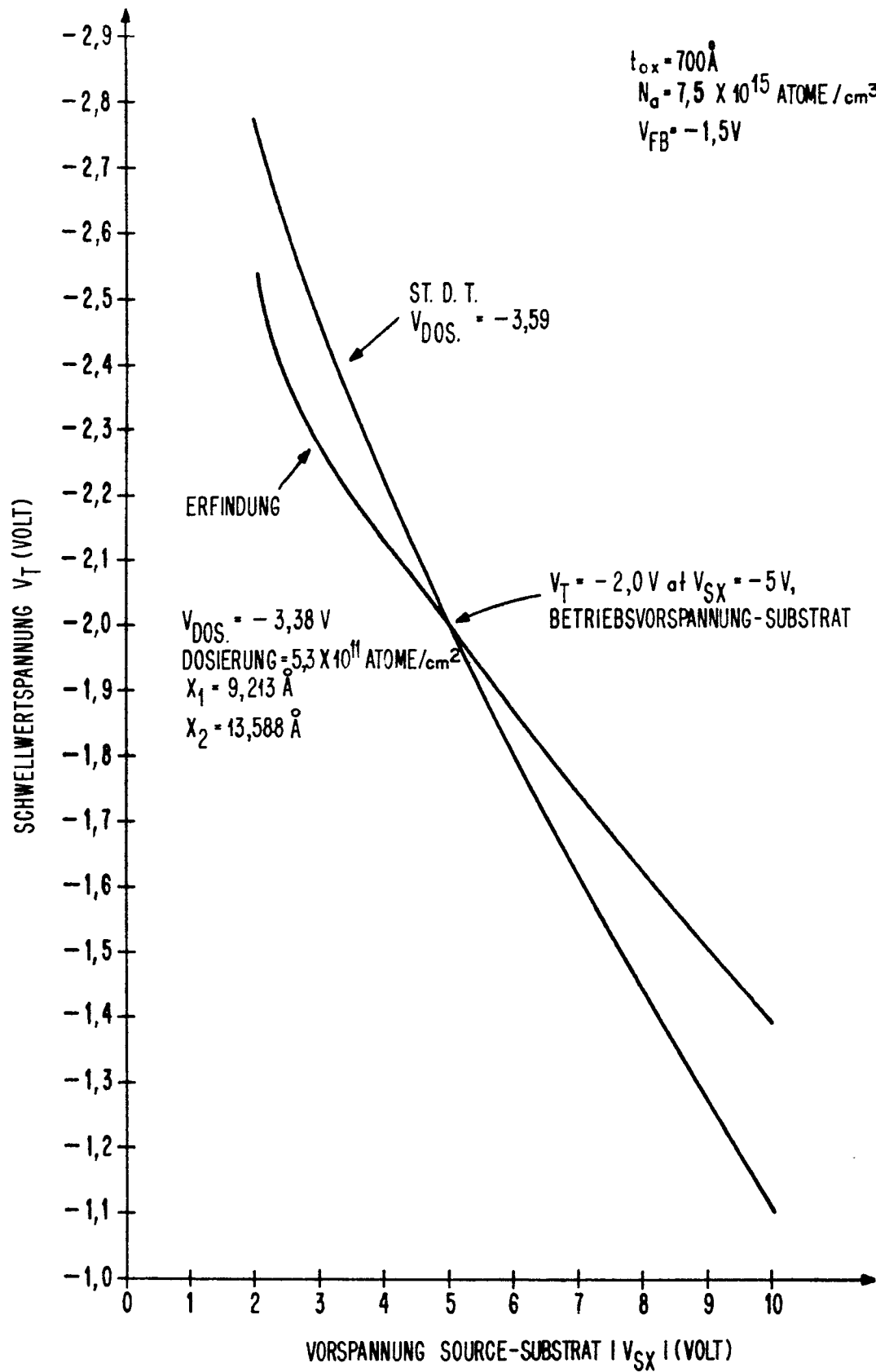


FIG. 4

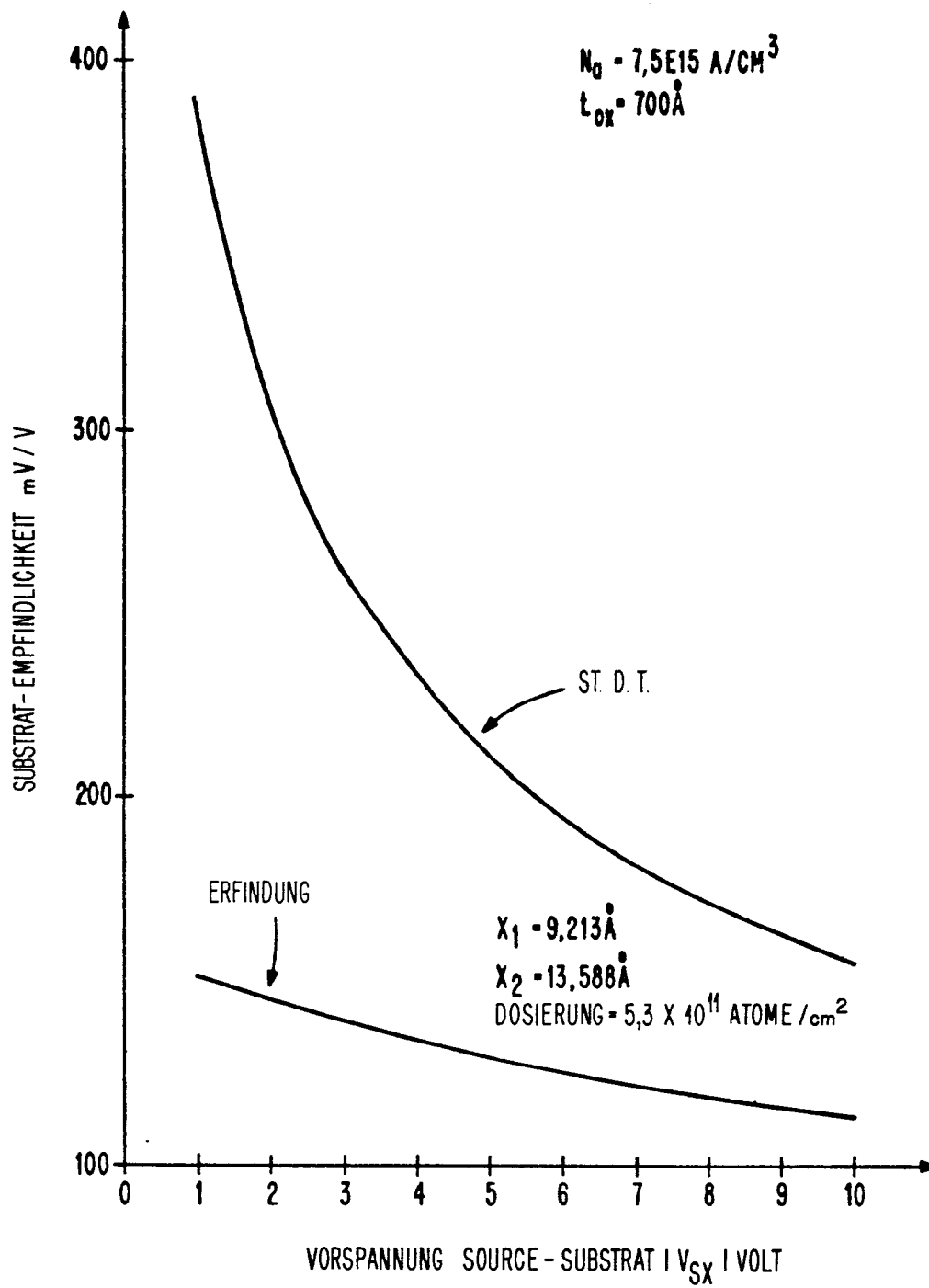


FIG. 5

FIG. 6A

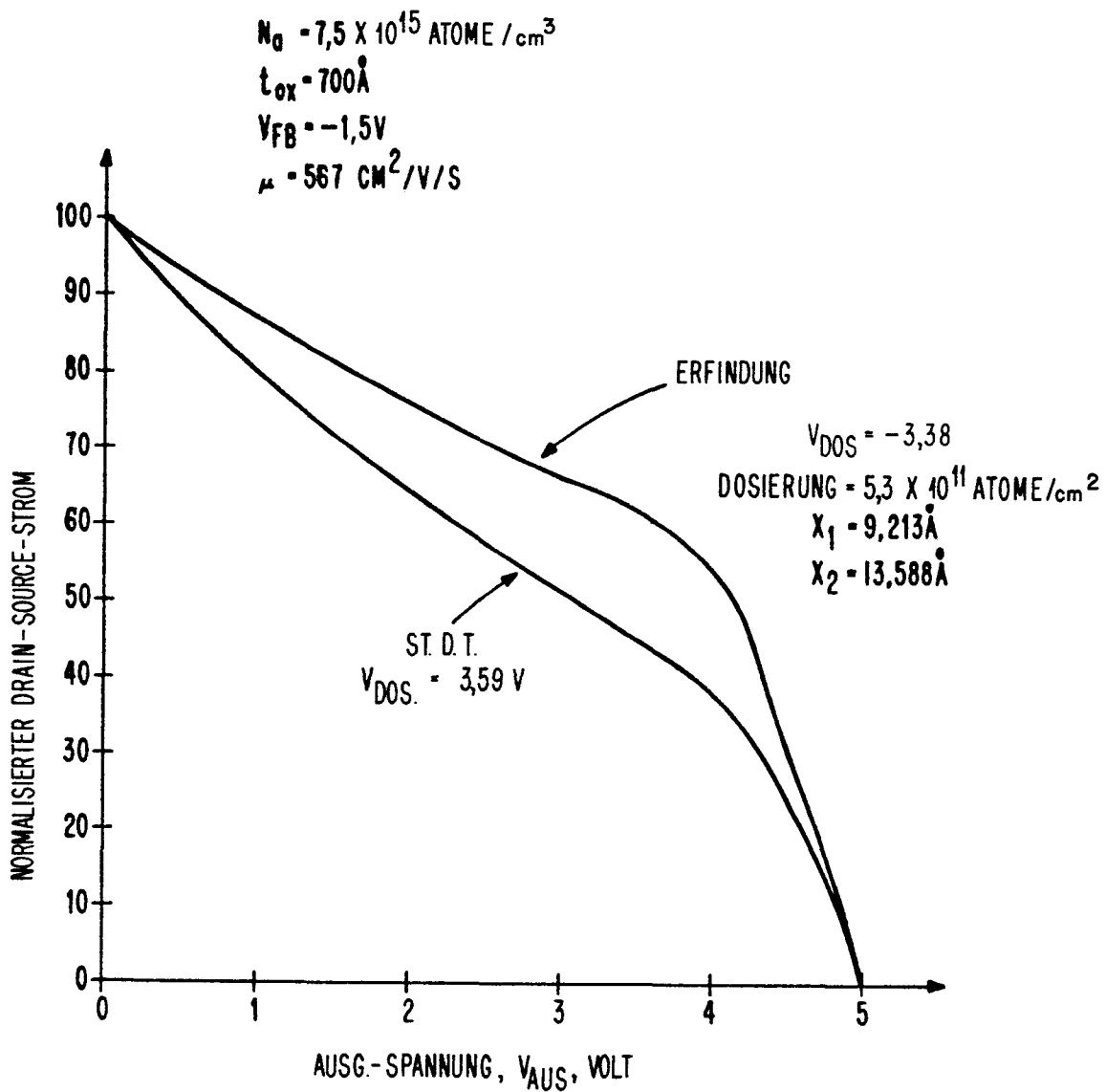
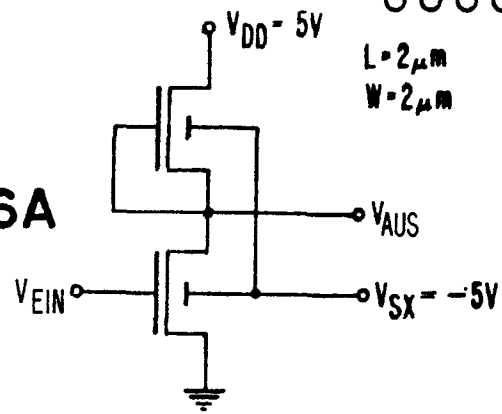


FIG. 6B



DOCUMENTS CONSIDERED TO BE RELEVANT			CLASSIFICATION OF THE APPLICATION (Int. Cl. ³)
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	
	<u>US - A - 4 021 835 (HITACHI)</u> * Abstract; column 8, lines 12-18, 59; figures 13d and 14d * -- <u>US - A - 3 283 221 (RCA)</u> * Claim 3; figure 1* & DE - A- 1 283 399 -----	1,2,3, 5,7,8, 9 1	H 01 L 29/10 H 01 L 29/78
			TECHNICAL FIELDS SEARCHED (Int.Cl. ³)
			H 01 L 29/10 H 01 L 29/78
			CATEGORY OF CITED DOCUMENTS
			X: particularly relevant A: technological background O: non-written disclosure P: intermediate document T: theory or principle underlying the invention E: conflicting application D: document cited in the application L: citation for other reasons
			&: member of the same patent family, corresponding document
The present search report has been drawn up for all claims			
Place of search	Date of completion of the search	Examiner	
The Hague	10-11-1978	PELSERS	