



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication:

0 011 576
A1

(12)

DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: 79400886.2

(51) Int. Cl.³: **G 10 H 7/00**
G 06 F 9/00

(22) Date de dépôt: 20.11.79

(30) Priorité: 21.11.78 FR 7832727
23.03.79 FR 7907339

(43) Date de publication de la demande:
28.05.80 Bulletin 80:11

(84) Etats Contractants Désignés:
AT DE GB IT NL

(71) Demandeur: Deforeit, Christian
202, Rue des Joncs-Marins
F-91620 La Ville du Bois(FR)

(72) Inventeur: Deforeit, Christian
202, Rue des Joncs-Marins
F-91620 La Ville du Bois(FR)

(74) Mandataire: Bultez, Dominique
1, Rue du general Koenig
F-94480 Ablon(FR)

(54) Synthétiseur polyphonique de signaux périodiques utilisant les techniques numériques.

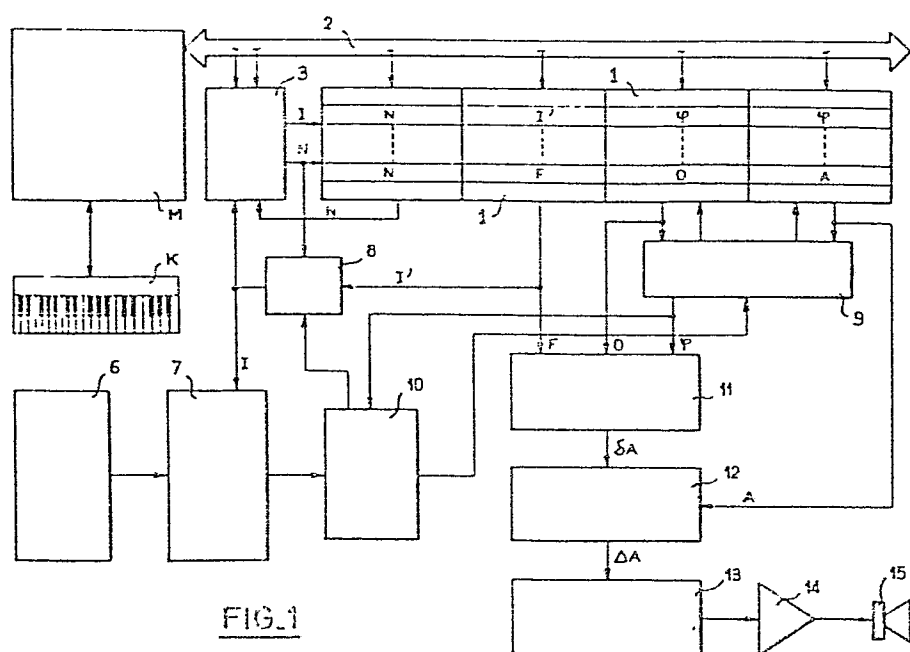
(57) L'invention concerne un synthétiseur musical polyphonique utilisant les techniques numériques. La génération des échantillons successifs de forme d'onde fait appel à des données de phase pour l'adressage d'une mémoire (11) d'échantillons de forme d'onde, et d'amplitude, de rang d'octave ou d'harmonique contenues dans un ensemble de blocs de mémoires (1). La commande du synthétiseur se réalise par l'adressage externe de l'ensemble des mémoires pour y inscrire les données précitées.

Le déroulement des opérations de synthèse à l'intérieur du synthétiseur est conditionné par un enchaînement séquentiel de la lecture des différents blocs de mémoires, en fonction des signaux d'une pluralité des générateurs.

0 011 576 A1



./...



- 1 -

Synthétiseur polyphonique de signaux périodiques
utilisant les techniques numériques

La présente invention se rapporte à un synthétiseur polyphonique de signaux périodiques, utilisant les techniques numériques et plus généralement les instruments de musique électroniques, polyphoniques comportant un ou
5 plusieurs de tel synthétiseur.

Un synthétiseur de ce genre a été décrit dans la demande de brevet n° 77 202 45 déposée le 1er juillet 1977 (FRANCE).

Chaque signal périodique résulte d'une succession d'échantillons numériques produits notamment à partir d'une mémoire d'échantillons de forme d'onde, lus à fréquence
10 variable, et convertis ensuite sous une forme analogique.

Contrairement à d'autres dispositifs de synthèse musicale utilisant aussi les techniques numériques, dans lesquels les échantillons de forme d'onde sont lus dans la mémoire d'échantillons à fréquence ^{unique} fixe, mais à intervalle de phase variable (suivant la fréquence finale à obtenir),
15 la présente invention concerne un synthétiseur dans lequel la lecture des échantillons s'opère à fréquence variable, à partir de plusieurs signaux impulsionnels produit par des générateurs inclus dans le synthétiseur.

Une telle structure se prête mieux à la réalisation d'un synthétiseur complètement indépendant du reste de l'instrument d' musique, et qui peut être aisément commandé par microprocesseur.

Le synthétiseur se comporte comme un ensemble de générateurs de signaux indépendants commandés à partir d'un ensemble de mémoires qui contiennent chacune, au moins l'amplitude d'un signal en sortie. Le synthétiseur effectue, en lisant chaque mémoire, une conversion numérique-analogique, pour convertir la donnée d'amplitude lue et une valeur de phase instantanée, en un échelon analogique, positif ou négatif, de tension ou de courant.

Dans le premier synthétiseur précité, tous les signaux périodiques qu'il peut produire sont générés cycliquement et en permanence, même si les amplitudes de la plupart sont nulles, parce que les circuits de commande du synthétiseur, actionnés par les générateurs impulsionsnels inclus, commandent une conversion numérique-analogique pour chaque donnée de l'ensemble de mémoire, quel que soit la valeur de cette donnée. Pour qu'un signal ne soit pas produit, il est alors nécessaire d'insérer une donnée égale à zéro dans la mémoire correspondante.

La plupart du temps le nombre de signaux produits par le synthétiseur est petit devant le nombre maximum de signaux qu'il peut produire. Ceci entraîne que, dans le synthétiseur, de nombreuses opérations logiques de conversion sont effectuées inutilement pour des signaux qui ne sont finalement pas produits, et dans le micro-ordinateur de commande, des opérations d'écriture de données d'amplitude égales à zéro sont nécessaires, d'où une double perte de temps.

Un objet de la présente invention est d'éliminer cet inconvénient en supprimant la synthèse des signaux non demandés. Aussi, à l'exploitation, seules les mémoires relatives aux signaux à produire sont utilisées.

- 5 Un autre objet de la présente invention est de mettre à profit l'économie de temps réalisée pour permettre la synthèse de signaux supplémentaires ou pour accroître le nombre de signaux périodiques possibles.

10 L'invention, telle qu'elle est caractérisée dans les revendications, résout le problème consistant à limiter le travail du synthétiseur à la production des seuls signaux demandés, en organisant les données dans les mémoires de commande de sorte qu'il existe un enchaînement entre ces données. Seules, les données significati-
15 ves sont comprises dans cet enchaînement. La lecture des données dans les mémoires de commande, à partir des générateurs impulsionnels et la production des échantillons correspondants, s'effectuent donc selon l'enchaînement déterminé, qui est exécuté de manière répétitive. Les
20 moyens d'exploitation externes du synthétiseur peuvent modifier à tout moment l'enchaînement des données dans les mémoires de commande et lui substituer un nouvel enchaînement. Ils peuvent également modifier des données utilisées dans la synthèse sans changer l'enchaînement.

- 25 Pour réaliser cet enchaînement, chaque mémoire de commande doit contenir, en plus de la donnée utilisée pour la production d'un échantillon, une information supplémentaire qui est lue par les moyens de commande du synthétiseur et est exploitée par ceux-ci pour déterminer la
30 mémoire suivante dans l'enchaînement.

Selon une première variante de réalisation, l'ensemble des mémoires de commande est divisé en groupes de mémoi-

res, en nombre égal au nombre de générateurs impulsionnels, chaque groupe contenant en outre une mémoire supplémentaire pour contenir un sous-multiple commun de la phase instantanée de plusieurs signaux périodiques et chaque
5 mémoire comportant une zone pour recevoir une information d'adressage d'une autre mémoire du même groupe.

Il apparaît donc que les moyens de commande internes du synthétiseur ne s'intéressent qu'aux mémoires de commandes reliées entre elles par l'enchaînement, les autres
10 mémoires de commandes non comprises dans l'enchaînement étant ignorées. Les opérations du synthétiseur sont donc limitées à la production des seuls signaux périodiques à produire.

Cependant, le fait que la mémoire de commande soit découpée en groupes déterminés par construction, limite le
15 nombre de composantes sonores élémentaires associées à chaque générateur au nombre de mémoires d'un groupe moins un. Comme tous les groupes sont rarement tous utilisés ensembles, un nombre plus ou moins grand de
20 mémoires restent non utilisées la plupart du temps.

Selon une deuxième variante de l'invention, les mémoires de commande du synthétiseur ne sont plus divisées en groupes, chaque mémoire pouvant être affectée à n'importe quel générateur. Chaque mémoire comporte une informa-
25 tion d'adressage d'une autre mémoire, pour la réalisation de l'enchaînement. De plus, on distingue deux types de mémoires : des blocs principaux contenant essentiellement un sous-multiple de la phase instantanée comme à plusieurs signaux et des blocs secondaires contenant essentielle-
30 ment l'amplitude de ces signaux.

Bien entendu les informations qui peuvent être enregistrées dans les mémoires de commande ne sont pas limitées à celles énumérées précédemment. Ceci permet de lar-

ges possibilités de commandes du synthétiseur par de simples opérations d'écritures en mémoire vive.

5 La présente invention apporte une réduction importante de ces opérations d'écriture du fait de l'enchaînement. De même, les opérations internes du synthétiseur sont réduites.

10 Parmi les avantages de l'invention, on peut citer la possibilité de réduction de la fréquence de l'horloge qui synchronise l'ensemble des circuits, d'où de meilleures possibilités d'intégration de ces circuits sous forme de circuits intégrés.

15 L'optimisation des opérations de lecture et de conversion permet également d'accroître la souplesse de conception du synthétiseur. Ainsi la taille des groupes de mémoire peut être modifiée pour accroître ou diminuer le nombre de signaux possibles, ceci sans accroître la complexité de l'exploitation. De même, le nombre des générateurs et de groupes peut varier, permettant la synthèse de nouvelles séries de signaux dont les fréquences ne sont pas forcément en relation avec celles des autres générateurs.
20 Ainsi, les fréquences de ces générateurs peuvent être variables ou aléatoires.

25 Grâce à la seconde variante, le temps de traitement total des opérations du synthétiseur est constamment réduit au minimum et l'utilisation des mémoires est optimale.

30 La réduction du temps de traitement permet de réduire l'écart de temps entre le changement d'état d'un générateur et le calcul des échantillons des composantes sonores correspondantes.

La suppression des limites des groupes permet de constituer des sonorités élémentaires contenant un grand nom-

bre de composantes

D'autres caractéristiques et avantages de la présente invention apparaîtront dans la description qui suit, celle-ci étant illustrée par les figures qui représentent :

La figure 1 représente le schéma d'un synthétiseur selon la première variante, la mémoire de commande étant divisée en groupes ; la figure 2 représente l'organisation des données à l'intérieur d'un groupe ; la figure 3 représente un organigramme expliquant le déroulement des opérations du synthétiseur ; la figure 4 montre un exemple de réalisation d'un convertisseur numérique-analogique ; la figure 5 représente un synthétiseur selon la seconde variante préférée de l'invention ; la figure 6 représente un organigramme de fonctionnement de cette seconde variante ; et la figure 7 représente un détail de réalisation de la logique de détection des transitions des générateurs.

D'une manière générale, un synthétiseur numérique musical est construit autour d'une mémoire de forme d'onde contenant une représentation numérique, point par point, d'une période (ou une portion de période, s'il existe des symétries) d'une forme d'onde périodique. L'entrée pour l'adressage de la mémoire reçoit des signaux dit de "phase" et la sortie délivre les données ou signaux d'"amplitude" correspondant. La mémoire de forme d'onde réalise donc le transcodage d'un signal numérique de phase en un signal numérique d'amplitude, qui est ensuite converti sous forme analogique.

Pour reconstituer un signal analogique périodique complet, il est nécessaire d'appliquer des signaux numériques de phase

successifs à la mémoire de forme d'onde. Celle-ci délivre alors des signaux d'amplitude successifs appliqués au convertisseur numérique-analogique. Ces signaux analogiques sont filtrés pour éliminer le bruit de quantification et la forme d'onde analogique est restituée.

Au lieu d'une représentation numérique directe de la forme d'onde finale, la mémoire de forme d'onde peut contenir une représentation différentielle de cette forme d'onde. Chaque valeur numérique représente l'écart entre l'amplitude du point considéré de la forme d'onde et celle du point précédent. Le convertisseur numérique analogique est alors suivi d'un intégrateur qui restitue la forme d'onde finale. Ce type de synthèse à l'avantage de permettre l'utilisation d'informations numériques de taille réduite (mots de 8 bits pour l'amplitude) sans sacrifier la qualité du résultat final équivalent à celui d'une synthèse directe utilisant des informations de taille plus importante (16 bits).

Pour délivrer des signaux périodiques ayant des fréquences différentes en utilisant la même mémoire de forme d'onde, il existe deux méthodes radicalement opposées.

La première méthode consiste à émettre, vers cette mémoire, des signaux d'adressage à fréquence constante (très élevée) mais dont la différence de phase entre deux valeurs adressées consécutives varie suivant la fréquence finale à produire. Bien que ne nécessitant qu'une horloge unique pour toutes les fréquences, cette méthode nécessite des circuits complexes nécessairement combinés aux circuits de commande du synthétiseur (clavier, pédaliers, circuits de sélection de jeux, etc.).

La seconde méthode consiste à émettre vers la mémoire d'échantillons des signaux d'adressage à fréquence variable directement proportionnelle à la fréquence à produire, ceci permettant d'adresser la mémoire avec des
5 différences de phase constantes quelque soit la fréquence.

Un simple opération d'incrémentatation suffit pour toutes les fréquences, ce qui supprime la nécessité de calculer un écart de phase pour chaque fréquence. En contrepartie le synthétiseur doit comporter plusieurs générateurs qui
10 peuvent être intégrés et une logique d'association des générateurs et des données de commande.

La présente invention concerne un synthétiseur utilisant la deuxième méthode de synthèse (fréquences multiples) en combinaison avec une représentation différentielle
15 des données d'amplitude, de préférence.

Elle se distingue également par le fait que l'ensemble des commandes destinées au synthétiseur (fréquences, amplitudes, etc.) se résument à de simples opérations d'écritures dans des mémoires dénommées "clavier virtuel".

20 Ce clavier virtuel constitue alors une frontière physique entre le synthétiseur et le reste de l'instrument de musique. Un tel synthétiseur se prête particulièrement bien à une association avec un micro-ordinateur vis-à-vis duquel il se comporte comme un simple périphérique.

25 Dans le synthétiseur, tous les organes qui le constituent sont alors mis en relation avec le clavier virtuel.

Dans la demande de brevet français n° 77.202.45, l'ensemble des opérations internes du synthétiseur étaient déclenchées directement par les changements d'état des générateurs.

Selon la présente invention, l'ensemble des opérations est maintenant réalisé à partir d'un enchaînement de lecture des données contenues dans le clavier virtuel, cet enchaînement dépendant des changements d'état des générateurs.

Le clavier virtuel est maintenant l'organe essentiel du synthétiseur à partir duquel sont issues toutes les commandes. Il comprend un ensemble de mémoires qui peuvent donc être adressées de l'intérieur du synthétiseur pour les opérations de synthèse, et de l'extérieur du synthétiseur pour les commandes de synthèse (commandes des fréquences et des amplitudes des signaux à produire).

L'utilisateur accède au clavier virtuel par l'intermédiaire d'un système informatique qui ne fait pas l'objet de la présente demande. Une action sur une touche ou pédale de l'instrument est détectée par le système informatique, qui détermine des actions sur plusieurs mémoires du "clavier virtuel", en fonction d'un programme enregistré dans le système informatique. Ceci permet d'obtenir la production de signaux complexes qui sont la somme de plusieurs signaux périodiques élémentaires du synthétiseur. En particulier, si ces signaux périodiques sont des sinusoïdes, la synthèse réalisée est une synthèse additive ou synthèse de Fourier.

La figure 1 représente le schéma de principe du synthétiseur suivant l'invention.

Le synthétiseur est couplé à un système micro-ordinateur extérieur M par l'intermédiaire d'un ensemble de connexions dénommé "bus" 2. Ce bus transmet des signaux de sélection d'adresse, des signaux de donnée et des signaux de commande d'écriture et éventuellement de lecture, pour la commande externe du synthétiseur.

A titre indicatif, le système micro-ordinateur est relié à un ou plusieurs claviers d'orgue K, et également, le cas échéant à un pédalier, des boutons, tirettes, ou tout dispositif de saisie de données ou d'évènements ou de
5 présentation d'informations, qui ne sont pas représentés.

Ainsi le système micro-ordinateur place des données dans les mémoires du clavier virtuel 1, en fonction des évènements qu'il prend en compte (enfonceement ou relachement des touches, boutons, tirettes, etc.), d'un programme
10 enregistré et de données descriptives des sonorités ou timbres des sons qui sont produits par le synthétiseur.

Le clavier virtuel 1 comprend un ensemble de mémoires qui sont sélectionnées à l'aide d'une mémoire d'adresse 3. L'accès à ces mémoires se fait, d'une part depuis le micro-
15 ordinateur, et d'autre part depuis les autres circuits du synthétiseur. Des circuits multiplexeurs, non représentés sur la figure, permettent ces deux accès en évitant les conflits.

Ce clavier virtuel 1 est divisé en groupes. L'adressage interne d'une mémoire d'un groupe se fait à l'aide de deux
20 signaux, l'un, I, pour désigner le groupe et l'autre N, pour désigner la mémoire dans le groupe I.

Le synthétiseur comprend par ailleurs un nombre déterminé de générateurs de signaux rectangulaires désignés
25 dans leur ensemble par la référence 6. Par signal rectangulaire, on entend tout signal binaire, signal carré ou signal impulsionnel. Il y a, par exemple, 12 générateurs de signaux périodiques dont les fréquences de répétition sont réparties selon les 12 demi-tons d'une octave, et
30 également 4 générateurs de fréquence variable, soit à commande analogique par tension ou courant, soit à com-

mande numérique. Un de ces générateurs peut également être un générateur de bruit, c'est à dire un générateur à fréquence aléatoire.

Dans le clavier virtuel 1, le nombre de groupes est égal
5 à celui des générateurs.

La sélection des mémoires d'un groupe par les moyens de commande de lecture, entraîne en même temps la sélection du signal d'un générateur, à l'aide d'un multiplexeur 7.

Pendant l'exécution des opérations relatives aux données
10 d'un groupe, l'adresse de sélection du dit groupe, est conservée dans une mémoire 8. Cette adresse de sélection est appliquée d'une part au multiplexeur 7 pour la sélection du signal d'un générateur et d'autre part, à la mémoire d'adresse 3 pour la sélection du groupe correspon-
15 dant. Les mémoires 8 et 3 peuvent d'ailleurs être réunies.

Le signal du générateur sélectionné sert à incrémenter une donnée de phase instantanée commune aux signaux produits par l'ensemble du groupe correspondant. Pour ce faire, un circuit d'incrémentation et de mémoire 9 est couplé au mul-
20 tiplexeur 7, par l'intermédiaire d'un circuit de commande 10, et au clavier virtuel 1. Le détail de la structure et du fonctionnement de ces circuits apparaîtront dans la suite.

Enfin, l'ensemble des données relatives à la synthèse d'un échelon analogique de chaque signal périodique en sortie
25 est appliqué aux moyens de conversion numérique-analogique. Ceux-ci comprennent un circuit de calcul d'un échelon d'amplitude normalisé 11, un circuit de multiplication 12, un convertisseur numérique analogique, un amplificateur 14 et un haut-parleur 15, ces deux derniers éléments étant les propres dans le synthétiseur.

le circuit de calcul 11 reçoit la phase instantanée φ increméntée et mémorisée par le circuit 9, le numéro de rang d'octave 0 et le numéro de forme d'onde F lus dans une mémoire d'un groupe du clavier virtuel et délivre
5 la valeur δA d'un échelon d'amplitude. Le circuit 11 comprend par exemple une mémoire d'échantillons de formes d'onde qui délivre automatiquement la donnée δA lue à une adresse formée par les signaux numériques d'entrée précités.

10 Le circuit de multiplication 12 effectue la multiplication de la valeur δA par la valeur d'amplitude A lue dans la mémoire du clavier virtuel et délivre la valeur numérique δA .

Enfin , le convertisseur 13 transforme cette valeur δA en
15 un échelon analogique de courant ou de tension qui est ensuite amplifié dans 14 et diffusé par 15.

La suite de la description reviendra plus en détail sur la structure et le fonctionnement de chaque élément du synthétiseur.

20 La figure 2 décrit la structure du clavier virtuel. Cette structure est importante. Elle permet de comprendre le fonctionnement du synthétiseur dans son ensemble

Dans ce qui suit, les valeurs numériques ne sont données
25 qu'à titre indicatif. Le clavier virtuel est divisé en 16 groupes de mémoires, autant de groupes que de générateurs 6. Chaque groupe est lui-même divisé en 16 blocs de mémoires de 16 bits chacun.

Chaque bloc de mémoires est encore divisé en quatre mots,
30 de 4 bits chacuns (c'est cette dernière division qui

separaît sur la figure 1).

Il y a donc $16 \times 16 = 256$ blocs de chacun 4 mots, et chaque mot contient au moins une information.

5 Au cours du fonctionnement du synthétiseur, les blocs sont lus un par un et les informations qu'ils contiennent sont transférées et utilisées par les autres circuits.

La mémoire d'adresse 3 sélectionne, par son contenu, un bloc du clavier virtuel, parmi les 256.

10 L'adresse de sélection comporte 2 parties, une partie de 4 bits spécifiant le numéro I de groupe et une partie de 4 bits spécifiant le numéro N d'un bloc dans le groupe.

Pour simplifier la figure 2, seul un groupe est représenté.

15 Le premier bloc du groupe est caractérisé par la valeur $N = 0$.

20 Les quatre mots qu'il contient sont relatifs respectivement, de la gauche à la droite, au numéro N1 du bloc suivant à lire dans le groupe (4 bits), du numéro I' du groupe suivant quand le traitement relatif au présent groupe sera terminé, et des deux parties (haute et basse) de la phase instantanée φ du signal fondamental.

La lecture de ce bloc permet d'obtenir donc, en parallèle les 3 informations N1, I' et φ .

25 Supposons que la mémoire d'adresse 3 soit pointée sur ce premier bloc et que le signal du générateur sélectionné par le multiplexeur 7, par le numéro I, ait changé d'état. Le circuit 5, alors augmente la valeur de I d'une unité, et

inscrit la nouvelle valeur de f dans le bloc (I, N = 0)
et garde en mémoire cette valeur de f .

Puis la valeur N1 lue dans ce bloc est transmise à la mémoire
d'adresse 3, qui adresse le bloc (I, N1) du même groupe.

- 5 Les mots de ce bloc sont alors les suivants :
- La valeur N2 du bloc dans le même groupe sert à adres-
ser le bloc suivant. La valeur F sert à spécifier la for-
me d'onde désirée. La valeur O sert à spécifier le rang
d'harmonique ou d'octave du signal de sortie, par rapport
10 au fondamental dont φ est la phase instantanée. Enfin, la
valeur A est l'amplitude du signal périodique de sortie.

Les informations contenues dans chaque bloc ne sont pas
limitées aux seules décrites ci-dessus. Par exemple, il
peut être spécifié un numéro de voie de sortie analogi-
15 que, etc.

En même temps que ces informations sont lues et transmises
aux moyens de conversion 11, 12, 13 qui calculent un éche-
lon analogique, la valeur N2 sert à spécifier le nouveau
bloc à lire dans le groupe.

- 20 La lecture de ce nouveau bloc permet d'acquérir de nouvel-
les données F, O, A et N3 et ainsi de suite.

Le dernier bloc lu dans le groupe I délivre enfin des don-
nées F, O et A ainsi qu'une dernière valeur N = 0 qui per-
met de revenir au premier bloc d'où est extraite l'adresse
25 du premier groupe suivant (I', N = 0).

Il est à noter que l'enchaînement de la lecture des blocs
d'un groupe est tel que tous les blocs du groupe ne sont
pas forcément lus. Si une valeur N n'est jamais spécifiée

dans ce bloc, le bloc correspondant sera ignoré. De même, la lecture du bloc est séquentielle, mais l'ordre dans lequel cette lecture est faite n'est pas obligatoirement l'ordre des valeurs de N .

- 5 La figure 3 représente un organigramme qui décrit l'enchaînement des fonctions du synthétiseur.

On suppose que la mémoire d'adresse spécifie le premier bloc d'un groupe I ($N = 0$).

- 10 A ce moment, le synthétiseur effectue un test, 21 pour savoir si le générateur numéro I (sélectionné par le multiplexeur 7) a changé d'état. Le traitement complet des données d'un groupe ne s'effectue donc que toutes les demi-périodes du générateur correspondant. Pour ce faire, le circuit de commande 10 peut être constitué simplement par un circuit
- 15 OU exclusif dont les deux entrées reçoivent respectivement la sortie du multiplexeur 7 et le bit de poids le plus faible de la valeur de phase φ lue dans le bloc ($I, N = 0$).
- Un signal actif n'est délivré par le OU exclusif que si les deux entrées sont différentes. Dans ce cas, la phase
- 20 φ est augmentée d'une unité, inscrite dans le bloc ($I, N = 0$) à la place de la valeur précédente et gardée en mémoire dans le circuit 9, pour être utilisée en même temps que les données lues dans les autres blocs du même groupe.

- 25 Si le circuit 10 ne délivre aucun signal actif au circuit 9, il commande alors la transmission, par le circuit 8, de la valeur I' suivante à la mémoire d'adresse 3.
- La synthèse des échelons analogiques des signaux du bloc précédemment lu n'a donc pas été effectuée. Le test du
- 30 générateur suivant est ensuite effectué (fonctions 20 et 21, figure 3) et ainsi de suite.

Dès qu'un test de générateur est positif, la synthèse des échelons peut avoir lieu, elle se déroule comme indiqué sur la figure 3.

Après l'incrémentation de la phase φ (fonction 23, réalisée par le circuit 9), le bloc spécifié par la valeur N suivante est lu, entraînant la lecture des valeurs F, 0, A, etc. et la synthèse d'un échelon correspondant (fonction 24). Puis la valeur du N suivant est comparée à zéro (fonction 25). Tant que le test est négatif, les lectures successives des blocs du groupe I s'effectuent. Dès que ce test est positif, le transfert de la valeur I suivante (et N = 0) permet de recommencer le même cycle pour un autre groupe (retour à la fonction 20).

La figure 4 donne le détail de la structure du convertisseur.

Les valeurs de phase φ , de rang d'harmonique ou d'octave 0 et de forme d'onde F sont appliquées simultanément à un circuit 30. Ce circuit 30 élabore une adresse appliquée à une mémoire d'échelons 31. Cette mémoire contient en fait des échantillons successifs d'une ou plusieurs formes d'onde, en représentation différentielle. L'écart d'amplitude δA lu est ajouté à l'amplitude précédente pour obtenir la nouvelle amplitude du signal analogique.

Un circuit multiplicateur 12 effectue le produit de la valeur δA par l'amplitude réelle A lue dans le bloc du clavier virtuel 1. Le résultat ΔA est ensuite appliqué à deux convertisseurs numériques analogiques 32 et 33 commandés l'un ou l'autre par un circuit de commande 35.

Cette variante permet de pouvoir délivrer des signaux différents à plusieurs sorties analogiques différentes,

le nombre de sorties étant, bien entendu, donné uniquement à titre d'exemple.

La distinction des sorties analogiques est faite également à partir d'une information contenue dans le calvier virtuel.

5 Par exemple, trois bits seulement sont utilisés pour le choix d'une forme d'onde parmi huit, le quatrième bit étant affecté au choix de la voie analogique.

Dans le cas de la figure 4, le circuit de commande 35 est par exemple une bascule. L'une des sortie de la bascule
10 autorise la transmission d'une donnée à un convertisseur, tandis que l'autre sortie interdit la transmission à l'autre convertisseur.

La structure des convertisseurs est connue, celle-ci ayant déjà été décrite dans la demande de brevet français
15 n° 77 202 45 précitée, notamment à la figure 4. Pour mémoire ils comportent chacun un circuit additionneur-soustracteur, un compteur décompteur et un circuit intégrateur. Il sont suivis respectivement des amplificateurs 36 et 37 et des haut-parleurs 38 et 39. Des circuits de
20 filtrage analogique ayant des réponses en fréquence particulières peuvent évidemment être intercalés dans chaque voie analogique. Le plus souvent, incorporés aux amplificateurs 36 et 37, de tels circuits de filtrage, appelés "formants", peuvent être utiles pour améliorer le résultat
25 sonore de certaines formes d'onde complexes. C'est le cas, par exemple pour des signaux imitant des instruments traditionnels à vent ou à cordes. Dans ce cas, le synthétiseur comporte un nombre de voies analogiques de sortie suffisant pour séparer les signaux complexes les uns des
30 autres. Cette séparation est particulièrement aisée selon l'invention puisque l'indication de la voie de sortie de

chaque échantillon analogique est incluse dans l'ensemble des données numériques qui sont à son origine (F, 0, A, etc.). Dans le cas où le nombre de voies de sortie analogique est supérieure à deux, le circuit 35 est constitué, par exemple par un circuit décodeur.

Le circuit 30 qui détermine l'adresse de l'échantillon δA dans la mémoire 31, comporte en fait des circuits logiques classiques. La valeur de phase φ est multipliée par la valeur 3 pour la production des harmoniques.

10 Dans le cas où le nombre 3 correspond aux octaves par rapport au fondamental, la phase φ subit simplement un nombre de décalages vers la gauche égal au nombre 0.

Le circuit multiplicateur 12 peut être également constitué par une mémoire morte. Les valeurs numériques d'entrée δA et A constituent l'adresse d'une valeur en mémoire. Cette valeur est alors le produit $A \times \delta A$.

Une structure améliorée du convertisseur permet d'obtenir plus aisément un nombre supérieur de voies de sortie analogiques. Selon cette amélioration, l'ensemble des circuits compteurs-décompteurs est remplacé par un circuit convertisseur numérique-analogique du commerce, par exemple un modèle à 8 bits courant. Ce convertisseur est ensuite suivi d'un circuit démultiplexeur qui reçoit par ailleurs l'information de sélection de voie lue dans la mémoire du clavier virtuel. Le circuit de commande de sélection de voie n'est plus nécessaire, cette sélection étant opérée directement dans le démultiplexeur qui comporte généralement un circuit de décodage incorporé. Chaque voie de sortie du démultiplexeur est ensuite connectée à l'entrée d'un intégrateur de même caractéristique que l'intégrateur du convertisseur précédemment décrit. Comme indiqué précédemment, chaque voie de sortie analogique peut, en complément, comporter des circuits de filtrage adaptés à un

type de signal ou de timbre.

Le convertisseur amélioré fonctionne de la façon suivante : au cours d'un cycle de lecture des mémoires d'un groupe, le début de cycle est consacré à l'incrémenta-
5 de la phase du fondamental. A l'entrée du convertisseur, il n'y a donc pas de données à convertir pendant le début du cycle, et ceci pendant quelques micro-secondes. Puis, au fur et à mesure de la lecture des données dans les autres mémoires du groupe, le convertisseur reçoit succes-
10 sivement les données lues et délivre en sortie une suite d'échantillons analogiques de durée constante bien définie. Ces échantillons sont ensuite répartis par le démultiplexeur vers les intégrateurs qui délivrent alors un signal dont le niveau (tension ou courant) varie proportionnelle-
15 ment (en grandeur et en signe) à l'amplitude des échantillons appliqués.

L'avantage essentiel de cette structure du convertisseur réside dans le fait que les échantillons successifs délivrés par le convertisseur sont tous issus d'un même grou-
20 pe, et qu'entre chaque suite d'échantillons s'écoule un intervalle de temps suffisant pour éteindre toutes les instabilités possibles dans les circuits, dues notamment à des défauts de linéarité de la conversion, des temps de montée non négligeables, etc. Il en résulte une meilleure
25 immunité du synthétiseur aux intermodulations des signaux entre groupes, ceci grâce à la structure du clavier virtuel, et au déroulement du cycle de lectures des données qu'il contient.

30 La figure 5 décrit un autre exemple de réalisation dans lequel le découpage en groupes de la mémoire du clavier virtuel n'est plus prédéterminé. En effet, dans la variante de réalisation précédente, chaque

groupe comporte un nombre fixe de blocs de mémoires, ce qui limite le nombre de composantes sonores élémentaires associées à chaque générateur. Selon cette nouvelle variante, la taille des groupes n'est plus déterminée à l'avance, mais résulte de l'enchaînement. Ainsi comme tous les groupes ne sont, en pratique, jamais tous utilisés à la fois, pour une même capacité mémoire du clavier virtuel, un plus grand nombre de composantes sonores peuvent être créés dans des groupes utilisés.

Chaque groupe de blocs contient alors un bloc principal et des blocs secondaires, chaque bloc principal contenant, au moins, un mot d'identification de bloc, un mot relatif à un numéro de générateur, un mot relatif au sous-multiple commun de la phase instantanée de plusieurs signaux périodiques, un mot contenant un pointeur d'adresse vers un autre bloc principal et un mot contenant un pointeur d'adresse vers un autre bloc principal ou secondaire, et chaque bloc secondaire contenant, au moins, un mot d'identification de bloc, un mot relatif à l'amplitude d'un signal périodique, un mot relatif au rang d'harmonique ou d'octave dudit signal et un mot contenant un pointeur d'adresse vers un autre bloc secondaire ou principal.

Les pointeurs sont utilisés par les moyens d'enchaînement séquentiel de sorte que, chaque bloc lu contient un pointeur vers un bloc suivant à lire. Seuls, les blocs contenant des informations utiles sont ainsi adressés et lus et ces blocs peuvent être situés à n'importe quelles positions dans les mémoires.

De plus, l'enchaînement réalisé est en fait un double enchaînement : un enchaînement des blocs principaux et un enchaînement des blocs secondaires.

Seule la lecture des blocs principaux est réalisée tant que l'état des générateurs associés (désignés par leur numéro dans chaque bloc) ne change pas. A chaque changement d'état d'un générateur, l'enchaînement s'interrompt
5 au niveau du bloc principal correspondant, puis succède l'enchaînement des blocs secondaires associés.

Le clavier virtuel 1 est également couplé à un bus 2 de micro-ordinateur qui peut y lire ou écrire des données numériques. Des moyens de multiplexage non représentés
10 permettent l'accès aux mémoires du clavier virtuel par le bus ou par le synthétiseur.

Le clavier virtuel est divisé en 256 blocs de mémoires, par exemple. Chaque bloc peut être adressé séparément et l'adresse d'un bloc est définie par un ensemble de
15 8 bits. Un registre d'adresse 3 contient donc, pour chaque opération, l'adresse d'un bloc, et les blocs sont lus un par un, successivement.

Chaque bloc est divisé en plusieurs mots qui sont adressés en parallèle : ces mots sont désignés par les références 101, 102, 103, 104, 105, 106 et 107 pour les deux types
20 de blocs (principaux et secondaires).

Ces mots contiennent les informations qui servent à la synthèse des échantillons des composantes sonores (sous-multiple commun de la phase instantanée de plusieurs composantes, numéro de générateur, numéro d'octave ou d'harmonique, type de forme d'onde, amplitude de la composante,
25 numéro de voie de sortie, etc.).

La longueur de chaque mot peut être quelconque ; elle ne dépend que du nombre de valeurs que peut prendre la grandeur considérée.
30

Il y a deux types de blocs qui ne diffèrent que par les informations qu'ils contiennent : des blocs principaux et des blocs secondaires.

5 Les blocs principaux contiennent les informations de numéro de générateur et de phase instantanée, au moins, ainsi qu'un bit d'identification du type principal (1 par exemple).

10 Les blocs secondaires contiennent les informations de numéro d'octave ou d'harmonique, de type de forme d'onde, d'amplitude et de numéro de voie de sortie au moins, ainsi qu'un bit d'identification de type secondaire (bit 0 par exemple).

15 Chaque bloc principal est relatif à un générateur tandis que chaque bloc secondaire est relatif à une composante sonore du signal de sortie.

Chaque bloc principal comporte en outre deux mots qui contiennent respectivement un pointeur d'adresse primaire et un pointeur d'adresse secondaire.

20 Chaque pointeur primaire désigne, l'adresse d'un autre bloc principal, soit directement (adressage absolu) soit indirectement (adressage relatif). Pour simplifier l'exposé, on supposera que chaque pointeur contient une adresse absolue.

25 Chaque pointeur secondaire désigne l'adresse d'un autre bloc secondaire ou principal.

De même, chaque bloc secondaire comporte un mot contenant un pointeur d'adresse secondaire, désignant l'adresse d'un autre bloc secondaire ou principal. Du point de vue de l'emplacement des bits, les pointeurs secondaires des

deux blocs collationnés.

Les pointeurs principaux et secondaires ont été à déterminer l'enchaînement de la lecture des blocs.

Un sélecteur d'adresse 4 reçoit les deux pointeurs principal et secondaire, par des connexions 119 et 121, et transmet l'un des deux pointeurs au registre d'adresse 3. Une horloge 110 génère périodiquement des impulsions qui sont appliquées au registre 3. A chaque impulsion, l'adresse (le pointeur sélectionné) est enregistrée dans le registre 3 et celui-ci commande alors l'adressage du bloc désigné par cette adresse.

Les différents pointeurs sont mis en place dans les blocs de mémoire par le micro-ordinateur de sorte que l'enchaînement des adressages des blocs par le registre 3, au rythme de l'horloge 110, satisfasse aux conditions décrites ci-après.

Chaque impulsion de l'horloge 110 entraîne donc l'adressage d'un nouveau bloc et, par suite, l'exécution d'une série d'opérations.

Suivant le type principal ou secondaire du bloc lu, le clavier virtuel délivre donc soit une première série de données, soit une seconde série de données, et entraîne respectivement soit une première série d'opérations, soit une seconde série d'opérations.

Les circuits du synthétiseur qui sont connectés au clavier virtuel peuvent donc recevoir deux types d'informations, dont une seulement peut être prise en compte.

Les bits d'identification de bloc, ayant le même emplacement (101) dans les deux blocs, servent alors d'une part

à distinguer les informations d'un bloc principal de celles d'un bloc secondaire, et d'autre part, à valider ou inhiber certaines opérations du synthétiseur.

5 Le déroulement des opérations du synthétiseur est donc entièrement conditionné par l'enchaînement de la lecture des blocs principaux et secondaires dont les détail est le suivant :

Blocs Principaux

10 Le numéro 1 du générateur (mot 103) est appliqué par la connexion 124 à un détecteur de transition 5 qui reçoit tous les signaux des générateurs 6.

15 Le sous multiple φ de phase instantanée (mots 104 pour les poids forts et 105 pour les poids faibles) est appliqué au circuit d'incrémentation et de mémoire 9 par les connexions bi-directionnelles 125 et 126. L'état du générateur sélectionné est comparé au bit de poids faible ϕ_0 de la phase appliqué au détecteur 5, pour détecter un changement d'état du générateur.

20 Le bit d'identification de type de bloc (mot 101) est également appliqué au détecteur 5 (connexion 122) pour n'autoriser la détection que si il s'agit d'un bloc principal.

Deux cas peuvent se produire :

25 S'il n'y a pas de changement d'état du générateur, par une connexion 127 appliquée au sélecteur 4, le détecteur 5 commande la sélection du bloc principal suivant (sélection du pointeur primaire appliqué au registre 3) et les opérations continuent exactement de la même manière pour un autre bloc principal, entraînant le test d'un autre

générateur.

5 Si il y a changement de bloc, la lecture du mot dans le bloc, le détecteur 8 détermine d'une part l'incrémenta-
tion et la mémorisation de la valeur de phase φ
par le circuit 9, la valeur incrémentée étant aussitôt
mémorisée dans le bloc principal à la place de la valeur
précédente, et d'autre part la sélection (par la connexion
127) du pointeur secondaire (mot 107). A la période sui-
vante de l'horloge 110 succède alors la lecture d'un bloc
10 secondaire.

Blocs secondaires

La connexion 127 transmet une commande de sélection de bloc
secondaire au sélecteur 4.

15 La valeur de la phase φ , mémorisée par le circuit d'in-
crémentation 9, est appliquée à un circuit de calcul d'a-
dresse 111. Le numéro d'octave (mot 102) est également
appliqué à ce circuit par la liaison 123 ainsi que F, le
numéro de forme d'onde (mot 103) par la liaison 124. Les
informations sont combinées de manière à adresser une mé-
20 moire de formes d'onde 112 de laquelle est extraite un
échantillon qui est appliqué à un circuit multiplicateur
12. Ce circuit reçoit en même temps la valeur d'amplitude A
(mot 104) par la connexion 125. Le résultat du produit
est appliqué à un convertisseur numérique-analogique 13.
25 Le bit d'identification de bloc secondaire (mot 101) est
appliqué au convertisseur pour valider la conversion seu-
lement dans ce cas. Il n'y a donc pas de conversion en
cas de lecture de bloc principal. Un démultiplexeur 109,
commandé par le numéro de voie de sortie (mot 105), re-
30 çoit le signal analogique de sortie du convertisseur 13
et aiguille ce signal vers l'un des intégrateurs 114, 115,
etc., 119.

Toutes ces opérations se réalisent en une durée inférieure à la période de l'horloge 110.

A l'impulsion de cette horloge, le pointeur secondaire du bloc secondaire étant sélectionné, le registre 3 adresse un nouveau bloc qui peut être soit un autre bloc secondaire soit un autre bloc principal.

La figure 6 représente un organigramme expliquant le fonctionnement des moyens de lecture et de commande de conversion, selon l'enchaînement du synthétiseur de la figure 5.

On suppose qu'un nouveau bloc principal vient d'être adressé. Le numéro I de générateur (mot 103 figure 1) est appliqué au détecteur de transition 5 pour tester l'état du générateur correspondant (test 130 figure 2).

Deux cas peuvent se produire :

Ou bien le générateur en test n'a pas changé. Dans ce cas, le détecteur émet un signal de sélection de pointeur primaire (bloc 131 figure 6) et les tests des générateurs continuent (boucle 130 - 131 - 130 - 131, etc.) jusqu'à la détection d'un changement d'état d'un générateur.

Ou bien le générateur a changé d'état. Dans ce cas, la valeur instantanée de phase (φ) est d'abord incrémentée (132) puis le pointeur secondaire est sélectionné (133) permettant d'adresser une série de blocs secondaires.

Dès qu'un nouveau bloc est adressé, s'il s'agit d'un bloc secondaire, un échantillon est calculé (135) et délivré à l'une des sorties analogiques, à partir de la valeur de phase précédemment incrémentée (test 134 négatif).

s'il s'agit d'un nouveau démarrage, l'enchaînement continue pour les autres générateurs à partir de la position.

Ainsi, à chaque enchaînement d'un nouveau générateur, tous les blocs secondaires relatifs à ce générateur sont explorés et les éléments secondaires correspondants sont calculés et délivrés.

S'il n'y a pas de changement de l'état d'un générateur, les blocs secondaires correspondants ne sont même pas adressés.

- 10 De plus, si le numéro d'un générateur n'apparaît pas dans l'enchaînement, il n'y aura rien de test de son état.

L'enchaînement de lecture des blocs suivant l'invention est donc conçu pour être parcouru aussi rapidement que possible, sans adressage, ni calculs inutiles.

- 15 La figure 7 montre le détail du circuit détecteur de transition 5.

- Il comprend essentiellement un circuit multiplexeur 51 qui reçoit les signaux des générateurs 6, d'une part, et le numéro I (mot 103), d'autre part, comme commande de
20 sélection. Les générateurs 6 délivrent des signaux carrés de sorte que la sortie 55 du multiplexeur est un signal binaire.

- Le bit d'identification (mot 101) est également appliqué à une entrée de validation 56, de sorte que seul un bloc
25 principal peut sélectionner un générateur.

Un circuit 04 exclusif 52 reçoit le signal de sortie du multiplexeur ainsi que le bit de poids le plus faible ϕ_0 de la phase instantanée.

BAD ORIGINAL

La sortie du circuit 52 est connectée à une entrée non inverseuse d'un circuit ET 53 et à une entrée inverseuse d'un circuit ET 54.

5 Le signal d'identification de bloc (101) est également appliqué à des entrées non inverseuses des circuits ET 53 et 54.

10 La sortie du ET 53 commande le circuit d'incréméntation de phase 9. En effet, la sortie de ce circuit ne peut être active (à l'état 1 dans ce cas) que si le bloc sélectionné est un bloc principal (signal 101 à 1) et si le générateur désigné a changé d'état (sortie à 1 du OU exclusif 52).

La sortie du ET 54 commande la sélection des pointeurs primaires ou secondaires (sélecteur 4).

15 En effet, si le bit d'identification de bloc est à 0 (bloc secondaire) ou si le changement d'état d'un générateur est détecté, la sortie du ET 54 est à l'état 0, commandant la sélection d'un bloc secondaire. La sélection d'un pointeur primaire n'est obtenue que si le bloc lu est du type principal et si le générateur correspondant n'a
20 pas changé d'état.

Cette deuxième variante de l'invention permet d'améliorer la rapidité de calcul des éléments sonores du synthétiseur sans limiter le nombre d'éléments sonores pour chaque générateur.

25 Du fait qu'après le calcul des éléments sonores liés à un générateur, il s'écoule un intervalle de temps au moins égal à une période de l'horloge 10 (pendant la lecture d'au moins un bloc principal), avant le calcul d'une autre série d'éléments sonores, l'intermodulation éventuelle entre les éléments sonores de deux séries consécutives est
30

éventuellement compris.

L'invention s'applique aux appareils de type électronique. Un tel instrument de musique comportera donc un synthétiseur suivant l'invention revendiqué par un dispositif à microprocesseur, par exemple, qui chargera les données dans les mémoires du circuit intégré, selon un enchaînement désiré. Suivant la richesse des signaux sonores désirés, les générateurs pourront contenir entre 12 générateurs à fréquences fixes et 16 générateurs, ou plus, à fréquences variables.

Selon une variante simplifiée de l'invention, l'adresse ou une partie de l'adresse des blocs de mémoires peut être utilisée pour les moyens de conversion, au même titre que les contenus de ces blocs. Cela est possible, par exemple, pour le numéro 1 de générateur, et/ou le rang d'octave. Cette variante diminue la souplesse d'utilisation des mémoires, mais réduit le nombre de mémoires nécessaires. De même, un arrangement différent des données dans ces mémoires est possible.

BAD ORIGINAL

Revendications de brevet

1. Synthétiseur polyphonique de signaux périodiques du type comportant :

- des moyens de production d'échantillons numériques successifs d'une forme d'onde périodique, à fréquence de répétition variable, à partir de données numériques de phase et d'amplitude notamment ;
 - des moyens de conversion numérique analogique des échantillons successifs délivrés par les moyens de production ;
 - un nombre déterminé de générateurs de signaux rectangulaires de fréquences différentes, la fréquence de chaque générateur étant multiple d'au moins un signal périodique que peut produire le synthétiseur ;
 - un ensemble de blocs de mémoires pour contenir des données numériques représentant, au moins, l'amplitude des signaux périodiques à produire ; et
 - des moyens de commande de lecture séquentielle des données dans les blocs de mémoires, couplés aux générateurs et aux moyens de production d'échantillons, pour appliquer les données lues à ceux-ci sensiblement en synchronisme avec les signaux des générateurs ;
- Le synthétiseur étant caractérisé par le fait que
- l'ensemble des blocs de mémoires est divisé en groupes contenant chacun l'ensemble des données relatives à la production des signaux périodiques en relation harmonique de fréquence avec l'un des générateurs, chaque bloc comportant une mémoire contenant une donnée d'adressage d'un autre bloc, de façon qu'il existe un enchaînement des adresses des blocs dans chaque groupe ; et
 - les moyens de commande de lecture comportent des moyens d'adressage des blocs de chaque groupe selon l'enchaînement des adresses dans les blocs, à chaque changement du signal du générateur correspondant.

1. Synthétiseur selon la revendication 1, caractérisé en ce que chaque bloc principal comporte des blocs principaux comportant une donnée relative à une valeur commune de la phase des signaux harmoniques en relation avec la fréquence avec le générateur correspondant dudit groupe et en ce que les moyens de commande comportent des moyens d'incrémenter ou de décaler la phase en synchronisme, sensiblement, avec le signal du générateur.
2. Synthétiseur selon les revendications 1 et 2, caractérisé en ce que chaque groupe de mémoires peut comporter des blocs secondaires comportant chacun une donnée d'amplitude et une donnée relative au rang d'harmonique d'un signal à produire.
3. Synthétiseur selon la revendication 3, caractérisé en ce que chaque bloc secondaire peut comporter, en outre, une mémoire pour contenir une donnée relative à une forme d'onde particulière d'un signal à produire.
4. Synthétiseur selon la revendication 3 et 4 caractérisé en ce que chaque bloc secondaire peut comporter, en outre, une mémoire pour contenir une donnée de sélection de voie de sortie du signal périodique à produire.
5. Synthétiseur selon l'une des revendications précédentes, caractérisé en ce que l'ensemble des mémoires est divisé en groupes égaux de même nombre que les générateurs, l'adresse de chaque bloc d'un même groupe comportant une partie commune (I), et en ce que les moyens de commande comportent des moyens de sélection du générateur correspondant à chaque groupe d'après la partie commune (I) de l'adresse.
6. Synthétiseur selon la revendication 5, caractérisé en ce que les blocs principaux des groupes de mémoires occupent des positions identiques dans les dits groupes et

comportent chacun une mémoire contenant une donnée d'adressage (I') d'un bloc principal d'un autre groupe ; et en ce que les moyens de commande comportent des moyens d'adressage et de lecture d'un bloc principal suivant

5 dans l'un des cas où le signal du générateur correspondant au bloc principal précédent n'a pas changé et où l'enchaînement de lecture des blocs secondaires du groupe précédent a eu lieu, après changement du signal du générateur correspondant.

10 8. Synthétiseur selon l'une des revendications précédentes, caractérisé en ce que les moyens de commande de lecture comportent une mémoire d'adresses (3) pour l'adressage des groupes et des blocs de mémoires (1), la mémoire d'adresses (3) comportant une première entrée pour recevoir le

15 numéro de bloc suivant, lu dans le bloc adressé, et une deuxième entrée pour recevoir le numéro de groupe suivant ; et une mémoire de sélection de groupe (8) comportant une entrée pour recevoir le numéro de groupe suivant, lu dans le bloc principal du groupe adressé, une sortie connectée

20 à la deuxième entrée de la mémoire d'adresses (3), et une entrée de commande de transfert de l'adresse de groupe quand l'adresse de bloc est égale à celle du bloc principal.

9. Synthétiseur selon l'une des revendications 1 à 5, caractérisé en ce que l'ensemble des mémoires est divisé

25 en groupes, en nombre et en positions indépendants des générateurs, le nombre de blocs dans chaque groupe étant variable ; chaque bloc principal contenant, au moins, un mot d'identification de bloc, un mot désignant un générateur, un mot relatif à une valeur de phase instantanée,

30 un mot contenant un pointeur d'adresse primaire désignant un autre bloc principal et un mot contenant un pointeur

1. Le circuit de commande de l'ensemble des moyens d'identification de blocs est constitué par un ensemble d'un signal de sortie, et d'un signal de commande de l'ensemble du signal de sortie de l'ensemble d'un pointeur d'adresse principale assigné à l'ensemble principal ou secondaire.

10. Synthétiseur selon la revendication 9, caractérisé en ce que les moyens de commande de lecture comportent :

- un horloge (110) ;
- 10 - un registre d'adresse (3) alimenté par une adresse d'un bloc, à la fois, à l'ensemble des mémoires (1), et ayant une entrée de commande de mémorisation connectée à l'horloge (10), et une entrée d'adresse ;
- un circuit sélecteur d'adresse (4), connecté à l'entrée 15 du registre (3) et comportant deux entrées pour recevoir respectivement les pointeurs d'adresse primaire et secondaire de chaque bloc, s'ils existent, et une entrée de commande de sélection ;
- des moyens détecteurs de transition (5), connectés aux 20 générateurs (6) et ayant une entrée pour recevoir le mot d'identification de bloc, une autre entrée pour recevoir le mot désignant un générateur, et des sorties pour délivrer un signal de sélection au sélecteur (4) d'une part, et un signal de commande d'incrément de phase d'au-
- 25 tre part.

11. Synthétiseur selon la revendication 10, caractérisé en ce que les moyens détecteurs de transition (5) comportent un circuit multiplexeur (11) recevant, en entrée, les signaux des générateurs (6) et, en commande, le numéro (11) désignant un générateur de l'ensemble des blocs principaux, et délivrant en sortie un signal d'incrément du signal du générateur sélectionné ; un circuit (12) exclusif

(52) recevant d'une part le signal binaire de sortie du multiplexeur (51) et d'autre part le bit de poids le plus faible de la valeur de phase lue dans le même bloc principal, et des moyens logiques (53, 54) recevant le signal de sortie du OU exclusif (52) et le mot d'identification de bloc, pour délivrer d'une part, un signal de commande d'incrément de phase dans le seul cas où le bloc lu est du type principal et le changement d'état du générateur désigné est détecté, et d'autre part, un signal de sélection, soit du pointeur primaire dans le cas où le bloc lu est du type principal et aucune transition du générateur désigné n'est détectée, soit du pointeur secondaire dans les autres cas.

12. Synthétiseur selon l'une des revendications précédentes, caractérisé en ce que les moyens de conversion comportent :

- un circuit de calcul d'adresse (111, fig 5) recevant d'une part la valeur instantanée de phase et, d'autre part, le rang d'octave ou d'harmonique lus dans les blocs de mémoires ;
- une mémoire de forme d'onde (112, fig. 5, 11 fig. 1), contenant, à des adresses successives des échantillons successifs d'amplitude ou de variation d'amplitude d'une forme d'onde, la mémoire étant connectée au circuit d'adresse ;
- des moyens de multiplication (12 fig. 1 et fig. 5) de chaque échantillon, délivré par la mémoire de forme d'onde, par la valeur d'amplitude lue dans un bloc de mémoire ;
- un convertisseur numérique-analogique (13) pour délivrer un échantillon analogique correspondant à chaque produit effectué par les moyens de multiplication (12) ;
- des moyens de filtrage (14 fig. 1, 114 à 119 fig. 5) des signaux analogiques délivrés par les moyens de conver-

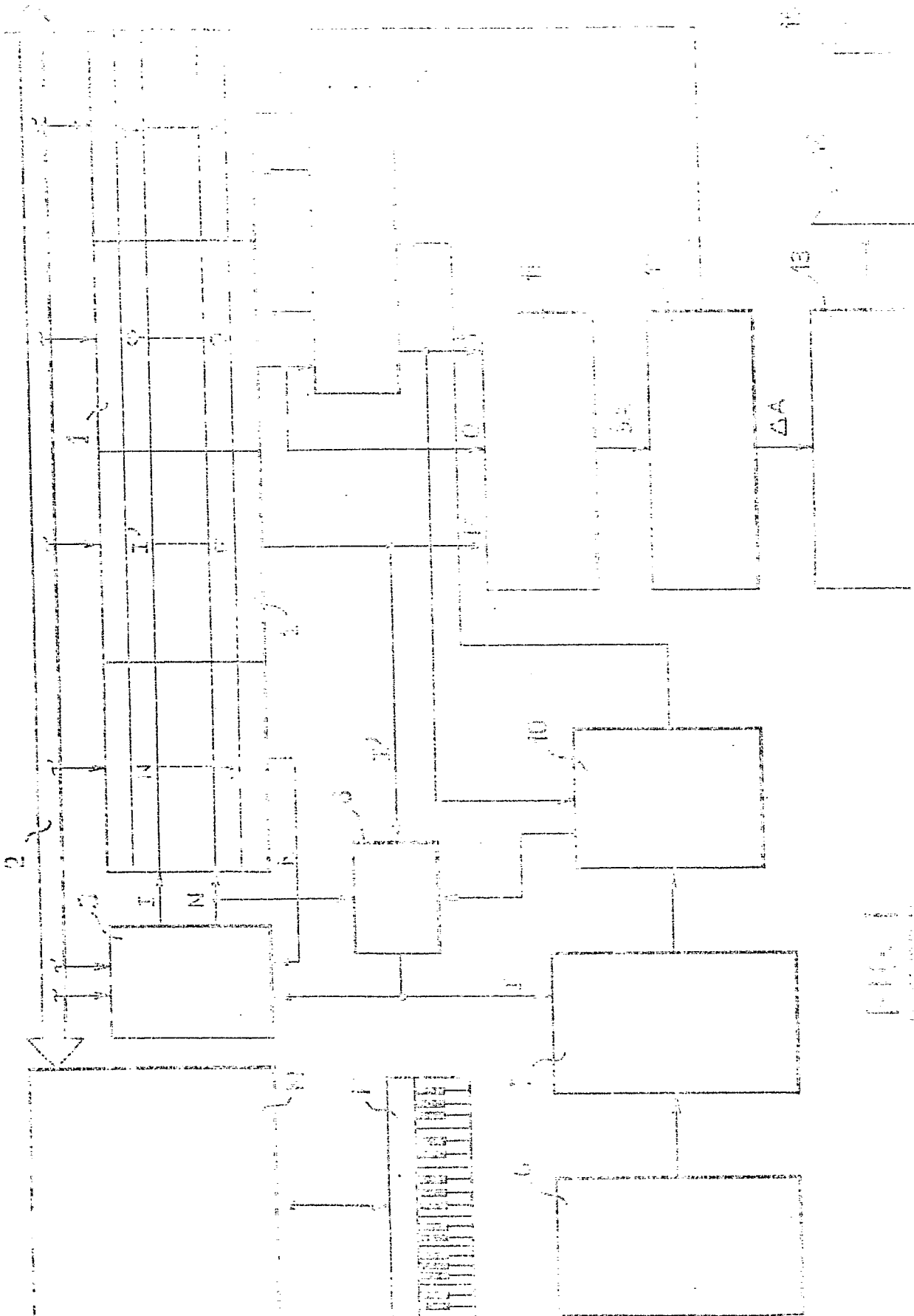
tion (12)

13. Synthétiseur selon la revendication 12, caractérisé en ce que le circuit de calcul (11) est connecté en outre une entrée de collection de forme d'onde pour recevoir la donnée de forme d'onde à la fois de l'entrée.

14. Synthétiseur selon la revendication 12 ou 13, caractérisé en ce que les moyens de conversion comportent, en outre, un circuit différentiel (108 Fig. 5) connecté, en entrée, à la sortie du convertisseur (10), en sortie à plusieurs moyens de calcul (110 et, en commode à l'ensemble des mémoires (1) pour recevoir un mot relatif à un numéro de code de sortie analogique.

15. Synthétiseur selon l'une des revendications précédentes, caractérisé en ce que l'adresse ou une partie de l'adresse de chaque bloc peut contenir au moins une donnée appliquée aux moyens de conversion.

BAD ORIGINAL



N1	F	C	A
N2	F	C	A
N3	F	C	A
N4	F	C	A
N5	F	C	A
N6	F	C	A
N7	F	C	A
N8	F	C	A
N9	F	C	A
N10	F	C	A
N11	F	C	A
N12	F	C	A
N13	F	C	A
N14	F	C	A
N15	F	C	A
N16	F	C	A
N17	F	C	A
N18	F	C	A
N19	F	C	A
N20	F	C	A
N21	F	C	A
N22	F	C	A
N23	F	C	A
N24	F	C	A
N25	F	C	A
N26	F	C	A
N27	F	C	A
N28	F	C	A
N29	F	C	A
N30	F	C	A
N31	F	C	A
N32	F	C	A
N33	F	C	A
N34	F	C	A
N35	F	C	A
N36	F	C	A
N37	F	C	A
N38	F	C	A
N39	F	C	A
N40	F	C	A
N41	F	C	A
N42	F	C	A
N43	F	C	A
N44	F	C	A
N45	F	C	A
N46	F	C	A
N47	F	C	A
N48	F	C	A
N49	F	C	A
N50	F	C	A
N51	F	C	A
N52	F	C	A
N53	F	C	A
N54	F	C	A
N55	F	C	A
N56	F	C	A
N57	F	C	A
N58	F	C	A
N59	F	C	A
N60	F	C	A
N61	F	C	A
N62	F	C	A
N63	F	C	A
N64	F	C	A
N65	F	C	A
N66	F	C	A
N67	F	C	A
N68	F	C	A
N69	F	C	A
N70	F	C	A
N71	F	C	A
N72	F	C	A
N73	F	C	A
N74	F	C	A
N75	F	C	A
N76	F	C	A
N77	F	C	A
N78	F	C	A
N79	F	C	A
N80	F	C	A
N81	F	C	A
N82	F	C	A
N83	F	C	A
N84	F	C	A
N85	F	C	A
N86	F	C	A
N87	F	C	A
N88	F	C	A
N89	F	C	A
N90	F	C	A
N91	F	C	A
N92	F	C	A
N93	F	C	A
N94	F	C	A
N95	F	C	A
N96	F	C	A
N97	F	C	A
N98	F	C	A
N99	F	C	A
N100	F	C	A

FIG. 1

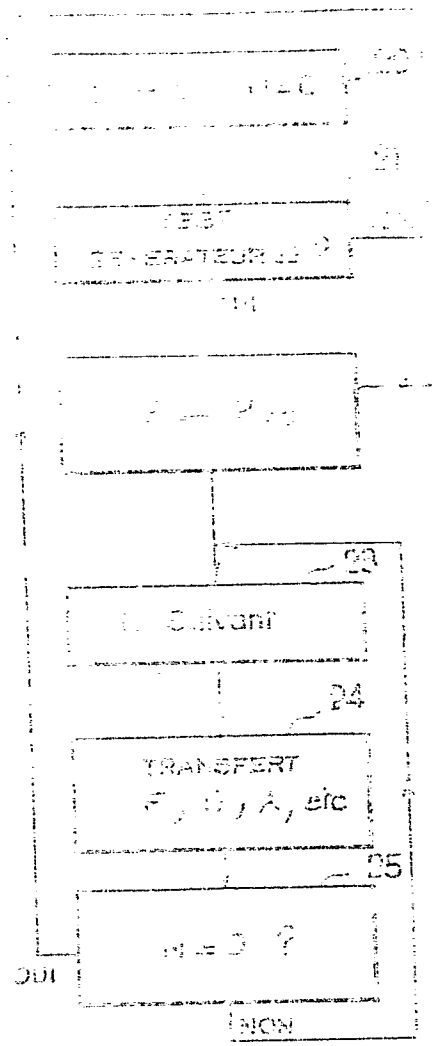


FIG. 3

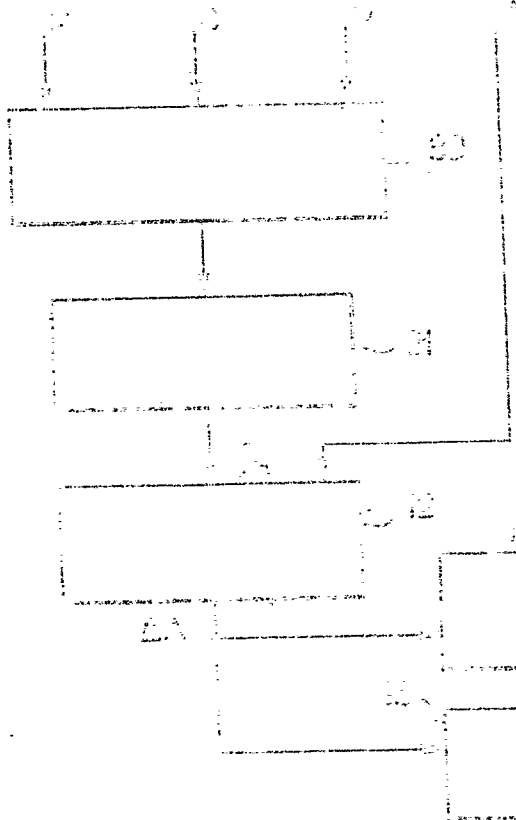
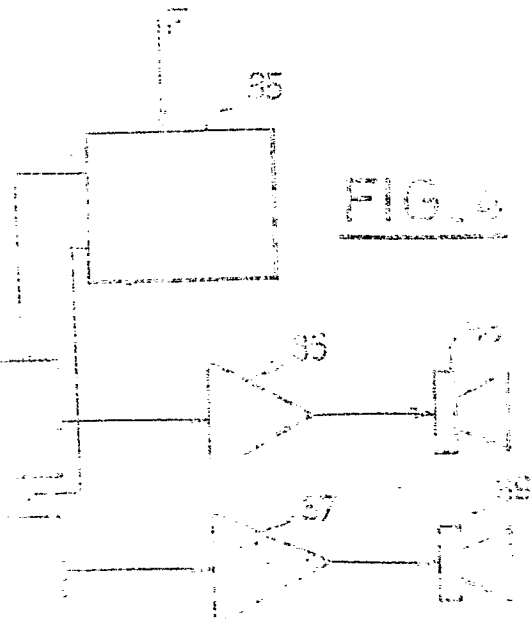
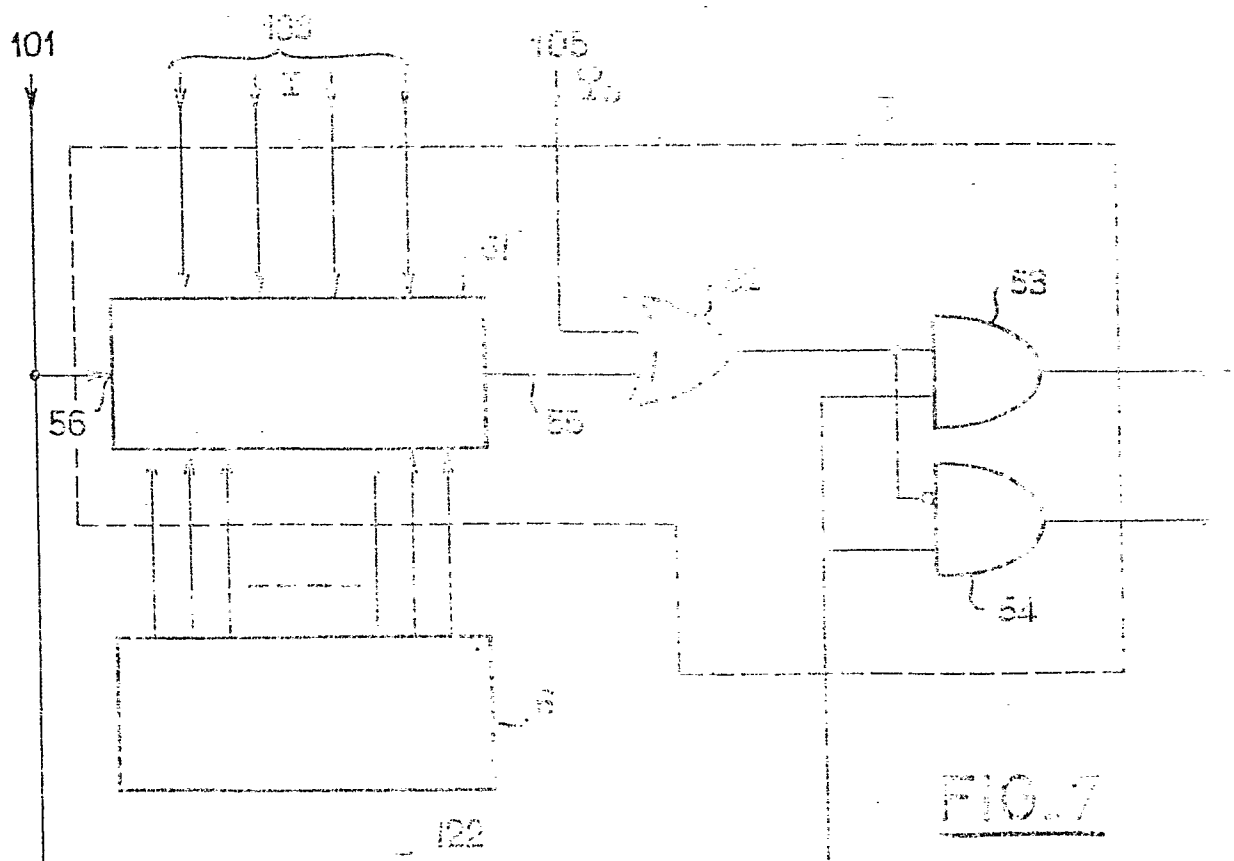
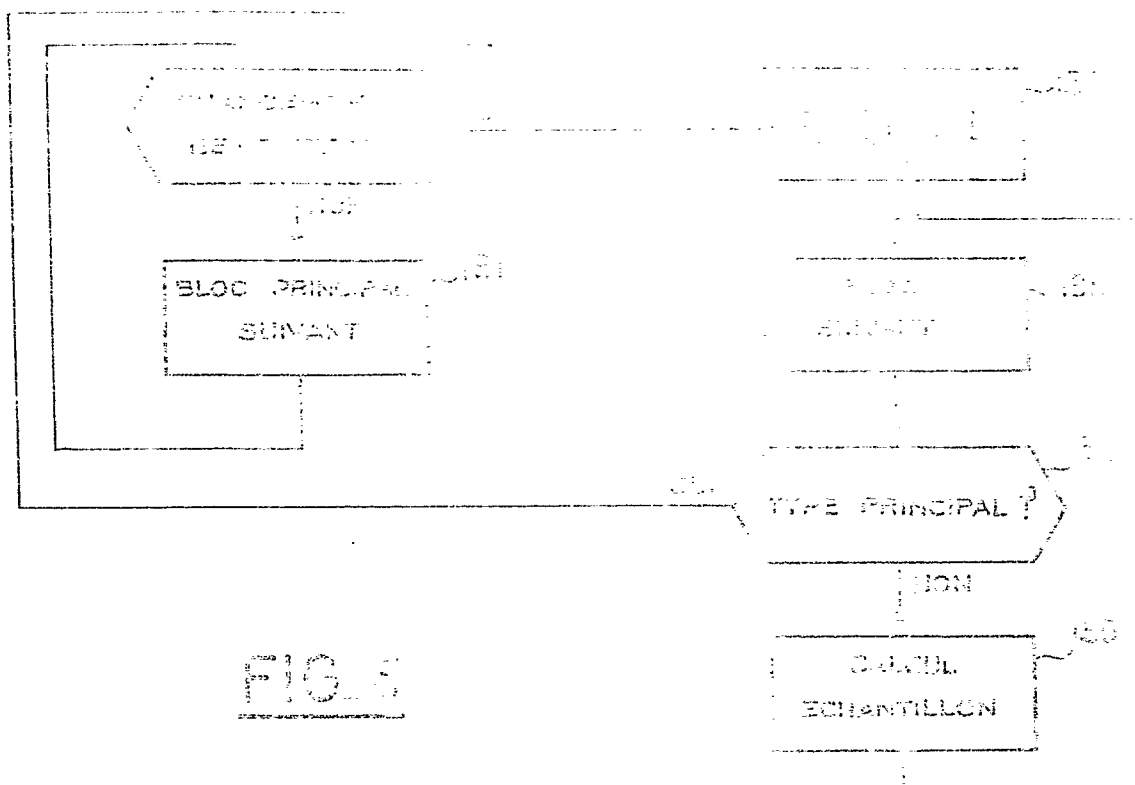


FIG. 4







Document de l'Institut National de la Recherche Scientifique

Document de l'Institut National de la Recherche Scientifique

Document de l'Institut National de la Recherche Scientifique

	FR - A - 2 346 337 (ROCKWELL CORP.) * Page 3, lignes 13-14; page 14, lignes 34-35; page 15, ligne 3 - page 14, ligne 19
A	FR - A - 2 346 337 (ROCKWELL CORP.) * Page 10, ligne 27 - page 17, ligne 5; Figure 2 *
A	US - A - 4 020 454 (T. OBATASHI et al.) * Abregé *
PE	FR - A - 2 396 375 (DEFOREIT CB) * Revendications *

H 7/00
G 06 F 7/00

DOMAINES TECHNIQUES
RECHERCHES (Int. Cl. 7)

G 10 H 7/00
G 10 H 1/18
G 10 H 1/38
G 10 H 5/06
H 01 F 1/06

CATEGORIE DES
DOCUMENTS CITES

- ☒ K particulièrement pertinent
- ☐ A arrière-plan technologique
- ☐ O divulgation non-écrite
- ☐ P document intercalaire
- ☐ T théorie ou principe à la base de l'invention
- ☐ D demande faisant interférence
- ☐ D document cité dans la demande
- ☐ L document cité pour d'autres raisons
- ☐ e membre de la même famille
- ☐ document correspondant

Le présent rapport est destiné aux chercheurs de l'Institut National de la Recherche Scientifique

Date de la recherche

16 Avril

Date de dépôt de la demande

26-02-1980

Examinateur

01010