

⑫ **EUROPÄISCHE PATENTSCHRIFT**

④ Veröffentlichungstag der Patentschrift:
14.03.84

⑥ Int. Cl.³: **B 61 L 27/00, G 06 F 13/00**

② Anmeldenummer: **81101556.9**

③ Anmeldetag: **04.03.81**

⑤ **Verfahren und Schaltungsanordnung zum Aufnehmen und Abgeben von Datenblöcken, insbesondere für Eisenbahnanlagen.**

⑩ Priorität: **26.03.80 DE 3011759**

⑦ Patentinhaber: **SIEMENS AKTIENGESELLSCHAFT, Berlin und München Wittelsbacherplatz 2, D-8000 München 2 (DE)**

④ Veröffentlichungstag der Anmeldung:
07.10.81 Patentblatt 81/40

⑦ Erfinder: **Diedrich, Wilhelm, Ing.-(grad), Köselnstrasse 24, D-3300 Braunschweig (DE)**
Erfinder: **Forstreuter, Horst, Ing.-(grad), Sielkamp 6e, D-3300 Braunschweig (DE)**

④ Bekanntmachung des Hinweises auf die Patenterteilung:
14.03.84 Patentblatt 84/11

⑧ Benannte Vertragsstaaten:
AT CH DE IT LI NL

⑥ Entgegenhaltungen:
DE - A - 1 804 624
DE - A - 2 446 696
DE - A - 2 805 705
GB - A - 2 013 452

AUTOMATION AND REMOTE CONTROL, Band 34, Nr. 4, April 1973, Seiten 573-580, New York, U.S.A. G.G.
STETSYURA: "Large-scale systems and operations management decentralized coalitional control in data processing systems"
SIEMENS-ZEITSCHRIFT, Band 48, Nr. 4, Heft 11, 1974, Seiten 856-860 Erlangen, DE. R. BEYERSDORFF: "DUS700, ein neues Fernwirksystem für die Eisenbahnsignaltechnik"

EP 0 036 960 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Verfahren und Schaltungsanordnung zum Aufnehmen und Abgeben von Datenblöcken,
insbesondere für Eisenbahnanlagen

Die Erfindung bezieht sich auf ein Verfahren zum Aufnehmen und Abgeben von Datenblöcken, insbesondere für Eisenbahnanlagen, nach dem Oberbegriff des Patentanspruches 1 sowie auf eine Schaltungsanordnung zur Durchführung des Verfahrens.

Es ist bereits eine Fernmeldeanlage mit einer Vielzahl von Teilnehmerstellen verbindenden Zeitvielfachleitung und mit einer Zeitgeberstelle (Taktgeber) bekannt (DE-AS 1 804 624), die auf der Zeitvielfachleitung mehrere Zeitvielfachkanäle bestimmt und dazu ein Synchronisierzeichen aussendet. Die Zeitvielfachleitung ist schleifenförmig geschlossen. Jede Teilnehmerstelle synchronisiert sich aufgrund des von der Zeitgeberstelle in einem Synchronisierkanal ausgesandten Synchronisierzeichens mit dem Zeitraster der Zeitgeberstelle. Von einer beliebigen Teilnehmerstelle wird zur Herstellung einer abgehenden Verbindung irgendein von der Zeitgeberstelle als frei gekennzeichnete Zeitvielfachkanal belegt. Eine solche rufende Teilnehmerstelle wird während des Verbindungsaufbaus in dem belegten Kanal anstelle einer Nachricht das Kennzeichen der zu rufenden Teilnehmerstelle, also die Empfängeradresse, auf die Leitung abgeben. Alle unbelegten Teilnehmerstellen überwachen alle Kanäle auf den Empfang ihres eigenen Kennzeichens, also ihrer eigenen Adresse.

Mit jedem Kennzeichen wird jeweils nur eine Adresse zur Bezeichnung einer anzusteuernenden Teilnehmerstelle abgegeben. Sollen von einer rufenden Teilnehmerstelle Datenblöcke an mehrere zu rufende Teilnehmerstellen abgegeben werden, so kann dies bei der bekannten Fernmeldeanlage nur dadurch geschehen, daß die betreffenden Nachrichtensignale bzw. Datenblöcke mit einer Mehrzahl von Adressen, also mehrmals abgegeben wird. Der insgesamt erforderliche Belegungsaufwand auf der Zeitvielfachleitung und auch der schaltungstechnische Aufwand sind relativ hoch.

Es sind ferner ein Verfahren und eine Schaltungsanordnung zum Übertragen von digitalen Nachrichtensignalen von Signalsendern zu Signalempfängern bekannt (DE-AS 2 446 696), wozu die Nachrichtensignale zusammen mit einem ihnen vorangehenden, einen für die Aufnahme der Nachrichtensignale bestimmten Signalempfänger angegebenden Adressensignal abgegeben werden. Ein Übertragungsvorgang erfolgt dabei jeweils erst dann, wenn in einem Signalsender die für eine Übertragung vorgesehenen Nachrichtensignale in einer bestimmten Anzahl vorliegen. Im Prinzip handelt es sich damit bei dem betreffenden bekannten Verfahren um ein Paket-Vermittlungs- und Übertragungssystem. Auch in diesem Fall wird mit den jeweils angegebenen Nachrichtensignalen die Adresse des einzigen Signalempfängers bereitgestellt, für den die betreffenden Nachrichten-

signale bestimmt sind. Um einen bestimmten Nachrichtensignalblock einer Mehrzahl von Signalempfängern zuzuführen, muß auch in diesem Fall der betreffende Nachrichtensignalblock mit einer der Anzahl der betreffenden Signalempfänger entsprechenden Anzahl von Adressen mehrmals abgegeben werden, was einen zuweilen nicht unerheblichen Aufwand mit sich bringt.

Aus der DE-A 2 805 705 sowie der GB-A 2 013 452 ist ein Datenaustauschverfahren zwischen mehreren Prozessoren bekannt, bei dem die einzelnen Prozessoren in einer gegebenen Reihenfolge nacheinander anschaltbar sind. Der jeweils sendende Prozessor ruft gegebenenfalls nach zwischenzeitlichem Rufen nicht aktiver Prozessoren mit benachbarten Adressen denjenigen nächsten Prozessor in der zyklischen Adreßfolge auf, der als aktiv registriert ist. Jede Nachricht enthält neben der eigentlichen Nutzinformation auch eine Information über den Absender der Nachricht und die Art der Nachricht. Aus der Kenntnis der Art dieser Nachricht gegebenenfalls in Verbindung mit der Absenderadresse entscheiden die Empfangspartner, welche Nachrichten für sie bestimmt sind und welche nicht. Alle Empfangspartner bestätigen den fehlerfreien Empfang einer Nachricht, und zwar unabhängig davon, ob diese Nachricht für sie bestimmt war oder nicht. Jeder Empfangspartner gibt dazu eine sogenannte Zutrittsfreigabe adressenorientiert an einen anderen Empfangspartner weiter, so daß die dadurch veranlaßten Quittungsmeldungen zeitlich gestaffelt abgegeben werden. Aus dem Ausbleiben von Quittungsmeldungen erkennen der Sender und die übrigen Prozessoren einen gestörten Prozessor; für diesen bestimmte Nachrichten werden in der Folge an einen anderen Prozessor umgeleitet, der dann die Funktionen des gestörten Prozessors wahrzunehmen hat.

Dieses bekannte Verfahren zum Datenaustausch hat zwar den Vorteil, daß eine Nachricht gleichzeitig auch mehrere Empfangspartner ansprechen kann. Die Empfangspartner bestimmen aus der Analyse der Nachricht, ob diese für sie relevant ist; eine gesonderte Adressierung der Empfangspartner ist damit nicht mehr erforderlich. Dieser offensichtliche Vorteil des bekannten Datenaustauschverfahrens wird jedoch dadurch weitgehend zunichte gemacht, daß bei jeder Nachricht alle möglichen Empfangspartner den ordnungsgerechten Empfang quittieren müssen. Zwar wird in durchaus vorteilhafter Weise die Funktionsfähigkeit der in eine Übertragungsstrecke eingebundenen Send-/Empfangseinrichtungen über die Quittungsmeldungen laufend geprüft, so daß Störungen frühzeitig erkennbar sind; wegen der zeitmultiplexen Ausgabe der Quittungsmeldungen ist die zeitliche Beanspruchung der Übertragungsstrecke jedoch außerordentlich hoch, d. h., das je

Zeiteinheit übermittelbare Nachrichtenvolumen ist beschränkt.

Aufgabe der Erfindung ist es, ein Verfahren nach dem Oberbegriff des Patentanspruches 1 sowie eine zur Durchführung dieses Verfahrens geeignete Schaltungsanordnung anzugeben, mit dem unter Beanspruchung kürzester Übertragungszeiten Daten unterschiedlicher Menge zwischen beliebig vielen in eine Übertragungsstrecke eingebundenen Datenaufnahme-/Datenabgabeeinrichtungen übermittelt werden können, bei dem eine zyklische Ansprache der einzelnen Datenaufnahme-/Datenabgabeeinrichtungen möglich ist, ohne daß die einzelnen Datenaufnahme-/Datenabgabeeinrichtungen zentral oder dezentral aufgerufen zu werden brauchen und bei dem im Störfall einzelne Datenaufnahme-/Datenabgabeeinrichtungen mindestens vorübergehend aus dem Datenübertragungsverbund ausgeschlossen, bei Bedarf aber auch mühelos wieder eingephasst werden können.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß jede Datenaufnahme-/Datenabgabeeinrichtung die übermittelten Datenblöcke hinsichtlich der jeweils beigefügten Absenderadresse analysiert und sich beim Erkennen einer ihr im Übertragungszyklus vorgeordneten Datenaufnahme-/Datenabgabeeinrichtung nach Empfangsende als Datenabgabeeinrichtung auf die Übertragungsstrecke aufschaltet.

Der besondere Vorteil der Erfindung ist darin zu sehen, daß die einzelnen Datenaufnahme-/Datenabgabeeinrichtungen selbsttätig erkennen und entscheiden können, wann sie sich auf die Übertragungsstrecke aufzuschalten haben. Dies macht eine fortlaufende Funktionsprüfung der

Datenaufnahme-/Datenabgabeeinrichtungen möglich, ohne daß sich die einzelnen Datenaufnahme-/Datenabgabeeinrichtungen hierzu gegenseitig aufzurufen haben. Der Zeitpunkt für das Aufschalten einer Datenaufnahme-/Datenabgabeeinrichtung bestimmt sich aus dem Erkennen der Absenderadresse einer im Übertragungszyklus vorgeordneten Datenaufnahme-/Datenabgabeeinrichtung.

In vorteilhafter Weise wird in der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung die Abgabe eines Datenblockes erst eine bestimmte festgelegte Sicherheitszeitspanne nach Aufnahme eines Datenblockes vorgenommen, dessen Adresse in der Adressen-Reihenfolge der Adresse der betreffenden Datenaufnahme-/Datenabgabeeinrichtung vorangeht. Dadurch ist in vorteilhafter Weise sichergestellt, daß die Verarbeitungszeiten von mit den einzelnen

Datenaufnahme-/Datenabgabeeinrichtungen verbundenen Anschlußeinrichtungen (Modems) hinsichtlich der Aufgabe und Abgabe von Datenblöcken berücksichtigt sind, ohne daß es zu Schwierigkeiten im zeitlichen Ablauf der Übertragung der einzelnen Datenblöcke kommt.

Von besonderem Vorteil ist es ferner, wenn bei Ausfall der Datenaufnahme-/Datenabgabeeinrichtung, welche nach der Adressen-Reihen-

folge als nächste Datenaufnahme-/Datenabgabeeinrichtung einen Datenblock auszusenden hat, und bei Ausfall der von gegebenenfalls weiteren Datenaufnahme-/Datenabgabeeinrichtungen in der Adressen-Reihenfolge die Aussendung eines Datenblockes von der in der betreffenden Adressen-Reihenfolge ersten betriebsfähigen Datenaufnahme-/Datenabgabeeinrichtung um eine der Anzahl der betreffenden ausgefallenen Datenaufnahme-/Datenabgabeeinrichtungen entsprechende Anzahl von Zusatzzeitspannen nach Ablauf der nach Auftreten des letzten Datenblockes berücksichtigten Sicherheitszeitspanne verzögert vorgenommen wird.

Durch diese Maßnahme ergibt sich der Vorteil, daß bei Wiederinbetriebnahme der ausgefallenen bzw. betriebsunfähigen Datenaufnahme-/Datenabgabeeinrichtungen eine einfache Möglichkeit vorhanden ist, die von diesen Datenaufnahme-/Datenabgabeeinrichtungen abzugebenden Datenblöcke zeitgerecht in das vorgesehene Übertragungszeitraster unterzubringen. Mit anderen Worten ausgedrückt heißt dies, daß die zuletzt betrachtete Maßnahme den Vorteil mit sich bringt, daß der Betrieb der zunächst ausgefallenen Datenaufnahme-/Datenabgabeeinrichtungen bei deren Wiederinbetriebnahme leicht auf das benutzte Übertragungszeitraster synchronisiert werden kann. Dabei wird jede Zusatzzeitspanne vorzugsweise kürzer gewählt als die Sicherheitszeitspanne. Dadurch wird dann ein zeitlicher Gewinn bei Ausfall einzelner

Datenaufnahme-/Datenabgabeeinrichtungen hinsichtlich der Zeitspanne erzielt, nach der von ein und derselben Datenaufnahme-/Datenabgabeeinrichtung Datenblöcke abgegeben werden.

Jede Datenaufnahme-/Datenabgabeeinrichtung weist eine Datenverarbeitungseinrichtung (CPU) mit Zwischenspeicher (FIFO/RAM) und Programm- und Datenspeicher (ROM) auf, die die Analyse der Absender-Adressen der von der Übertragungsstrecke her zugeführten Datenblöcke anhand wenigstens der seiner Datenaufnahme-/Datenabgabeeinrichtung zugehörigen und in dieser in einem zerstörungsfrei auslesbaren Speicher festgehaltenen Adresse vornimmt. Dies bringt den Vorteil eines besonders geringen Aufwands hinsichtlich der Feststellung der Brauchbarkeit der in der jeweiligen

Datenaufnahme-/Datenabgabeeinrichtung über die Übertragungsstrecke zunächst aufgenommenen Datenblöcke mit sich. So ist es beispielsweise ohne weiteres möglich, die Brauchbarkeit der in der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung zunächst aufgenommenen Datenblöcke dadurch zu bestimmen, daß festgestellt wird, ob die mit diesen Datenblöcken übertragenen Adressen, bezogen auf die Adresse A der betreffenden Datenaufnahme-/Daten-

abgabeeinrichtung, die Adressen A-1, A-2, A+1 bzw. A+2 sind. Um diese Überprüfung vornehmen zu können, kann beispielsweise die mit dem jeweiligen Datenblock übertragene Adresse unter der Steuerung eines Mikroprozessors der jeweiligen Datenaufnahme-/Datenab-

5

10

15

20

25

30

35

40

45

50

55

60

65

gabereinrichtung um einen Wert von 1 bzw. 2 verändert werden, um dann mit der Adresse der betreffenden Datenaufnahme-/Datenabgabereinrichtung verglichen zu werden; zeigt ein derartiger Vergleich eine Übereinstimmung der miteinander verglichenen Adressen an, so kann die dadurch erzielte Aussage dazu herangezogen werden, die Brauchbarkeit des betreffenden Datenblockes anzugeben. Unter Brauchbarkeit wird hier verstanden, daß der jeweilige Datenblock in der betreffenden Datenaufnahme-/Datenabgabereinrichtung für eine Verarbeitung brauchbar ist.

Zweckmäßigerweise ist in jeder Datenaufnahme-/Datenabgabereinrichtung eine Anzeigeeinrichtung vorgesehen, welche in den zu berücksichtigenden Datenblöcken enthaltene Daten und von der zugehörigen Datenerzeugungseinrichtung bereitgestellte Daten anzuzeigen gestattet. Dies bringt den Vorteil mit sich, daß in jeder Datenaufnahme-/Datenabgabereinrichtung die Dateninformationen sichtbar gemacht werden können, die am Ort der jeweiligen Datenaufnahme-/Datenabgabereinrichtung von Bedeutung sind. Diese Maßnahme ist insbesondere für Eisenbahnanlagen von Bedeutung, bei denen zwischen einzelnen Zugüberwachungsbereichen Datenblöcke übertragen werden, die beispielsweise Zugnummern enthalten.

Zweckmäßigerweise ist die Adresse jedes von der jeweiligen Datenaufnahme-/Datenabgabereinrichtung abzugebenden Datenblockes in einem zerstörungsfrei auslesbaren Speicher der betreffenden Datenaufnahme-/Datenabgabereinrichtung gesichert festgehalten. Dies bringt den Vorteil mit sich, daß auch bei Ausfall des Betriebs der gesamten Schaltungsanordnung die Adressen der einzelnen Datenaufnahme-/Datenabgabereinrichtungen nicht verlorengehen. In gleicher Weise wird man übrigens auch die Angaben gesichert speichern, die in der jeweiligen Datenaufnahme-/Datenabgabereinrichtung festlegen, welche Adressen der Datenblöcke von anderen Datenaufnahme-/Datenabgabereinrichtungen tatsächlich in der jeweiligen Datenaufnahme-/Datenabgabereinrichtung eine Erfassung freigeben.

Der der jeweiligen Datenaufnahme-/Datenabgabereinrichtung zugehörige genannte Speicher enthält vorzugsweise auch ein das Ende des jeweils zu übertragenden Datenblockes anzeigendes Endesignal; dieses Endesignal wird im Anschluß an die nach der Abgabe der zugehörigen Adresse abzugebenden Daten oder bei Nichtvorhandensein derartiger Daten im Anschluß an die betreffende zugehörige Adresse aus dem Zwischenspeicher ausgelesen und an die Übertragungsstrecke abgegeben. Diese Maßnahme bringt den Vorteil mit sich, daß für die Übertragung der Datenblöcke nicht ein starres Zeitraster bereitgestellt werden muß, sondern daß vielmehr Datenblöcke mit einer unterschiedlichen Anzahl von Datensignalen übertragen werden können.

Von Vorteil ist es ferner, wenn die Datenver-

beitungseinrichtung der Datenaufnahme-/Datenabgabereinrichtung bei Zuführung eines Datenblockes von der Übertragungsstrecke her in einen solchen Steuerzustand versetzbar ist, daß der betreffende Datenblock zunächst in einem Umsetzer (SPC) gepuffert wird und die Absender-Adresse dieses Datenblockes zur Ermittlung einer Aufnahme-Freigabe feststellbar ist. Die Datenverarbeitungseinrichtung, beispielsweise ein Mikroprozessor der betreffenden Datenaufnahme-/Datenabgabereinrichtung, steuert dabei auf die Feststellung einer Aufnahme-Freigabe bezüglich eines gerade aufgenommenen Datenblockes die Abgabe dieses Datenblockes an die zugehörige Datenauswerteeinrichtung. Auf diese Weise ist ein relativ einfacher und dennoch sicherer Betriebsablauf in der jeweiligen Datenaufnahme-/Datenabgabereinrichtung hinsichtlich dieser zugeführten Datenblöcke ermöglicht.

Mit der Übertragungsstrecke, die insbesondere eine zweiadrige Übertragungsleitung sein mag, ist zweckmäßigerweise eine sämtliche Datenblöcke aufnehmende zentrale Überwachungsanordnung über eine Datenaufnahme-/Datenabgabereinrichtung verbunden, über die die zentrale Überwachungsanordnung gegebenenfalls selektiv an einzelne Datenaufnahme-/Datenabgabereinrichtungen Datenblöcke abzugeben vermag.

Dadurch kann in vorteilhafter Weise sichergestellt werden, daß bei Ausfall der einzelnen dezentralen Datenaufnahme-/Datenabgabereinrichtungen die vor einem solchen Ausfall noch aufgetretenen Datenblöcke bzw. Informationen für die betreffende Datenaufnahme-/Datenabgabereinrichtung nicht verloren sind, wenn diese wieder in Betrieb gesetzt werden. In diesem Fall können nämlich die betreffenden Informationen bzw. Datenblöcke von der zentralen Überwachungsanordnung selektiv an die wieder in Betrieb genommenen Datenaufnahme-/Datenabgabereinrichtungen abgegeben werden. Dies setzt zwar voraus, daß die zentrale Überwachungsanordnung Kenntnis über den Ausfall der einzelnen Datenaufnahme-/Datenabgabereinrichtungen hat, was allerdings durch einfache Überwachung der Adressen sämtlicher über die Übertragungsstrecke übertragener Datenblöcke möglich ist.

Anhand von Zeichnungen wird die Erfindung nachstehend beispielsweise näher erläutert.

Fig. 1 zeigt in einem Blockdiagramm eine Schaltungsanordnung gemäß der Erfindung;

Fig. 2 zeigt in einem Blockdiagramm einen möglichen Aufbau einer der bei der Schaltungsanordnung gemäß Fig. 1 verwendeten Datenaufnahme-/Datenabgabereinrichtungen;

Fig. 3 zeigt in einem Diagramm einen möglichen Aufbau eines der bei der Schaltungsanordnung gemäß Fig. 1 übertragenen Datenblöcke;

Fig. 4 zeigt in einem Diagramm den möglichen Aufbau eines weiteren Datenblockes;

Fig. 5 bis 9 veranschaulichen anhand von Zeitdiagrammen die Übertragung von einzelnen

Datenblöcken bei einer Schaltungsanordnung gemäß Fig. 1.

In Fig. 1 ist in einem Blockschaltbild eine Schaltungsanordnung gemäß einer Ausführungsform der Erfindung gezeigt. Diese Schaltungsanordnung wird insbesondere für Eisenbahnanlagen benutzt, um Datenblöcke zwischen einzelnen Zugüberwachungsbereichen zu übertragen, die in Fig. 1 mit Bf1 bis Bfn angedeutet sind. Bei diesen Zugüberwachungsbereichen mag es sich beispielsweise um an einer Eisenbahnstrecke liegende Bahnhöfe handeln. Die erwähnten Datenblöcke umfassen in diesem Fall vorzugsweise Zugnummern, wenn es sich bei der Schaltungsanordnung um eine Rechner-Zugüberwachungsanlage oder um eine Zugnummernmeldeanlage handelt.

Bei der in Fig. 1 dargestellten Schaltungsanordnung sind die als Datenerzeugungseinrichtungen aufzufassenden Bahnhöfe bzw. Zugüberwachungsbereiche Bf1 bis Bfn jeweils mit einer zugehörigen Datenaufnahme-/Datenabgabereinrichtung MC1 bis MCn verbunden. An die jeweils zugehörige Datenaufnahme-/Datenabgabereinrichtung MC1 bis MCn geben die betreffenden Datenerzeugungseinrichtungen Bf1 bis Bfn Daten ab, die an andere Datenaufnahme-/Datenabgabereinrichtungen zu übertragen sind. Bei diesen Daten handelt es sich im vorliegenden Fall um Informationsdaten, die in Form von Datenblöcken oder Datenbytes zusammengestellt werden. Hierauf wird weiter unten noch näher eingegangen werden.

Die Datenaufnahme-/Datenabgabereinrichtungen MC1 bis MCn sind über ihnen individuell zugehörige Modems Md1 bis Mdn mit einer Anschlußschaltung As1 bis Asn verbunden, die eine Verbindung zu einer Übertragungsstrecke herstellt, bei der es sich im vorliegenden Fall um eine zweiadrige Übertragungsleitung L1 handeln mag, die sämtliche Anschlußschaltungen As1 bis Asn in der in Fig. 1 angedeuteten Weise miteinander verbindet. Dies bedeutet, daß die einzelnen Anschlußschaltungen As1 bis Asn durch einfache Verbindungsschaltungen gebildet sein können, über die die Modems Md1 bis Mdn beispielsweise direkt mit der Übertragungsleitung L1 verbunden sein können. Bezüglich der Modems Md1 bis Mdn sei angemerkt, daß diese durch herkömmliche Modems gebildet sein können, welche die ihnen von den Datenaufnahme-/Datenabgabereinrichtungen MC1 bis MCn her zugeführten Datensignale in eine Signalform umsetzen, die sich für die Übertragung über die Übertragungsleitung L1 besonders gut eignet. Andererseits setzen die Modems Md1 bis Mdn die ihnen über die Übertragungsleitung L1 zugeführten Übertragungssignale in eine Form um, die von den Datenaufnahme-/Datenabgabereinrichtungen MC1 bis MCn verarbeitet werden kann.

Mit der Übertragungsleitung L1 ist ferner über eine Übertragungsleitung Ln eine Anschlußschaltung Asz verbunden, mit der eine zentrale Überwachungsanordnung Uw verbunden ist,

und zwar über eine gesonderte Datenaufnahme-/Datenabgabereinrichtung MCz und ein Modem Mdz. Diese zentrale Überwachungsanordnung Uw kann eine Betriebssteuerzentrale sein, in der sämtliche Datensignale gesammelt werden, die über die Übertragungsleitung L1 und damit über die Übertragungsleitung Ln übertragen werden. Die zentrale Überwachungsanordnung Uw enthält somit gewissermaßen ein Spiegelbild der sämtlichen »dezentralen« Datenaufnahme-/Datenabgabereinrichtungen MC1 bis MCn zugeführten Datensignale.

In Fig. 2 ist in einem Blockdiagramm ein möglicher Aufbau einer der in Fig. 1 angedeuteten Datenaufnahme-/Datenabgabereinrichtungen MC1 bis MCn, MCz veranschaulicht. Die in Fig. 2 dargestellte Datenaufnahme-/Datenabgabereinrichtung ist generell mit MC bezeichnet. Sie weist eine Zwischenspeicher- und Auswerteschaltung auf, zu der ein Zwischenspeicher FIFO oder RAM und ein Mikroprozessor CPU mit zugehörigem Programm- und Datenspeicher ROM gehören. Der Speicher FIFO oder RAM ist ein Speicher, der das erste ihm eingangsseitig zugeführte Datensignal wieder als erstes Datensignal ausgangsseitig abzugeben gestattet.

Der Mikroprozessor CPU, der Speicher FIFO/RAM und der Speicher ROM sind gemeinsam an einem Busleitungssystem angeschlossen, welches eine Adreßbusleitung AB, eine Datenbusleitung DB und eine Steuerbusleitung CB umfaßt. Jede dieser Busleitungen AB, DB, CB weist im vorliegenden Fall eine Mehrzahl von Einzelleitungen, beispielsweise jeweils acht Einzelleitungen, auf. Der Speicher FIFO/RAM ist im vorliegenden Fall mit einer Zugriffssteuerschaltung AC3 eingangsseitig an der Adreßbusleitung AB, eingangs- und ausgangsseitig an der Datenbusleitung DB und eingangsseitig an einer Steuerleitung der Steuerbusleitung CB angeschlossen. Der Speicher ROM ist mit einer Zugriffssteuerschaltung AC4 eingangsseitig an der Adreßbusleitung AB und an einer Steuerleitung der Steuerbusleitung CB und ausgangsseitig an der Datenbusleitung DB angeschlossen. Der als Zentraleinheit dienende Mikroprozessor CPU ist ausgangsseitig sowohl mit der Adreßbusleitung AB als auch mit der Steuerbusleitung CB und eingangs- und ausgangsseitig mit der Datenbusleitung DB verbunden.

An dem Busleitungssystem ist ferner eine Umsetzschaltung SPC angeschlossen, die eine Parallel-Serien-Umsetzung und eine Serien-Parallel-Umsetzung der ihr eingangsseitig jeweils zugeführten Signale vorzunehmen gestattet. Diese Umsetzschaltung SPC ist dabei mit ihrer Parallelsignal-Aufnahme-/Abgabeseite mit dem Busleitungssystem in Fig. 2 verbunden. Mit ihrer Seriensignal-Abgabe-/Aufnahmeseite ist die Umsetzschaltung SPC mit einer Pegelumsetzschaltung bzw. Pegelanpassungsschaltung LC verbunden, die eingangsseitig mit einem Signaleingang Di und ausgangsseitig mit einem Signalausgang Do der Datenaufnahme-/Datenabgabereinrichtung MC verbunden ist. Mit einem

gesonderten Steuerausgang So ist die Umsetzschaltung SPC mit einem Steuereingang INT des Mikroprozessors CPU verbunden. Bei diesem Steuereingang handelt es sich im vorliegenden Fall um den Unterbrechungseingang des Mikroprozessors CPU.

An dem Busleitungssystem sind ferner zwei Register Reg1 und Reg2 über Zugriffssteuerschaltungen AC1 bzw. AC2 angeschlossen. Das Register Reg1 dient zur Aufnahme der von einem Datensignaleingang In der Datenaufnahme-/Datenabgabereinrichtung MC zugeführten Datensignale. Das Register Reg2 dient hingegen zur Aufnahme von Datensignalen, die über das Busleitungssystem diesem Register zugeführt werden. Die in dem Register Reg1 gesammelten Datensignale werden auf Ansteuerung dieses Registers Reg1 durch den Mikroprozessor CPU über das Busleitungssystem geleitet, um auch in dem Speicher FIRO/RAM aufgesammelt zu werden. In diesem Speicher FIFO/RAM von anderen Datenaufnahme-/Datenabgabereinrichtungen her aufgenommene Datensignale werden unter der Steuerung des Mikroprozessors CPU in das zugehörige Register Reg2 eingespeichert.

Mit den beiden Registern Reg1 und Reg2 ist eine Anzeigeeinrichtung DP verbunden, die als Anzeigeeinrichtung mit einer Reihe von Anzeigefeldern I-2, I-1, I, I+1 und I+2 angedeutet ist. In dem Anzeigefeld I werden beispielsweise Daten angezeigt, die in das Register Reg1 eingespeichert worden sind. In den anderen Anzeigefeldern der Anzeigeeinrichtung DP werden hingegen Daten angezeigt, die in das Register Reg2 eingespeichert worden sind. Dabei kann so vorgegangen sein, daß in dem Anzeigefeld I-1 Daten angezeigt werden, die von einer Datenaufnahme-/Datenabgabereinrichtung abgegeben werden, welche als der in Fig. 2 angedeuteten Datenaufnahme-/Datenabgabereinrichtung MC unmittelbar vorangehende Datenaufnahme-/Datenabgabereinrichtung zu betrachten ist. In dem Anzeigefeld I-2 werden Daten angezeigt, die von einer noch weiter vorangehenden Datenaufnahme-/Datenabgabereinrichtung abgegeben worden sind. In dem Anzeigefeld I+1 und in dem Anzeigefeld I+2 können demgegenüber Daten angezeigt werden, die von zwei Datenaufnahme-/Datenabgabereinrichtungen abgegeben werden, welche der vorliegenden Datenaufnahme-/Datenabgabereinrichtung nachfolgen. Wie die vorstehend benutzten Begriffe »vorangehen« und »nachfolgen« zu verstehen sind, wird aus der nachfolgenden Funktionsbeschreibung der erläuterten Schaltungsanordnungen noch ersichtlich werden.

Bevor auf die Arbeitsweise der erläuterten Schaltungsanordnungen eingegangen wird, sei zunächst das Format betrachtet, in welchem Datensignale über die Übertragungsleitungen L1, Ln gemäß Fig. 1 übertragen werden können. In Fig. 3 ist ein mögliches Datenformat veranschaulicht. Danach umfaßt ein über die Übertra-

gungsleitungen übertragener Datenblock ein Startzeichen STA, welches gegebenenfalls ein Synchronisiersignal umfassen kann, sodann eine Stationsnummer oder Adresse ADR, welche die Adresse der Datenaufnahme-/Datenabgabereinrichtung darstellt, von der der betreffende Datenblock abgegeben wird. Im Anschluß an die Adresse ADR wird eine Blockanfangskennung BAK bereitgestellt, die von einer Blockkennung BLK gefolgt wird, welche eine Angabe über die Bedeutung des nachfolgenden Datenblockbereiches geben mag. Dieser Datenblockbereich umfaßt gemäß Fig. 3 z. B. 6 Datenbytes, die mit 1.DB, 2.DB, 3.DB, 4.DB, 5.DB und 6.DB bezeichnet sind. Das letzte Zeichen des in Fig. 3 dargestellten Datenblocks ist eine Endekennung END. Sämtliche vorstehend erwähnten Zeichen bzw. Bytes enthalten jeweils eine festgelegte Anzahl von Bits; es ist generell aber auch möglich, daß die verschiedenen Zeichen eine unterschiedliche Anzahl von Bits aufweisen.

Während in Fig. 3 ein möglicher Normalfall für einen Datenblock gezeigt ist, der Dateninformationen enthält, veranschaulicht Fig. 4 das Format für den Fall, daß keine Datensignale für eine Übertragung bereitstehen. In diesem Fall umfaßt der für eine Übertragung zu benutzende Datenblock das Startzeichen STA, die Adresse ADR der sendenden Datenaufnahme-/Datenabgabereinrichtung und die Endekennung END. Bezüglich der zuletzt erwähnten Zeichen sei noch angemerkt, daß die diese Zeichen bildenden Bits, insbesondere aber die Adresse ADR in wenigstens einem Speicher der Datenaufnahme-/Datenabgabereinrichtung gesichert gespeichert sind, um auch nach einem Betriebsausfall der betreffenden Datenaufnahme-/Datenabgabereinrichtung bereitzustehen. So sind bei der in Fig. 2 dargestellten Schaltungsanordnung das Startzeichen STA und die Adresse ADR dieser Einrichtung in dem Speicher ROM gesichert gespeichert; die betreffenden Informationen können aus diesem Speicher jeweils zerstörungsfrei ausgelesen werden. Die Endekennung END ist gemäß Fig. 2 in dem Speicher ROM gesichert gespeichert, um als Schlußzeichen für die jeweilige Übertragung verwendet werden zu können. In diesem Speicher ROM können im übrigen auch die völlig variablen Adressen derjenigen Datenaufnahme-/Datenabgabereinrichtungen gespeichert sein, deren Daten in den betreffenden Speicher ROM enthaltenden Datenaufnahme-/Datenabgabereinrichtung tatsächlich zu berücksichtigen sind.

Im folgenden sei die Arbeitsweise der Schaltungsanordnung gemäß der Erfindung unter Bezugnahme auf die in Fig. 5 bis 9 dargestellten Diagramme erläutert. In diesen Diagrammen ist der Verlauf von Datenblöcken (in der Ordinatenrichtung S aufgetragen) in Abhängigkeit von der Zeit (in der Abszissenrichtung t) veranschaulicht.

In Fig. 5 ist der Normalfall veranschaulicht, daß sämtliche vorgesehenen Datenaufnahme-/Datenabgabereinrichtungen Datenblöcke abge-

ben. Hier handelt es sich annahmegemäß um acht Datenaufnahme-/Datenabgabeeinrichtungen, deren Datenblöcke in Fig. 5 mit 1, 2, 3, 4, 5, 6, 7 bzw. 8 bezeichnet sind. Dabei ist ersichtlich, daß die von den einzelnen Datenaufnahme-/Datenabgabeeinrichtungen abgegebenen Datenblöcke unterschiedliche Länge haben können. So weisen die Datenblöcke 2 und 6 beispielsweise eine größere Länge auf als jeder der übrigen Datenblöcke. Der Betrieb mag dabei im übrigen so ablaufen, daß nach Aussenden eines Datenblockes von der achten Datenaufnahme-/Datenabgabeeinrichtung — dieser Datenblock ist mit 8 bezeichnet — wieder ein Datenblock von der ersten Datenaufnahme-/Datenabgabeeinrichtung ausgesendet wird; dieser Datenblock ist in Fig. 5 mit 1' angedeutet. Bevor jede Datenaufnahme-/Datenabgabeeinrichtung mit der Aussendung eines Datenblocks beginnt, muß seit dem Ende des unmittelbar zuvor aufgetretenen Datenblockes eine Sicherheitszeitspanne t_1 vergangen sein, die beispielsweise 20–60 ms betragen mag. Diese Zeitspanne dient zur Überbrückung der Einschalt- und Ausschaltvorgänge der einzelnen Datenabgabeeinrichtungen.

Um Datenblöcke in der aus Fig. 5 ersichtlichen Weise von den Datenaufnahme-/Datenabgabeeinrichtungen der in Fig. 1 dargestellten Schaltungsanordnung abgeben zu lassen, wird folgendes Prinzip angewandt. Die Abgabe der Datenblöcke von sämtlichen Datenaufnahme-/Datenabgabeeinrichtungen MC1 bis MCn erfolgt in einer Reihenfolge, die durch die Reihenfolge der Adressen festgelegt ist, welche den einzelnen

Datenaufnahme-/Datenabgabeeinrichtungen zugehörig sind. Nimmt man einmal an, daß die in Fig. 5 zur Bezeichnung der Datenblöcke benutzten Zahlen 1 bis 8 zugleich die Adressen der Datenaufnahme-/Datenabgabeeinrichtungen sind, von denen diese Datenblöcke ausgesendet werden, so bedeutet dies, daß beispielsweise die Datenaufnahme-/Datenabgabeeinrichtung mit der Adresse 4 erst dann einen Datenblock aussenden kann, wenn die Datenaufnahme-/Datenabgabeeinrichtung mit der Adresse 3 einen Datenblock ausgesendet hat.

Nach dem eingangs erläuterten Verfahrensprinzip, das im vorliegenden Fall benutzt wird, werden nun in jeder Datenaufnahme-/Datenabgabeeinrichtung lediglich Datenblöcke mit ganz bestimmten Adressen aufgenommen, d. h. mit Adressen, die in einem bestimmten festgelegten Verhältnis zur Adresse der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung stehen. Zu diesem Zweck werden die Adressen der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung zugeführten Datenblöcke überprüft. Um den Ablauf eines solchen Vorgangs zu erläutern, sei nochmals auf Fig. 2 Bezug genommen.

Gemäß Fig. 2 wird ein der Datenaufnahme-/Datenabgabeeinrichtung MC über den Signaleingang Di zugeführter Datenblock nach Hindurchführen durch die Pegelumsetzschaltung LC der Umsetzschaltung SPC zugeführt. Außerdem wird der zugehörige Mikroprozessor CPU an

seinem Unterbrechungseingang INT vom Vorliegen eines Datenblockes unterrichtet. Der Mikroprozessor CPU gibt daraufhin eine den Umsetzer SPC adressierende Adresse ab, um die Adresse des in diesem Umsetzer SPC noch enthaltenden Datenblockes zu übernehmen. Diese Adresse kann der Mikroprozessor CPU dann in einem seiner Internregister speichern. Als weitere Adresse holt sich der Mikroprozessor CPU dann aus dem Speicher ROM die Adresse ADR seiner Datenaufnahme-/Datenabgabeeinrichtung ab. Diese beiden Adressen können dann in dem Rechen- und Verknüpfungswerk des Mikroprozessors CPU nach Maßgabe eines Programms verglichen werden, dessen Programmschritte der Mikroprozessor CPU dem Speicher ROM entnehmen mag. Wird im Zuge eines derartigen Vergleichs festgestellt, daß die der Umsetzschaltung SPC entnommene Adresse einem Datenblock zugehörig ist, der in der vorliegenden Datenaufnahme-/Datenabgabeeinrichtung brauchbar ist, so gibt der Mikroprozessor CPU ein Kommando mit einer die Umsetzschaltung SPC als Datenabgabeeinrichtung bezeichnenden Adresse und mit einer den Speicher FIFO/RAM als Datensignalaufnahmeeinrichtung bezeichnenden Adresse ab. Nach Ausführung des betreffenden Kommandos ist dann der Datenblock, der zuvor von der Umsetzschaltung SPC aufgenommen worden ist, in den Speicher FIFO/RAM eingespeichert. In diesem Speicher FIFO/RAM können weitere Datenblöcke gesammelt werden, bevor diese Datenblöcke durch Abgabe eines dem zuvor erwähnten Kommando entsprechenden Kommandos aus dem Speicher FIFO/RAM an das Register Reg2 abgegeben werden. Durch eine analoge Kommandosteuerung bewirkt der Mikroprozessor CPU die Abbildung der in dem Register Reg1 eingespeicherten Datensignale in den Speicher FIFO/RAM, um die betreffenden Datensignale zum gegebenen Zeitpunkt über die Umsetzschaltung SPC und den Pegelumsetzer LC an die Übertragungsleitung abzugeben.

Der zuletzt erwähnte Zeitpunkt für die Aussendung eines Datenblockes von der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung wird mittels dieser Einrichtung zugehörigen Mikroprozessors CPU festgestellt. Dies kann in folgender Art und Weise erfolgen. Da jeder der an der Übertragungsleitung gemäß Fig. 1 angeschlossenen Datenaufnahme-/Datenabgabeeinrichtungen sämtliche über die betreffende Übertragungsleitung übertragenen Datenblöcke zugeführt werden, kann der Mikroprozessor CPU der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung anhand der jeweils mitgelieferten Adressen Informationen darüber gewinnen, welche der übrigen Datenaufnahme-/Datenabgabeeinrichtungen Datenblöcke abgegeben haben. Anhand der betreffenden Adressen kann der Mikroprozessor CPU der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung dann entscheiden, ob und wann er das Auslesen der in dem zugehörigen Speicher FIFO/RAM gespei-

cherten Datensignale freizugeben hat. Dazu genügt es, wenn der Mikroprozessor CPU der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung das Ergebnis des durch ihn jeweils durchgeführten Adressenvergleichs festhält, um bei Ermittlung einer Adressendifferenz von beispielsweise 1 den zuvor erwähnten Auslesevorgang zu bewirken. Unter Bezugnahme auf das in Fig. 5 dargestellte Diagramm bedeutet dies, daß beispielsweise dann, wenn in der Datenaufnahme-/Datenabgabeeinrichtung mit der Adresse 4 gerade ein Datenblock mit der Adresse 2 aufgenommen worden ist, noch kein Auslesevorgang bezüglich des zugehörigen Speichers FIFO/RAM vorgenommen wird, daß aber ein solcher Auslesevorgang vorgenommen wird, wenn in der betreffenden Datenaufnahme-/Datenabgabeeinrichtung (Nr. 4) ein Datenblock mit der Adresse 3 aufgenommen worden ist.

Wie im Zusammenhang mit Fig. 5 bereits oben erwähnt, erfolgt die Abgabe der Datenblöcke von den einzelnen Datenaufnahme-/Datenabgabebereinigungen unter Einhaltung einer Sicherheitsspanne t_1 zwischen dem Ende des von irgendeiner Datenaufnahme-/Datenabgabebereinrichtung abgegebenen Datenblockes und dem Beginn des von der in Frage kommenden nächsten Datenaufnahme-/Datenabgabebereinrichtung abzugebenden Datenblockes. Die Einhaltung dieser Sicherheitszeitspanne t_1 wird unter der Steuerung des Mikroprozessors CPU der jeweiligen Datenaufnahme-/Datenabgabebereinrichtung bewirkt. Zu diesem Zweck kann der Mikroprozessor CPU der jeweiligen Datenaufnahme-/Datenabgabebereinrichtung eine Anzahl von Leerzyklen ausführen, nachdem er festgestellt hat, daß die Adresse des in seiner Datenaufnahme-/Datenabgabebereinrichtung zuletzt aufgenommenen Datenblockes diejenige Adresse ist, die der Adresse seiner Datenaufnahme-/Datenabgabebereinrichtung unmittelbar vorangeht.

Bei der in Fig. 1 dargestellten Schaltungsanordnung kann es nun vorkommen, daß zumindest eine der Datenaufnahme-/Datenabgabebereinigungen MC1 bis MCn ausfällt, so daß von dieser Einrichtung nicht einmal ein Datenblock mit dem aus Fig. 4 ersichtlichen Format abgegeben werden kann. Ein derartiger Fall ist in Fig. 6 veranschaulicht. Gemäß Fig. 6 ist angenommen, daß von acht insgesamt vorgesehenen Datenaufnahme-/Datenabgabebereinigungen (siehe Fig. 5) die Datenaufnahme-/Datenabgabebereinigungen mit den Adressen 5, 7 bzw. 8 ausgefallen sind. Anstelle der Datenblöcke von den betreffenden Datenaufnahme-/Datenabgabebereinigungen sind in Fig. 6 Zeitspannen t_2 eingehalten, die als Zusatzzeitspannen bzw. Sendeverzögerungszeitspannen zu betrachten sind und die jeweils eine Dauer von beispielsweise 20 ms haben mögen. Diese Zusatzzeitspannen t_2 werden dabei in einer Anzahl eingehalten, die der Anzahl der ausgefallenen Datenaufnahme-/Datenabgabebereinigungen entspricht. Während zwischen den Datenblöcken mit den Adressen 4

und 6 lediglich eine Zusatzzeitspanne t_2 vorhanden ist, sind zwischen den Datenblöcken mit den Adressen 6 und 1 (letzterer Datenblock ist mit 1' bezeichnet) zwei Zeitspannen t_2 eingehalten.

Die Einhaltung der Zusatzzeitspannen t_2 kann ebenfalls z. B. durch Abwicklung von Leerzyklen durch den Mikroprozessor CPU der jeweiligen Datenaufnahme-/Datenabgabebereinrichtung sichergestellt werden. Dazu kann wie folgt vorgegangen sein. Geht man einmal von einer Datenaufnahme-/Datenabgabebereinrichtung mit der Adresse Nr. 6 aus, so mögen in dieser Einrichtung folgende Vorgänge ablaufen, wenn in dieser ein Datenblock mit der Adresse Nr. 4 aufgenommen wird. Zunächst mag der zugehörige Mikroprozessor der Datenaufnahme-/Datenabgabebereinrichtung Nr. 6 eine Anzahl von Leerzyklen entsprechend der Zeitspanne t_1 ausführen. Tritt nach Ablauf dieser Zeitspanne t_1 ein Datenblock mit der Adresse 5 auf, so hat der Mikroprozessor CPU der Datenaufnahme-/Datenabgabebereinrichtung Nr. 6 diese Adresse zu bewerten. Tritt hingegen ein Datenblock mit der Adresse Nr. 5 nicht auf, so mag der Mikroprozessor CPU der betreffenden Datenaufnahme-/Datenabgabebereinrichtung eine weitere Anzahl von Leerzyklen entsprechend der Zeitspanne t_2 ausführen. Nach Ablauf dieser Zeitspanne t_2 veranlaßt der betreffende Mikroprozessor dann die Durchführung eines Auslesevorgangs, im Zuge dessen aus dem zugehörigen Speicher FIFO/RAM Datensignale ausgelesen werden.

Den vorstehend erläuterten Vorgängen völlig entsprechende Vorgänge laufen in der Datenaufnahme-/Datenabgabebereinrichtung Nr. 1 ab, deren Mikroprozessor CPU im Anschluß an das Auftreten eines Datenblockes mit der Adresse Nr. 6 Leerzyklen entsprechend den Zeitspannen $t_1 + t_2 + t_2$ ausführt, bevor er die Ausführung eines Auslesevorgangs wirksam steuert bzw. freigibt.

Um die vorstehend angegebenen Zeitspannen t_1 und t_2 auch in dem Fall berücksichtigen zu können, daß eine große Anzahl von Datenaufnahme-/Datenabgabebereinigungen ausgefallen ist, kann durch den Mikroprozessor CPU der jeweiligen intakten Datenaufnahme-/Datenabgabebereinrichtung die Ausführung von Leerzyklen bezüglich sämtlicher Adressen vorgenommen werden, wie dies zuvor erläutert worden ist.

In Fig. 7 ist nun der Fall veranschaulicht, daß ausgehend von den Verhältnissen gemäß Fig. 6 die Datenaufnahme-/Datenabgabebereinrichtung Nr. 7 wieder in Betrieb genommen wird. Diese Datenaufnahme-/Datenabgabebereinrichtung Nr. 7 gibt ihren Datenblock nach Ablauf der Sicherheitszeitspanne t_1 im Anschluß an das Auftreten des Datenblockes 6 ab. Die Datenaufnahme-/Datenabgabebereinrichtung Nr. 1 gibt einen Datenblock 1' erst nach Ablauf der beiden Zeitspannen t_1 und t_2 ab, da die Datenaufnahme-/Datenabgabebereinrichtung Nr. 8 noch ausgefallen ist.

In Fig. 8 und 9 ist der Fall veranschaulicht, daß die Übertragungsleitung unterbrochen ist, an der die vorstehend erwähnten acht Datenaufnahme-

/Datenabgabeeinrichtungen angeschlossen sind, wobei gerade eine solche Unterbrechung aufgetreten ist, daß mit jedem Leitungsabschnitt vier Datenaufnahme-/Datenabgabeeinrichtungen verbunden sind. Dies sind im Falle der Fig. 8 die Datenaufnahme-/Datenabgabeeinrichtungen 1, 2, 3 und 4 und im Falle der Fig. 9 die Datenaufnahme-/Datenabgabeeinrichtungen 5 bis 8. Analog den im Zusammenhang mit Fig. 5 und 6 erläuterten Verhältnissen treten gemäß Fig. 8 und 9 zwischen den einzelnen Datenblöcken die Zeitspanne t_1 bzw. mehrfach die Zeitspanne t_2 auf. Dabei dürfte ersichtlich sein, daß die an den beiden Leitungsabschnitten liegenden Gruppen von Datenaufnahme-/Datenabgabeeinrichtungen für sich jeweils eine funktionsfähige Anordnung darstellen. Werden die betreffenden Leitungsabschnitte anschließend wieder miteinander verbunden, so treten — wie dies eine vergleichende Betrachtung der Fig. 8 und 9 erkennen läßt — zu gewissen Zeitpunkten auf der gemeinsamen Übertragungsleitung zwei Datenblöcke von unterschiedlichen Datenaufnahme-/Datenabgabeeinrichtungen auf. Um diesen Störfall zu beseitigen und wieder Verhältnisse herbeizuführen, wie sie in Fig. 5 veranschaulicht sind, wird zweckmäßigerweise so vorgegangen, daß sämtliche an der Übertragungsleitung angeschlossene Datenaufnahme-/Datenabgabeeinrichtungen zunächst abgeschaltet werden, um danach wieder nacheinander in Betrieb gesetzt zu werden. Das Abschalten kann dadurch geschehen, daß in sämtlichen Datenaufnahme-/Datenabgabeeinrichtungen durch Plausibilitätsprüfungen beispielsweise der auftretenden Adressen oder durch Ermittlung von Mehrfachstörungen Auslösebefehle gebildet werden können. Es ist aber auch möglich, den Abschaltvorgang und den Wiedereinschaltvorgang von zentraler Stelle aus vornehmen zu lassen, beispielsweise von der in Fig. 1 angedeuteten zentralen Überwachungsanordnung U_w . Das Wiedereinschalten der Datenaufnahme-/Datenabgabeeinrichtungen erfolgt danach wieder automatisch oder dadurch, daß eine dieser Einrichtungen in den Sendezustand gebracht wird.

Abschließend sei noch bemerkt, daß sämtliche zur Realisierung der oben beschriebenen Schaltungsanordnungen dienende Anordnung bzw. Schaltungen durch kommerziell erhältliche Bausteine bzw. Geräte gebildet sein können. So können die einzelnen Datenerzeugungseinrichtungen gemäß Fig. 1 normale Dateneingabegeräte bzw. Fernschreiber enthalten. Die in den

Datenaufnahme-/Datenabgabeeinrichtungen verwendeten Schaltungen können kommerziell erhältliche Bausteine sein, die in Verbindung mit Mikroprozessoren zu verwenden sind. Als Umsetzschaltung SPC können beispielsweise USART-Bausteine verwendet werden. Die Pegelumsetzschaltung LC kann beispielsweise eine Pegelumsetzschaltung mit Transistoren enthalten, die eine Pegelumsetzung zwischen für MOS-Schaltungen erforderliche Pegel und für

TTL-Schaltungen erforderliche Pegel vornehmen. Die in Fig. 1 angedeutete Überwachungsanordnung U_w kann eine Registeranordnung umfassen, die ein Eingabe-/Ausgaberegister darstellen mag, in welchem sämtliche über die zugehörige Datenaufnahme-/Datenabgabeeinrichtung MC_z aufgenommene Datenblöcke gespeichert werden können, um bei Bedarf über die betreffende Datenaufnahme-/Datenabgabeeinrichtung MC_z wieder abgegeben zu werden. Zur selektiven Abgabe derartiger Datenblöcke brauchen dann der Überwachungseinrichtung U_w lediglich die Adressen der in Frage kommenden Datenblöcke zugeführt werden, die auszusenden sind.

Patentansprüche

1. Verfahren zum Aufnehmen und Abgeben von Datenblöcken in bzw. von über eine Übertragungsstrecke (L_1) miteinander verbundenen Datenaufnahme-/Datenabgabeeinrichtungen (MC_1, MC_n) mit zugeordneten Datenverarbeitungseinrichtungen zum Bilden von Steuer-signalen für das Fortschalten und Behandeln von Daten sowie das Aufgreifen von Adressen (ADR), wobei die Adressen mindestens den jeweiligen Absender der Daten bezeichnen und alle Datenaufnahme-/Datenabgabeeinrichtungen u. a. über die Adressen weiterer Datenaufnahme-/Datenübertragungseinrichtungen der Übertragungsstrecke unterrichtet und zyklisch anschaltbar sind, insbesondere für Eisenbahnanlagen zur Übermittlung von Datenblöcken zwischen einzelnen Zugüberwachungsbereichen, dadurch gekennzeichnet, daß jede Datenaufnahme-/Datenabgabeeinrichtung (MC_1, MC_n) die übermittelten Datenblöcke hinsichtlich der jeweils beigefügten Absenderadresse (ADR) analysiert und sich beim Erkennen einer ihr im Übertragungszyklus vorgeordneten Datenaufnahme-/Datenabgabeeinrichtungen nach Empfangsseite als Datenabgabeeinrichtung auf die Übertragungsstrecke aufschaltet.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß in der jeweiligen Datenaufnahme-/Datenabgabeeinrichtung (MC_1, MC_n) die Abgabe eines Datenblockes erst eine bestimmte festgelegte Sicherheitszeitspanne (t_1) nach Aufnahme eines Datenblockes vorgenommen wird, dessen Absender-Adresse (ADR) in der Adressen-Reihenfolge der Adresse der betreffenden Datenaufnahme-/Datenabgabeeinrichtung (MC_1, MC_n) vorangeht.

3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß bei Ausfall der Datenaufnahme-/Datenabgabeeinrichtung (z. B. MC_1), welche nach der Adressen-Reihenfolge als nächste Datenaufnahme-/Datenabgabeeinrichtung einen Datenblock auszusenden hat, und bei Ausfall von gegebenenfalls weiteren Datenaufnahme-/Datenabgabeeinrichtungen in der Adressen-Reihenfolge die Aussendung eines Datenblockes von der in der betreffenden

Adressen-Reihenfolge ersten betriebsfähigen Datenaufnahme-/Datenabgabeeinrichtung um eine der Anzahl der betreffenden ausgefallenen Datenaufnahme-/Datenabgabeeinrichtungen (MC) entsprechende Anzahl von Zusatzzeitspannen (t2) nach Ablauf der nach Auftreten des letzten Datenblockes berücksichtigten Sicherheitszeitspanne (t1) verzögert vorgenommen wird.

4. Schaltungsanordnung zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Datenaufnahme-/Datenabgabeeinrichtung (MC) eine Datenverarbeitungseinrichtung (CPU) mit Zwischenspeicher (FIFO/RAM) und Programm- und Datenspeicher (ROM) aufweist, die die Analyse der Absender-Adressen (ADR) der von der Übertragungsstrecke (L1, Ln) her zugeführten Datenblöcke anhand wenigstens der seiner Datenaufnahme-/Datenabgabeeinrichtung (MC) zugehörigen und in dieser in einem zerstörungsfrei auslesbaren Speicher (ROM) festgehaltenen Adresse vornimmt.

5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Datenaufnahme-/Datenabgabeeinrichtung (MC) eine Anzeigeeinrichtung (DP) zum Anzeigen von in den zu berücksichtigenden Datenblöcken enthaltenen Daten und von der zugehörigen Datenerzeugungseinrichtung (Bf1 bis Bfn; Reg1) bereitgestellten Daten aufweist.

6. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der zerstörungsfrei auslesbare Speicher (ROM) auch ein das Ende des jeweiligen übertragenen Datenblockes anzeigendes Endesignal (END) gespeichert enthält, welches im Anschluß an die nach der Abgabe der zugehörigen Adresse (ADR) abzugebenden Daten oder bei Nichtvorhandensein derartiger Daten im Anschluß an die betreffende zugehörige Adresse (ADR) aus dem Zwischenspeicher (FIFO/RAM) auslesbar und an die Übertragungsstrecke (L1, Ln) abgebar ist.

7. Schaltungsanordnung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß die Datenverarbeitungseinrichtung der Datenaufnahme-/Datenabgabeeinrichtung bei Zuführung eines Datenblockes von der Übertragungsstrecke (L1, Ln) her in einen solchen Steuerzustand versetzbar ist, daß der betreffende Datenblock zunächst in einem Umsetzer (SPC) gepuffert wird und die Absender-Adresse dieses Datenblockes zur Ermittlung einer Aufnahme-Freigabe feststellbar ist, und daß die Datenverarbeitungseinrichtung (CPU) der betreffenden Datenaufnahme-/Datenabgabeeinrichtung (MC) auf die Feststellung einer Aufnahme-Freigabe bezüglich eines gerade aufgenommenen Datenblockes die Einspeicherung dieses Datenblockes in den zugehörigen Zwischenspeicher (FIFO/RAM) oder die Abgabe dieses Datenblockes an die zugehörige Datenauswerteeinrichtung (Reg2, DP) steuert.

8. Schaltungsanordnung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß

mit der Übertragungsstrecke (Ln) eine sämtliche Datenblöcke aufnehmende zentrale Überwachungsanordnung (Uw) über eine Datenaufnahme-/Datenabgabeeinrichtung (MCz) verbunden ist, über die die zentrale Überwachungsanordnung (Uw) gegebenenfalls selektiv an einzelne Datenaufnahme-/Datenabgabeeinrichtungen (MC1 bis MCn) Datenblöcke abzugeben vermag.

Claims

1. Method for recording and delivering of data blocks in or from data recording/data delivering means (MC1, MCn), connected to each other through a transmission line (L1) with associated data processing means for forming control signals adapted to receive and treat data and to take up addresses (ADR), the addresses designating at least the appropriate sender of the data and/or data recording/data delivering means are inter alia informed of the addresses of further data recording/data delivering means of the transmitting line and can be cyclicly switched thereto, more particularly in railway systems for the transmission of data blocks between individual train monitoring ranges, characterised in that each data recording/data delivering means (MC1, MCn) analyses the transmitted data blocks with regard to the sender address (ADR) attached in each case and on recognising one of the data recording/data delivering means, which precedes in the transmission cycle, switches itself as data delivering means on to the transmission line after the end of reception.

2. Method according to Claim 1, characterised in that the delivery of a data block in the appropriate data recording/Data delivering means (MC1, MCn) is performed only at a defined, fixed safety time (t1) after recording of a data block, whose sender address (ADR) precedes the address of the relevant data recording/data delivering means (MC1, MCn) in the address sequence.

3. Method according to Claim 2, characterised in that in the event of failure of the data recording/data delivering means (e.g. MC1) which, in its function as the next data recording/data delivering means in accordance with the address sequence has to deliver a data block and in the event of failure occurring additional data recording/data delivering means in the address sequence, the transmission of data block from the data recording/data delivering means, which are the first in the relevant address sequence, is delayed by a number of supplementary times (t2), corresponding to the number of relevant failed data recording/data delivering means (MC) after expiry of the safety time (t1), which is taken into account after the appearance of the last data block.

4. Circuit for performing the method according to any of the Claims 1 to 3, characterised in that the data recording/data delivering means (MC) comprise a data processing device (CPU) with an

intermediate memory (FIFO/RAM) and a program and data memory (ROM) which analyses the sender addresses (ADR) of the data blocks supplied from the transmission line (L1, Ln) by reference at least to the address associated with its data recording/data delivering means (MC) and retained therein by a memory with non-volatile read-out facilities (ROM).

5. Circuit according to Claim 4, characterised in that the data recording/data delivering means (MC) are provided with a display device (DP) for indicating data contained in the data blocks to be taken into account and of data prepared in the associated data generating means (Bf1 to Bfn; Reg1).

6. Circuit according to Claim 4, characterised in that the memory (ROM) with non-volatile read-out facilities also contains a stored end signal (END) indicating the end of the appropriate transmitted data block which said end signal can be read out to intermediate memory (FIFO/RAM) adjoining the data to be delivered after delivery of the associated address (ADR) or adjoining the relevant associated address (ADR) in the absence of such data for transfer to the transmission line (L1, Ln).

7. Circuit according to any of the Claims 4 to 6, characterised in that when a data block is transferred from the transmission line (L1, Ln) the data processing means of the data recording/data delivering means can be placed into a controlled condition which is such, that the affected data block is initially buffered in a converter (SPC) and the sender address of the said data block can be determined to detect a recording release and that the data processing means (CPU) of the effective data recording/data delivering means (MC), on detecting a recording release with respect to the data block just recorded, controls the feeding of the said data block into the associated intermediate memory (FIFO/RAM) or controls the delivery of the said data block to the associated data evaluating means (Reg2, DP).

8. Circuit according to any of the Claims 4 to 7, characterised in that a central monitoring device (Uw), accommodating all data blocks, is connected to the transmission line (Ln) via data recording/data delivering means (MCz) through which the central monitoring means (Uw) can selectively deliver data blocks to individual data recording/data delivering means (MC1 to MCn).

Revendications

1. Procédé pour la réception et l'émission de blocs de données dans ou par l'intermédiaire de dispositifs de réception/de transmission de données (MC1, MCn) reliés entre eux par l'intermédiaire d'une voie de transmission (L1), avec des dispositifs associés pour le traitement de données en vue de la formation de signaux de commande pour transmettre et traiter des données de même que pour saisir les adresses

(ADR), les adresses désignant au moins l'émetteur correspondant des données et tous les dispositifs de réception de données/d'émission de données étant interrogés et étant susceptibles d'être cycliquement branchés, éventuellement par l'intermédiaire des adresses d'autres dispositifs de réception/de transmission de données de la voie de transmission, en particulier pour des installations ferroviaires en vue de la transmission de blocs de données entre les différentes régions de surveillance des trains, caractérisé par le fait que chaque dispositif de réception de données/de transmission de données (MC1, MCn) analyse les blocs de données transmis du point de vue de l'adresse de l'émetteur adjointe (ADR) et se branche sur la ligne de transmission en tant que dispositif d'émission de données, après la fin de la réception, lors de l'identification d'un dispositif de réception de données/d'émission de données qui le précède dans le cycle de transmission.

2. Procédé selon la revendication 1, caractérisé par le fait que dans le dispositif de réception de données/d'émission de données concerné (MC1, MCn) on ne procède à l'émission d'un bloc de données qu'après un intervalle de temps de sécurité donné (t1) se soit écoulé après la réception d'un bloc de données, dont l'adresse de l'émetteur (ADR) précède dans l'ordre d'adresses l'adresse du dispositif de réception de données/d'émission de données (MC1, MCn) concernée.

3. Procédé selon la revendication 2, caractérisé par le fait qu'en cas de défection du dispositif de réception de données/d'émission de données (par exemple MC1) qui doit, selon l'ordre d'adresses, être le prochain dispositif de réception de données/d'émission de données à émettre un bloc de données, et qu'en cas de défection éventuelle d'autres dispositifs d'émission de données/réception de données, dans l'ordre d'adresses, on procède à l'émission d'un bloc de données par le premier dispositif de réception de données/d'émission de données capable de fonctionner dans l'ordre d'adresses correspondant, avec un retard d'un nombre d'intervalles de temps supplémentaires (t2) qui correspond au nombre de dispositifs de réception de données/d'émission de données qui ont fait défaut, après l'écoulement de l'intervalle de temps (t1) qui tient compte de l'apparition du dernier bloc de données.

4. Montage pour la mise en oeuvre du procédé selon l'une des revendications 1 à 3, caractérisé par le fait que le dispositif de réception de données/d'émission de données (MC) comporte un dispositif pour le traitement de données (CPU) avec mémoire intermédiaire (FIFO/RAM) et mémoire de programme et de données (ROM), qui procèdent à l'analyse des adresses d'émetteur (ADR) des blocs de données amenés par la voie de transmission (L1, Ln), à l'aide d'au moins l'adresse associée à son dispositif de réception de données/d'émission de données (MC) et retenue dans ce dernier, dans une

mémoire (ROM) lisible dans effacement.

5. Montage selon la revendication 4, caractérisé par le fait que le dispositif de réception de données/d'émission de données (MC) comporte un dispositif d'affichage pour afficher des données contenues dans le bloc de données dont il faut tenir compte et des données préparées par le dispositif de production de données (Bf1 à Bfn; Reg1).

6. Dispositif selon la revendication 4, caractérisé par le fait que dans la mémoire lisible sans effacement (ROM) est également mémorisé un signal terminal indiquant la fin d'un bloc de données transmis qui est susceptible d'être lu et d'être transmis à la voie de transmission (L1, Ln), à la suite des données à transmettre après la transmission de l'adresse correspondante (ADR), ou, en l'absence de telles données, après l'adresse associée correspondante (ADR).

7. Montage selon l'une des revendications 4 à 6, caractérisé par le fait que le dispositif de traitement de données du dispositif de réception de données/d'émission de données est, lors de la fourniture d'un bloc de données à partir de la voie de transmission (L1, Ln), susceptible d'être placé dans un état de commande qui est tel que le bloc de données correspondant est d'abord

mémorisé temporairement dans un convertisseur (SPC) et que l'adresse d'émission de ce bloc de données est susceptible d'identification pour déterminer une réception/libération, et que le dispositif de traitement des données (CPU) du dispositif de réception de données/d'émission de données concerné (MC), à la suite de la constatation d'une réception/libération relative d'un bloc de données précisément pris en charge, commande la mémorisation de ce bloc de données dans la mémoire intermédiaire (FIFO/RAM) ou l'envoi de ce bloc de données au dispositif d'évaluation de données correspondant (Reg2, DP).

8. Montage selon l'une des revendications 4 à 7, caractérisé par le fait qu'à la voie de transmission (Ln) est relié, par l'intermédiaire d'un dispositif de réception de données/d'émission de données (MCz), un dispositif central de surveillance (Uw) recevant tous les blocs de données, et par l'intermédiaire duquel le dispositif central de surveillance (Uw) est capable de transmettre, éventuellement de façon sélective, les blocs de données aux différents dispositifs de réception de données/d'émission de données (MC1 à MCn).

30

35

40

45

50

55

60

65

12

FIG 1

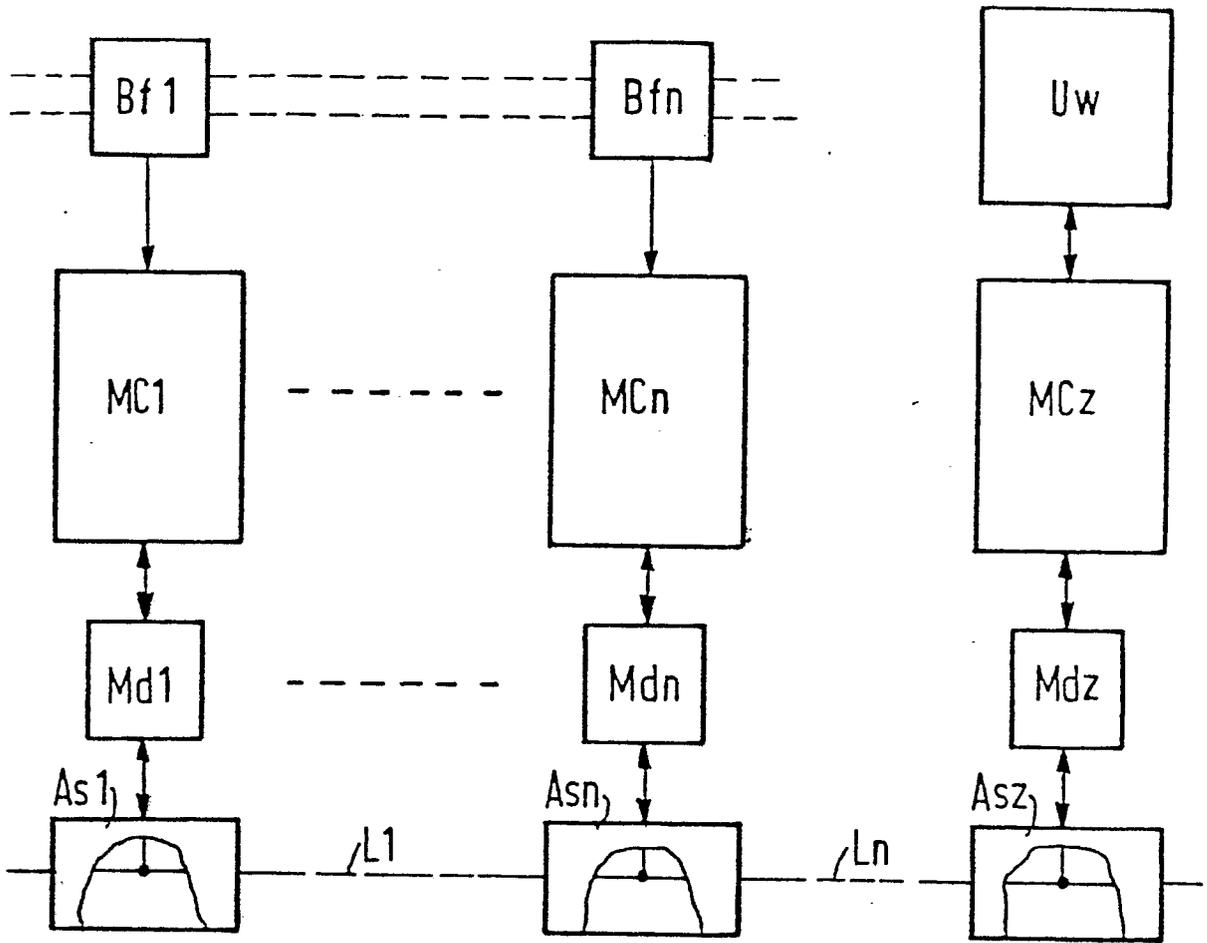


FIG 2

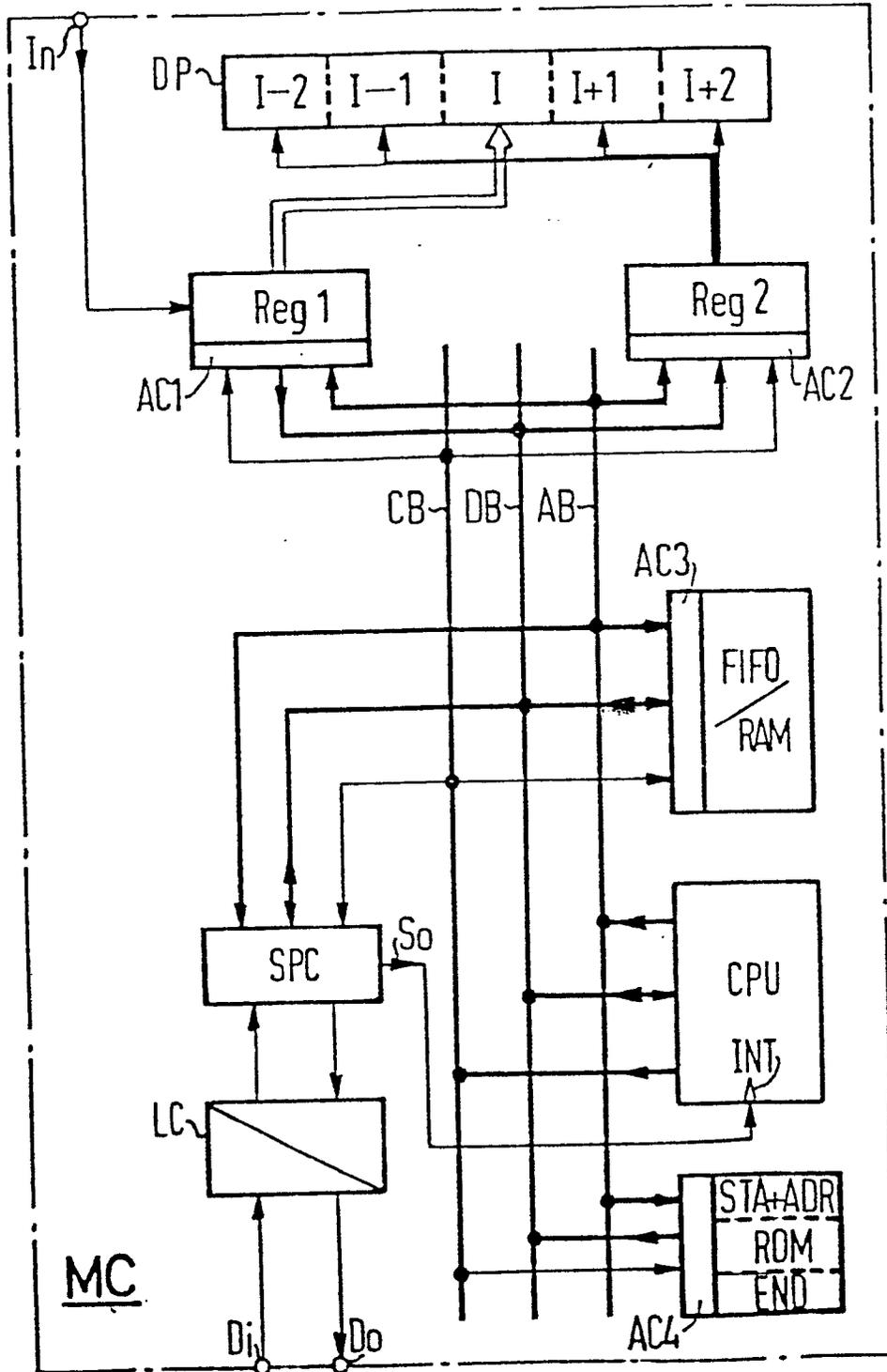


FIG 3

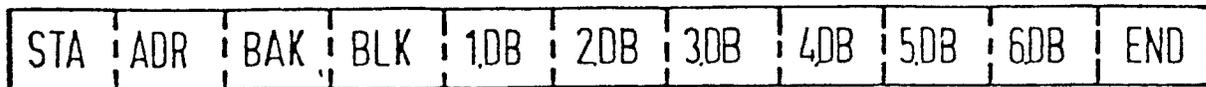


FIG 4



FIG 5

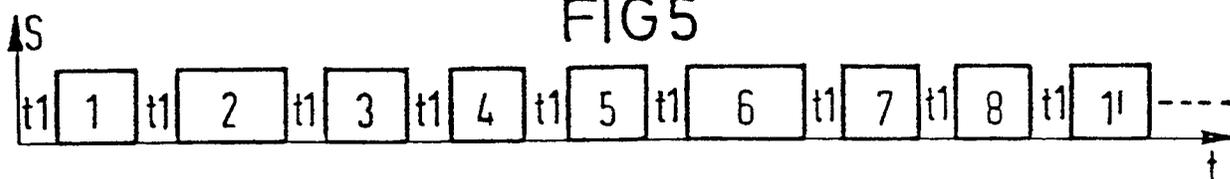


FIG 6

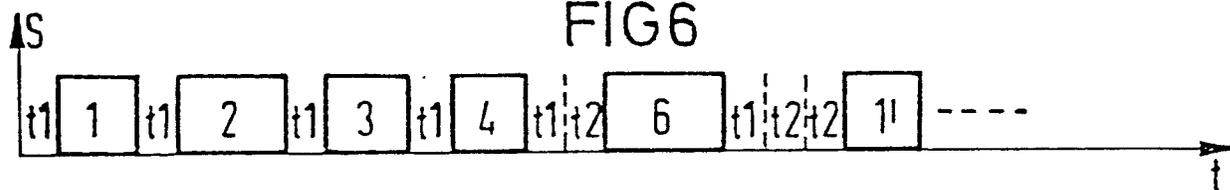


FIG 7

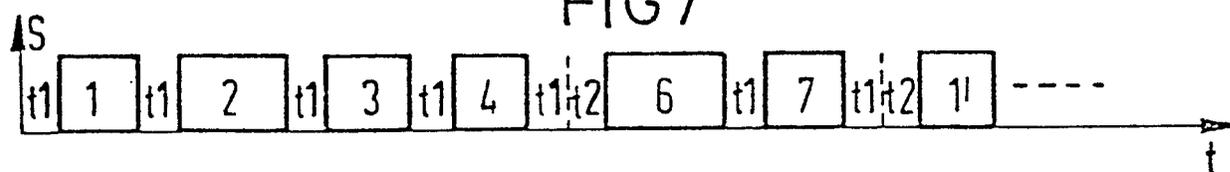


FIG 8

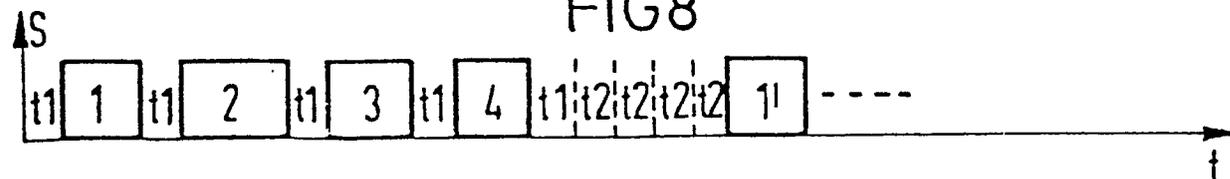


FIG 9

