(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer: **0 043 093**
B1

(12) # EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag der Patentschrift: **13.01.88**

(51) Int. Cl.⁴: **G 10 H 1/18**, G 10 H 5/06

(21) Anmeldenummer: **81104962.8**

(22) Anmeldetag: **23.06.81**

(54) **Digitale Halbleiterschaltung für eine elektronische Orgel.**

(30) Priorität: **01.07.80 DE 3024931**

(43) Veröffentlichungstag der Anmeldung: **06.01.82 Patentblatt 82/1**

(45) Bekanntmachung des Hinweises auf die Patenterteilung: **13.01.88 Patentblatt 88/2**

(84) Benannte Vertragsstaaten: **DE FR GB**

(56) Entgegenhaltungen:
DE-A-2 526 458
US-A-3 906 623
US-A-4 016 495

(73) Patentinhaber: **Siemens Aktiengesellschaft Berlin und München, Wittelsbacherplatz 2, D-8000 München 2 (DE)**

(72) Erfinder: **Rösler, Helmut, Ottobrunnerstrasse 101, D-8000 München 80 (DE)**
Erfinder: **Mühlbauer, Otto, Ing. grad., Germersheimerstrasse 7, D-8000 München 80 (DE)**
Erfinder: **Dempf, Josef, Ing. grad., Schubertstrasse 7, D-8933 Kloster- Lechfeld (DE)**
Erfinder: **Bigall, Klaus- Dieter, Dipl.- Phys., Irisstrasse 28, D-8011 Vaterstetten (DE)**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

EP 0 043 093 B1

LIBER, STOCKHOLM 1988

Beschreibung

In der EP-A-30 034 ist eine digitale Halbleiterschaltung für eine elektronische Orgel mit einer der Anzahl der Spieltasten des Manuals der Orgel entsprechenden Anzahl von über das Manual beaufschlagten Steuereingängen sowie mit einer von einer Oszillatoranlage mit periodischen elektrischen Schwingungen beaufschlagten Anzahl von Tonsignaleingängen beschrieben, bei der je ein Steuereingang je einer Spieltaste des Manuals und je ein Tonsignaleingang je einer Tonfrequenz fest zugeordnet ist, bei der ferner ein Tonsignalausgang für die Beaufschlagung eines elektro-akustischen Wandlers vorgesehen ist und bei der schließlich die zur Beaufschlagung der Steuereingänge dienenden Steuersignale den logischen Pegeln "1" und "0" entsprechen.

Kennzeichnend für die in der EP-A-30 034 beschriebene Schaltung ist, daß die einzelnen Steuereingänge je einer Zelle eines taktgesteuerten und als Parallel-Serienwandler betriebenen Schieberegisters zugeordnet sind, daß ferner sowohl der Signalausgang des Schieberegisters als auch die für dessen Betrieb vorgesehenen Taktimpulse zur Steuerung einer Vermittlungsanlage dienen, die andererseits mit der Gesamtheit der vorgesehenen Tonsignaleingänge versehen ist, daß außerdem die Anzahl der Tonsignalausgänge niedriger ist als die Anzahl der Steuereingänge sowie jedem der Tonsignalausgänge je ein Amplitudenformer zugeordnet ist und daß schließlich die Ausgänge der Amplitudenformer auf einen elektro-akustischen Wandler geschaltet sind.

Es erscheint zunächst angebracht, anhand der Fig. 1 die für die vorliegende Zusatzerfindung wesentlichen Teile der in der Hauptanmeldung beschriebenen Schaltung vorzustellen.

Eine gedrückte Spieltaste in Manual M der Orgel erzeugt eine "1" an dem ihr individuell zugeordneten Steuereingang E der Halbleiterschaltung, während der einer nicht betätigten Spieltaste zugeordnete Steuereingang E den Pegel "0" behält. Durch den Taktgeber TG ist ein Schieberegister PSW mit den zum Auslesen der zwischen den einzelnen Abfragezyklen in Schieberegister PSW gebildeten Informationen erforderlichen Taktimpulsen versorgt. Die Information in Schieberegister PSW wird von den einzelnen Spieltasten des Manuals M über den der betreffenden Taste jeweils zugeordneten Stuereingang E je einer der im Schieberegister PSW vorgesehenen Speicherzellen zugeführt. Die Reihenfolge der Spieltasten im Manual M entspricht der Reihenfolge der den einzelnen Spieltasten in Schieberegister PSW zugeordneten Speicherzellen.

Die periodisch aus dem Schieberegister PSW ausgeschobene Information gelangt in eine gemeinsame Vermittlungsschaltung, deren Eingang durch einen sog. Kanalwähler KW gebildet ist. Von Kanalwähler KW, der in Detail in der Hauptanmeldung beschrieben ist, geht eine Anzahl einander gleicher Abzweigungen aus, die jeweils einen Tonkanal darstellen und die je nach ihrer Nummer 1 bzw. 2... mit V_1 bzw. V_2 usw., d.h. allgemein mit V_i bezeichnet sind. Dabei gibt der jeweilige Wert des Index "i" die Nummer des betreffenden Kanals bzw. des ihn jeweils zugeordneten Amplitudenformers AF_i an. Die zur Beaufschlagung der einzelnen Amplitudenformer AF_i dienenden Ausgänge der Kanäle V_i sind mit AU_i und der Ausgang des zugehörigen Amplitudenformers AF_i mit AG_i bezeichnet.

Jeder der Ausgangskanäle V_i ist einerseits über den Kanalwähler KW, andererseits von einen Tonsignalerzeuger TOS und schließlich von einem Tonadressenzähler TAZ mit den erforderlichen digitalen Informationen versehen. Dieser Tonadressenzähler übernimmt die zum Ausschieben der Information aus den Eingangsschieberegister PSW dienenden Schiebetakte während der einzelnen Abfragezyklen als Zählimpulse.

Der Tonadressenzähler TAZ besteht aus zwei Teilen. Der erste Teil besteht aus vier hintereinandergeschalteten binären Zählstufen, die derart geschaltet sind, daß sie nur bis zum Zählstand "12" zählen, um beim Eintreffen des jeweils dreizehnten Zählimpulses wieder in den Ausgangszustand "1" umgeschaltet zu sein. Der zweite Teil des Tonadressenzählers TAZ besteht aus drei hintereinander geschalteten Zählstufen, die so geschaltet sind, daß der höchste Zählstand der Anzahl q der vorgesehenen Oktaven im Manual M entspricht. Der zweite Teil des Zählers TAZ erhält seine Zählimpulse jedesmal dann, wenn der erste Teil des Zählers TAZ in den Zählstand "1" übergeht.

Zu bemerken ist, daß jedesmal bei der Ausgabe einer "1" aus dem Schieberegister PSW der jeweils zugehörige Zählstand beider Teile des Tonadressenzählers TAZ auskodiert und in je einem der in jedem der Kanäle V_i vorgesehenen Speicher S bezüglich der Tonadresse und in je einem der Speicher S* bezüglich der angespielten Oktave temporär gespeichert wird. Voraussetzung hierfür ist, daß durch den Kanalwähler KW der betreffende Ausgangskanal V_i für die Steuerung durch die vom Schieberegister PSW abgegebene "1" freigegeben ist. Dann wird in Schreib-Lese-Speicher S der Name des Tons der zu der das Schieberegister PSW gerade verlassenden "1" gehörigen Spieltaste und in Schreib-Lese-Speicher S* die Nummer der zugehörigen Oktave - jeweils in Form des gerade vorliegenden Zählstands der beiden Teile des Tonadressenzählers - abgespeichert.

Jeder der vorgesehenen Kanäle V_i mündet in je einen Amplitudenformer AF_i, der der Klangverbesserung dient. Die Anzahl der insgesamt vorgesehenen Kanäle V_i und Amplitudenformer AF_i beträgt z. B. $n = 10$. In Fig. 1 sind lediglich die beiden ersten Kanäle V_1 und V_2 nebst den zugehörigen Amplitudenformern AF_1 und AF_2 gezeichnet.

Weitere für die Erfindung noch wesentliche Teile einer Halbleiterschaltung gemäß der EP-A-30 034 findet man in Fig. 2, auf die in Vorbereitung auf die Erfindung zunächst noch eingegangen werden muß.

Der zur Aufnahme des die Tonadresse innerhalb der einzelnen Oktave bildenden Vier-Bit-Wortes dienende erste Speicher S in den einzelnen Kanälen besteht aus vier einzelnen Schieberegisterzellen insbesondere vom quasistatischen Typ, die im Parallelbetrieb über den Dekodierer D - einem "eins-aus zwölf-Dekoder" - ausgewertet werden. Dem - entsprechend den zwölf Tonnamen c, cis, d, dis, usw. zwölf Signalausgänge aufweisenden - ersten Dekodierer D ist dementsprechend pro Signalausgang je ein UND-Gatter U_1 bzw. U_2.....bzw. U_{12} zugeordnet, die zusammen eine erste Gruppe von UND-Gattern bilden. Jedes dieser UND-Gatter hat zwei Eingänge, von denen der erste an je einem der Eingänge des Dekodierers D liegt und der zweite mit je einem der zwölf Toneingänge TSE der Schaltung verbunden ist. Die zwölf Tonsignaleingänge TSE werden ihrerseits durch je einen der zwölf Tonfrequenzausgänge des Tonfrequenzgenerators TOS in Gestalt von die jeweilige Frequenz aufweisenden Rechteckschwingungen mit den Pegeln "1" und "0" beaufschlagt. Der Ausgang jedes der UND-Gatter U_1 bis U_{12} ist an je einen Eingang eines gemeinsamen ODER-Gatters 0 geschaltet.

Bedingt durch den jeweiligen Inhalt des den Dekodierer D beaufschlagenden ersten Speichers S erhält nur einer der zwölf Ausgänge des Dekodierers D eine "1", während die übrigen Ausgänge eine "0" behalten. Dementsprechend erscheint am Ausgang des genannten ODER-Gatters 0 die vom Tongenerator TOS über den dem betreffenden Dekoderausgang zugeordneten Tonsignaleingang TSE gelieferte Tonfrequenz nach Maßgabe des der gedrückten Spieltaste entsprechenden Tons, wobei der Ton jedoch immer zur höchsten Oktave gehört.

Der zweite Speicher S* wird durch ein vom zweiten Teil des Tonadressenzählers TAZ geliefertes und die Nummer der des gedrückte Spieltaste enthaltenden Oktave darstellendes Binärwort beaufschlagt und steuert ebenfalls im Parallelbetrieb einen "1-aus-q-Dekoder" D*, wobei q die Anzahl der in Manual M vorgesehenen Oktaven bedeutet. Ist z. B. $q = 6$, so ist der Dekodierer D* als "1-aus-6-Dekoder" ausgebildet und hat dann dementsprechend 6 Signalausgänge. Jeder der Ausgänge des für die Adresse der Oktave zuständigen zweiten Dekodierers D* liegt wiederum an je einen UND-Gatter U_1^* bis U_q^*, das jeweils zwei Eingänge aufweits. Der zweite Eingang jedes dieser UND-Gatter U_1^* bis U_q^*, also einer zweiten Gruppe von UND-Gattern, wird nicht unmittelbar wie die UND-Gatter der ersten Gruppe von den Tonsignaleingängen TSE her gesteuert. Vielmehr dient zur Beaufschlagung der UND-Gatter der zweiten Gruppe mit den erforderlichen Tonfrequenzen das genannte erste ODER-Gatter 0 und ein diesem nachgeschalteter Frequenzteiler TT.

Der aus q-1 Teilerstufen bestehende Frequenzteiler TT erhält die von ihm zu verarbeitenden Tonsignale vom Ausgang des ersten ODER-Gatters 0, der außerdem zur unmittelbaren Beaufschlagung des zweiten Eingangs des am ersten Ausgang des zweiten Dekodierers D* liegenden ersten UND-Gatters U_1^* aus der zweiten Gruppe von UND-Gattern vorgesehen ist. Die übrigen UND-Gatter der zweiten Gruppe, nämlich die UND-Gatter U_2^* bis U_q^* sind hingegen mit ihrem zweiten Ausgang mit dem Ausgang der ersten Teilerstufe bzw. der zweiten Teilerstufe bzw.....bzw. der (q-1)-ten Teilerstufe des Frequenzteilers TT verbunden. Dabei ist die Zuordnung der UND-Gatter U_1^* bis U_q^* und damit der Ausgänge des zweiten Dekodierers D* zu dem Ausgang des ODER-Gatters 0 bzw. den Ausgängen des Frequenzteilers TT so getroffen, daß bei Beaufschlagung eines dieser UND-Gatter U_j^* der zweiten Gruppe genau die der Nummer j der zugehörigen Oktave entsprechende Tonfrequenz, die im übrigen von je einem der UND-Gatter U_1 bis U_{12} eingestellt ist, durchgelassen wird. Sie erscheint dann am Ausgang eines zweiten ODER-Gatters 0*, das durch die Ausgänge der UND-Gatter U_j^* der zweiten Gruppe, also der UND-Gatter U_1^* bis U_q^*, beaufschlagt ist.

Die in der EP-A-30 034 beschriebene Ausgestaltung sieht q Oktaven vor, denen jeweils 12 Spieltasten des Manuals M zugeordnet sind, so daß das Manual 12q Spieltasten aufweist. Ist beispielsweise $q = 5$, so hat das Manual M dementsprechend 60 Spieltasten, denen dann jeweils genau ein Ton zugeordnet ist.

Es bereitet keine Schwierigkeiten den Teiler TT zu erweitern, falls eine Erweiterung des Tonumfangs der Orgel beabsichtigt ist. Wesentlich aufwendiger ist eine damit verbundene Erweiterung des Manuals M und der Eingangsteile der Schaltung. Es ist deshalb von Bedeutung, eine Möglichkeit zur Verfügung zu haben, die eine Erweiterung des Tonumfangs erlaubt und die ohne eine solche Erweiterung des Manuals M und der Eingangsteile der Schaltung auskommt. Es ist nun Aufgabe der Erfindung, eine auf einfache Weise realisierbare Erweiterung des Tonumfangs der Orgel anzugeben.

Die Erfindung betrifft eine digitale Halbleiterschaltung für eine elektronische Orgel mit einer der Anzahl der Spieltasten des Manuals der Orgel entsprechenden Anzahl von über das Manual beaufschlagten Steuereingängen sowie mit einer von einer Oszillatoranlage mit periodischen elektrischen Schwingungen beaufschlagten Anzahl von Tonsignaleingängen, bei der je ein Steuereingang je einer Spieltaste des Manuals und je ein Tonsignaleingang je einer Tonfrequenz der höchsten Oktave der Orgel fest zugeordnet ist, bei der die zur Beaufschlagung der Steuereingänge durch die Spieltasten des

Manuals dienenden Steuersignale den logischen Pegeln "1" und "0" entsprechen, bei der weiterhin die einzelnen Steuereingänge je einer Zelle eines taktgesteuerten und als Parallel-Serienwandler betriebenen Schieberegisters PSW zugeordnet sind und der Signalausgang des Schieberegisters als auch die für dessen Betrieb vorgesehenen Taktimpulse zur Steuerung einer mit der Gesamtheit der vorgesehenen Tonsignaleingänge sowie mit der Gesamtheit der - je einen Amplitudenformer steuernden sowie eine in Vergleich zu den Steuereingängen in geringerer Anzahl vorhandenen - Tonsignalausgänge versehenen Vermittlungsschaltung vorgesehen sind, bei der ferner jedem der Tonsignalausgänge der Vermittlungsschaltung je zwei Speicher zugeordnet sind und jedem dieser Speicher jeweils ein Dekodierer nachgeschaltet sowie die Gesamtheit der vorgesehenen Amplitudenformer zur Steuerung wenigstens eines elektro-akustischen Wandlers vorgesehen ist, bei der außerdem die über einen von den Schiebetakten des Schieberegisters mit Zählimpulsen versorgten Tonadressenzähler erfolgende Beaufschlagung des den einzelnen Tonsignalausgängen jeweils zugeordneten Speicherpaares derart getroffen ist, daß der erste Speicher und der ihm nachgeschaltete erste Dekodierer der Auswertung des Tonnamens und der zweite Speicher sowie der diesem nachgeschaltete zweite Dekodierer der Auswertung der Oktave der dem betreffenden Tonsignal aufgrund der Wirkung der Vermittlungsschaltung jeweils zugeteilten und vom Manual der Orgel stammenden Toninformation zugeordnet ist, bei der weiterhin jeder der Ausgänge des den einzelnen Tonsignalen jeweils zugeordneten ersten Dekodierers mit je einem der vorgesehenen Tonsignaleingänge und jeder dieser Tonsignaleingänge mit je einem der vorgesehenen Ausgänge des ersten Dekodierers über je ein zu einer ersten Gruppe von UND-Gattern gehörendes UND-Gatter und die Ausgänge der ersten Gruppe von UND-Gattern über ein gemeinsames erstes ODER-Gatter zusammengefaßt sind, und bei der schließlich durch das erste ODER-Gatter ein Frequenzteiler sowie - teils unter Vermittlung dieses Frequenzteilers - eine zweite Gruppe von UND-Gattern gesteuert ist, bei der der zweite Eingang der einzelnen UND-Gatter durch die einzelnen Ausgänge des zweiten Dekodierers beaufschlagt ist.

Erfindungsgemäß ist dabei vorgesehen, daß die Anzahl t der Teilerstufen im Frequenzteiler mindestens gleich der Anzahl q der im Manual der Orgel vorgesehenen Oktaven sowie die Anzahl u der in der zweiten Gruppe von UND-Gattern vorgesehenen UND-Gatter größer als die Anzahl q der im Manual der Orgel vorgesehenen Oktaven ist, daß außerdem sämtliche UND-Gatter der zweiten Gruppe einen dritten Signaleingang aufweisen und daß schließlich zur Beaufschlagung der dritten Signaleingänge dieser UND-Gatter wenigstens ein vom Spieler über einen Schalter an den Pegel logisch "1" zu legender Stelleingang vorgesehen ist.

Durch eine solche Erweiterung der in der Hauptanmeldung beschriebenen Schaltungen kann der Spieler durch Betätigung des den betreffenden Stelleingang an den Pegel "1" legenden bzw. von diesem abschaltenden Stellschalters dafür sorgen, daß während eines ersten Betriebszustands des Stelleingangs die Ausgänge des zweiten Dekodierers D* über je ein den einzelnen Ausgängen dieses Dekodierers jeweils zugeordnetes UND-Gatter der zweiten Gruppe in der aus der EP-A-30 034 ersichtlichen Weise gesteuert werden, während beim zweiten über den Stellschalter eingestellten Betriebszustand die Ausgänge des zweiten Dekodierers derart mit den Ausgängen der Teilerstufen des des Frequenzteilers FF zusammengefaßt sind, daß dieselben Ausgänge des zweiten Dekodierers D* nunmehr jeweils mit einer Teilerstufe zusammengefaßt sind, die der jeweils nächst niedrigen Oktave im Vergleich zum ersten Betriebszustand des Stelleingangs zugeordnet ist, so daß durch dieselbe Spieltaste jeweils der um eine Oktave niedrigere Ton erzeugt wird. Dieser Ton erscheint am Ausgang eines beim ersten Betriebszustand nicht in Tätigkeit befindlichen UND-Gatters aus der zweiten Gruppe von UND-Gattern, während die beim ersten Betriebszustand aktivierten UND-Gatter der zweiten Gruppe nunmehr durch den zweiten Dekodierer D* nicht mehr aktivierbar sind.

Die soeben beschriebene Möglichkeit beim Betrieb einer der Erfindung entsprechenden Schaltung ist bereits dann gegeben, wenn die Zahl der Teilerstufen im Teiler TT gleich der Anzahl q der in Manual der Orgel vorgesehenen Oktaven und damit gleich der Anzahl der Ausgänge des zweiten Dekodierers D* ist. Ist die Anzahl der Teilerstufen noch größer, so gelingt es ohne Schwierigkeiten und größerem Aufwand die Schaltung derart auszugestalten, daß die Beaufschlagung durch das Manual M um zwei oder mehr Oktaven in Richtung niedrigerer Tonhöhe nach Belieben verschoben werden kann. Indem man den jeweils einem der vorgesehenen Stelleingänge zugeordneten Stellschalter in Gestalt eines Kippschalters am Spieltisch der Orgel neben dem Manual vorsieht, kann eine solche Verschiebung ohne weiteres auch während des Spielens vorgenommen werden.

Die Erfindung wird nun anhand eines in Fig. 3 dargestellten Ausführungsbeispiels näher beschrieben. Die Anzahl q der Ausgänge des zweiten Dekoders D* ist hier gleich 5, so daß dementsprechend im Manual der Orgel 5 Oktaven vorgesehen sind. Von den Schaltteilen gemäß Fig. 2 ist in Fig. 3 nur das erste ODER-Gatter 0, das zweite ODER-Gatter 0* sowie der Teiler TT und die Gesamtheit der erforderlichen UND-Gatter der zweiten Gruppe dargestellt,

während Schaltungsteile aus Fig. 1 vollständig weggelassen sind.

Die Anzahl der Teilerstufen FF ist im den gezeichneten Beispielsfall durch t = 6 gegeben, so daß zusammen mit dem Ausgang des ersten ODER-Gatters sieben Anschlüsse zur Verfügung stehen, die jeweils die Tonfrequenzen je einer Oktave liefern, so daß insgesamt 7 Oktaven zur Verfügung stehen, obwohl im Manual M der Orgel nur die Spieltasten für 5 Oktaven zur Verfügung stehen. Die einzelnen Teilerstufen FF können z. B. durch je ein Toggle-Flip-Flop gegeben sein. Die Anzahl der UND-Gatter U_s+ der zweiten Gruppe von UND-Gattern beträgt 15, die entsprechen der Erfindung mit jeweils 3 Signaleingängen ausgestattet sind.

Die in Fig. 3 dargestellte Schaltung hat außerdem drei durch je einen (nicht gezeichneten) Stellschalter an den Pegel logisch "1" zu legende Stelleingänge S_1 bzw. S_2 bzw. S_3. (Der Pegel "1" kann z. B. bei Ausgestaltung der Schaltung in n-Kanal-MOS-Technik durch das Betriebspotenial V_{DD} gegeben sein.). Für die einzelnen UND-Gatter U_1+ bis $U_{15}+$ hat man die aus Fig. 3 ersichtliche Anschaltung.

Die UND-Gatter U_1+, U_3+ und U_6+ liegen am Ausgang 1 des zweiten Dekodierers D* und sind dementsprechend den zu der höchsten Oktave im Manual M gehörenden Spieltasten zugeordnet. An den der zweithöchsten Oktave im Manual zugeordneten Ausgang 2 des Dekodierers D* liegen die UND-Gatter U_2+, U_5+, U_9+, an den der dritthöchsten Oktave zugeordneten Ausgang 3 des Dekoders D* liegen die UND-Gatter U_4+, U_8+ und $U_{12}+$ und an dem der vierthöchsten Oktave zugeordneten Dekoderausgang 4 die UND-Gatter U_7+, $U_{11}+$ und $U_{14}+$ sowie an dem der niedrigsten Oktave des Manuals zugeordneten Dekoderausgang 5 die UND-Gatter $U_{10}+$, $U_{13}+$ und $U_{15}+$.

Hinsichtlich der Versorgung der genannten 15 UND-Gatter U_1+ bis $U_{15}+$ mit Tonfrequenzen ist festzustellen, daß durch den Ausgang des ersten ODER-Gatters 0 nur ein einziges der genannten UND-Gatter, nämlich das am Ausgang 1 des Dekodierers D* liegende UND-Gatter U_1+ unmittelbar gesteuert wird, während die Beaufschlagung der UND-Gatter U_2+ bis $U_{15}+$ ausschließlich unter Vermittlung des Teilers TT erfolgt. Dieser hat sechs Teilerstufen FF.

Dabei liegen am Ausgang der ersten Teilerstufe die UND-Gatter U_2+ und U_3+, am Ausgang der zweiten Teilerstufe die UND-Gatter U_4+, U_5+ und U_6+, am Ausgang der dritten Teilerstufe die UND-Gatter U_7+, U_8+ und U_9+, am Ausgang der vierten Teilerstufe die UND-Gatter $U_{10}+$, $U_{11}+$ und $U_{12}+$ sowie am Ausgang der fünften Teilerstufe die UND-Gatter $U_{13}+$, $U_{14}+$ und am Ausgang der 6. Teilerstufe das UND-Gatter $U_{15}+$.

Schließlich dient der erste Stelleingang S_1 zur Steuerung der UND-Gatter U_1+, U_2+, U_4+, U_7+, $U_{10}+$, der zweite Stelleingang S_2 zur Steuerung der UND-Gatter U_3+, U_5+, U_8+, $U_{11}+$, $U_{13}+$ und der dritte Stelleingang S_3 zur Steuerung der UND-Gatter U_6+, U_9+, $U_{12}+$, $U_{14}+$ und $U_{15}+$ mit dem Pegel logisch "1".

Die Ausgänge der einzelnen UND-Gatter U_1+ bis $U_{15}+$ liegen an je einem Eingang des zweiten ODER-Gatters 0*, dessen Ausgang einen der Tonsignalausgänge AU_i je eines der vorgesehenen Kanäle V_i in der Vermittlungsschaltung entsprechend Fig. 1 bildet und demgemäß zur Steuerung eines der vorgesehenen Amplitudenformer AF_i dient.

Zu bemerken ist, daß jedem der Ausgangskanäle V_i der in Fig. 1 ersichtlichen Schaltung je eine in Fig. 3 dargestellte Erweiterungsschaltung gemäß der Erfindung zugeordnet ist. Dabei sind jedoch die Stelleingänge S_i mit gleicher Numner i, also die Stelleingänge S_1 einerseits, die Stelleingänge S_2 andererseits und die Stelleingänge S_3 ihrerseits miteinander verbunden, so daß sie jeweils durch einen einzigen zugeordneten Stellschalter gemeinsam mit dem Pegel "1" beaufschlagt werden können. Zu bemerken ist außerdem, daß es beim Einschalten eines Stelleingangs S_i auf den Pegel "1" ggf. angebracht sein kann, die restlichen Stelleingänge (z. B. automatisch) auf den Pegel "0" zu bringen bzw. zu halten.

Die Wirkung der Schaltung gemäß Fig. 3 wird unmittelbar beim Betrachten der Figur verständlich. Liegt am Stelleingang S_1 eine "1" und an den beiden anderen Stelleingängen S_2 und S_3 der Pegel "0", dann sind die fünf Ausgänge 1 - 5 des zweiten Dekodierers D* über je eines der UND-Gatter U_1+, U_2+, U_4+, U_7+ und $U_{10}+$ mit dem Ausgang des ersten ODER-Gatters 0 bzw. dem Ausgang je einer der vier ersten Teilerstufen FF des Teilers TT verknüpft, so daß bei Betätigung des Manuals M die Töne der fünf höchsten Oktaven geliefert werden. Liegt hingegen am Stelleingang S_2 der Pegel "1", dann sind die fünf Ausgänge des Dekodierers D* über je eines der UND-Gatter U_3+, U_5+, U_8+, $U_{11}+$ und $U_{13}+$ mit je einer der fünf ersten Teilerstufen FF des Teilers TT kombiniert. Liegt schließlich am Stelleingang S_3 der Pegel "1" dann sind die fünf Ausgänge des Dekodierers D* über je eines der UND-Gatter U_6+, U_9+, $U_{12}+$, $U_{14}+$ und $U_{15}+$ an je eine der fünf letzten Stufen FF des Teilers TT angeschlossen. Mann erkennt somit, daß man zwei zusätzliche Oktaven zur Verfügung hat, die vom Manual M aus gespielt werden können. Über die Stelleingänge S_1, S_2, S_3 wird ersichtlich bestimmt, welche der am Ausgang des ersten ODER-Gatters 0* bzw. an den Ausgängen der Teilerstufen FF des Teilers TT erscheinenden Tonsignale an das zweite ODER-Gatter 0* und damit an den Ausgang AU_i des die erfindungsgemäße Ergänzungsschaltung enthaltenden Kanals V_i bei entsprechender Beaufschlagung durch den zweiten Dekodierer D* und damit des Manuals M gelangen können.

Eine der Erfindung entsprechende Ergänzung einer digitalen Halbleiterschaltung gemäß der EP-A-30 034 läßt sich ohne Schwierigkeiten erweitern.

Im allgemeinen wird die Anzahl der UND-

Gatter U_s+ gleich dem Produkt aus der Gesamtzahl der Ausgänge q des zweiten Dekodierers D* mit der Gesamtzahl p der Stelleingänge S_i gewählt werden, wobei die jeweils dieselbe Anzahl von UND-Gattern U_s+ an den einzelnen Stelleingang angelegt ist. Ferner ist die Anzahl p der Stelleingänge S_i auf die Anzahl t der vorgesehenen Teilerstufen FF des Frequenzteilers TT derart abgestimmt, daß $(t + 1 - q) = (p - 1)$ gilt. Ferner ist dabei jedem der q Ausgänge des zweiten Dekodierers D* jeweils dieselbe Anzahl u : q von UND-Gattern der zweiten Gruppe zugeordnet, wobei u die Gesamtzahl dieser UND-Gatter ist.

Bezüglich der Verknüpfung der Ausgänge des zweiten Dekodierers D* mit dem Ausgang des ersten ODER-Gatters 0 bzw. der einzelnen Ausgänge des Frequenzteilers TT wird man im Einklang mit der in Fig. 3 dargestellten Schaltung darauf achten, daß ungeachtet der jeweiligen Einstellung durch die Stelleingänge S_i immer beim Erscheinen einer "1" an jedem der Ausgänge des Dekodierers D* an den Ausgang des zweiten ODER-Gatters 0* ein Tonsignal gelangt, dessen Frequenz umso niedriger ist je höher die Nummer des betreffenden Dekoderausgangs und damit umso niedriger die dem betreffenden Dekoderausgang zugeordnete Frequenz im Manual M ist und je höher die Nummer i des das Erscheinen des Tonsignals ermöglichenden Stelleingang S_i ist.

Um das zu erreichen, wird der Ausgang des ersten ODER-Gatters 0 lediglich mit einem einzigen Ausgang des Dekodierers D*, nämlich mit dem Ausgang 1 über ein einziges UND-Gatter U_1+ verknüpft, das durch den ersten Stelleingang S_1 mitgesteuert ist. Ferner dient der Ausgang der ersten Teilerstufe FF zur Beaufschlagung zweier UND-Gatter U_2+ und U_3+, von denen das erste zum Stelleingang S_1 und zum Dekoderausgang 2 und das zweite zum Stelleingang S_2 und zum Dekoderausgang 1 gehört. Der Ausgang der dritten Teilerstufe und die Ausgänge der übrigen Teilerstufen sind jeweils mit den vorgesehenen Stelleingängen S_i und den einzelnen Ausgängen des zweiten Dekodierers D* so verknüpft, daß - mit Ausnahme des Ausgangs der beiden letzten Teilerstufen - daß jede Teilerstufe jeweils mit drei Ausgängen des Dekodierers D kombinierbar ist, während eine solche Kombination der vorletzten Teilerstufe mit nur zwei Ausgängen des Dekodierers D* und im Falle der letzten Teilerstufe nur eine Verknüpfung nur mit einem Ausgang des Dekodierers D* möglich ist. Dabei ist bei allen Verknüpfungen die Zuordnung zwischen den einzelnen Ausgängen des Dekodierers D* und den einzelnen Stelleingängen S_i so getroffen, daß die Nummer des mit dem betreffenden Ausgang des Teilers TT verknüpften Dekoderausgangs umso höher ist, je niedriger die Nummer i des bei der Verknüpfung beteiligten Stelleingangs S_i ist. Da im Falle des Ausgangs des ersten ODER-Gatters 0 bzw. der letzten Teilerstufe jeweils nur eine Verknüpfungsmöglichkeit vorgesehen ist, braucht hier nur noch darauf hingewiesen zu werden, daß die letzte Teilerstufe mit dem die höchste Nummer tragenden Dekoderausgang sowie mit dem die höchste Nummer i tragenden Stelleingang S_i verknüpft ist, während im Falle des Ausgangs des ersten ODER-Gatters 0 nur eine Verknüpfung mit dem die niedrigste Nummer i, also die Nummer 1 tragenden Stelleingang S_1 und dem die niedrigste Nummer, also die Nummer 1 tragenden Dekoderausgang vorgesehen ist. Zu bemerken ist schließlich, daß die Zusammenfassung der einzelnen Ausgänge des Teilers TT mit den einzelnen Ausgängen des Dekodierers D* so getroffen ist, daß die mit dem Ausgang jeder der Teilerstufen verknüpfbaren Ausgänge des Dekodierers D* ausschließlich unmittelbar aufeinanderfolgenden Oktaven des Manuals M zugeordnet sind und damit eine fortlaufend nummerierte Zahlenreihe bilden. Diese Betrachtungen gelten auch für eine Erweiterung der in Fig. 3 dargestellten Schaltung auf mehr als 6 Teilerstufen FF und mehr als 5 Ausgängen des Dekoders D*.

Unabhängig von einer entsprechend der Erfindung ausgestalteten Ergänzungsschaltung bestehen noch weitere Möglichkeiten zur Erweiterung des Tonbereichs der eine Schaltung gemäß der EP-A-30 034 verwendenden elektronischen Orgel. So könnte man z. B. den Dekodierer D* vergrößern und die Oktavadresse vor der Dekodierung umrechnen, d.h. eine Konstante hinzu zu zählen. Man könnte auch den Tonadressenzähler TAZ z. B. unter Verwendung eines Presets (statt eines Resets) mit dieser Konstanten voreinstellen. Schließlich gibt es noch die Möglichkeit, zwischen dem Ausgang des ersten ODER-Gatters 0 und dem Eingang des - entsprechend erweiterten Frequenzteilers TT - eine durch Stellschalter zu steuernde Weiche zu legen, derart, daß je nach Stellung der Weiche verschiedene Tonfrequenzen an die in der EP-A-30 034 beschriebenen und in Fig. 2 dargestellten UND-Gatter U_1* bis U_q* gelangen. Jedoch dürfte die oben und anhand von Fig. 3 beschriebene Möglichkeit die optimale Lösung brigen.

Patentansprüche

1. Digitale Halbleiterschaltung für eine elektronische Orgel mit einer der Anzahl der Spieltasten des Manuals der Orgel entsprechenden Anzahl von über das Manual beaufschlagten Steuereingängen sowie mit einer von einer Oszillatoranlage mit periodischen elektrischen Schwingungen beaufschlagten Anzahl von Tonsignaleingängen, bei der je ein Steuereingang je einer Spieltaste des Manuals und je ein Tonsignaleingang je einer Tonfrequenz der höchsten Oktave der Orgel fest zugeordnet ist, bei der die zur Beaufschlagung der Steuereingänge durch die Spieltasten des Manuals dienenden Steuersignale den logischen

Pegeln "1" und "0" entsprechen, bei der weiterhin die einzelnen Steuereingänge je einer Zelle eines taktgesteuerten und als Parallel-Serienwandler betriebenen Schieberegisters zugeordnet sind und sowohl der Signalausgang des Schieberegisters als auch die für dessen Betrieb vorgesehenen Taktimpulse zur Steuerung einer mit der Gesamtheit der vorgesehenen Tonsignaleingänge sowie mit der Gesamtheit der - je einen Amplitudenformer steuernden sowie eine im Vergleich zu den Steuereingängen in geringerer Anzahl vorhandenen - Tonsignalausgänge versehenen Vermittlungsschaltung vorgesehen sind, bei der ferner jedem der Tonsignalausgänge der Vermittlungsschaltung je zwei Speicher zugeordnet sind und jedem dieser Speicher jeweils ein Dekodierer nachgeschaltet sowie die Gesamtheit der vorgesehenen Amplitudenformer zur Steuerung wenigstens eines elektro-akustischen Wandlers vorgesehen ist, bei der außerdem die über einen von den Schiebetakten des Schieberegisters mit Zählimpulsen versorgten Tonadressenzähler erfolgende Beaufschlagung des den einzelnen Tonsignalausgängen jeweils zugeordneten Speicherpaares derart getroffen ist, daß der erste Speicher und der ihm nachgeschaltete erste Dekodierer der Auswertung des Tonnamens und der zweite Speicher sowie der diesem nachgeschaltete zweite Dekodierer der Auswertung der Oktave der dem betreffenden Tonsignal aufgrund der Wirkung der Vermittlungsschaltung jeweils zugeteilten und vom Manual der Orgel stammenden Toninformation zugeordnet ist, bei der weiterhin jeder der Ausgänge des den einzelnen Tonsignalen jeweils zugeordneten ersten Dekodierers mit je einem der vorgesehenen Tonsignaleingänge und jeder dieser Tonsignaleingänge mit je einem der vorgesehenen Ausgänge des ersten Dekodierers über je ein zu einer ersten Gruppe von UND-Gattern gehörendes UND-Gatter und die Ausgänge der ersten Gruppe von UND-Gattern über ein gemeinsames erstes ODER-Gatter zusammen gefaßt sind, und bei der schließlich durch das erste ODER-Gatter ein Frequenzteiler sowie - teils unter Vermittlung dieses Frequenzteilers - eine zweite Gruppe von UND-Gattern gesteuert ist, bei der der zweite Eingang der einzelnen UND-Gatter durch die einzelnen Ausgänge des zweiten Dekodierers beaufschlagt ist, dadurch gekennzeichnet, daß die Anzahl t der Teilerstufen (FF) im Frequenzteiler (TT) mindestens gleich der Anzahl q der im Manual (M) der Orgel vorgesehenen Oktaven sowie die Anzahl u der in der zweiten Gruppe von UND-Gattern (U_s+) vorgesehenen UND-Gatter (U_s+) größer als die Anzahl q der im Manual (M) der Orgel vorgesehenen Oktaven ist, daß außerdem sämtlich UND-Gatter (U_s+) der zweiten Gruppe einen dritten Signaleingang aufweisen und daß schließlich zur Beaufschlagung der dritten Signaleingänge dieser UND-Gatter (U_s+) wenigstens ein von Spieler über einen Schalter an den Pegel logisch "1" zu legender Stelleingang (S_i) vorgesehen ist.

2. Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Anzahl u der UND-Gatter (U_s+) der zweiten Gruppe gleich dem Produkt der Gesamtzahl q der Ausgänge des zweiten Dekodierers (D*) mit der Gesamtzahl p der Stelleingänge (S_i) ist, daß ferner jeweils dieselbe Anzahl dieser UND-Gatter (U_s+) an jeden der Stelleingänge (S_i) gelegt ist und daß schließlich die Anzahl p der Stelleingänge (S_i) auf die Anzahl t der vorgesehenen Teilerstufen (FF) in Frequenzteiler (TT) derart abgestimmt ist, daß $p - 2 = t - q$ gilt und außerdem jedem der q Ausgänge des zweiten Dekodierers (D*) jeweils dieselbe Anzahl $u : q$ von UND-Gattern (U_2+) der zweiten Gruppe zugeordnet ist.

3. Halbleiterschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Verknüpfung der Ausgänge des ersten ODER-Gatters (0) und der Teilerstufen (FF) des Frequenzteilers (TT) mit den einzelnen Ausgängen des zweiten Dekodierers (D*) und den einzelnen Stelleingängen (S_i) durch die vorgesehenen UND-Gatter (U_s+) der zweiten Gruppe derart getroffen ist, daß beim Erscheinen einer "1" an je einem der Ausgänge (1-5) des Dekodierers (D*) an den Ausgang des durch die Ausgänge der Gesamtheit der UND-Gatter (U_s+) der zweiten Gruppe gesteuerten zweiten ODER-Gatters (0*) ein Tonsignal gelangt, dessen Frequenz umso niedriger ist, je höher die Nummer des betreffenden Dekoderausgangs (1-5) und je höher die Numner (i) des das Erscheinen des Tonsignals jeweils ermöglichenden Stelleingangs (S_i) ist.

4. Halbleiterschaltung nach Anspruch 2 und 3, dadurch gekennzeichnet, daß der Ausgang des ersten ODER-Gatters (0) lediglich mit dem der höchsten Oktave im Manual (M) zugeordneten Ausgang (1) des zweiten Dekodierers (D*) und dem die niedrigsten Nummer aufweisenden Stelleingang (S_1) sowie der Ausgang der letzten Teilerstufe (FF) des Frequenzteilers (TT) lediglich mit dem der niedrigsten Oktave im Manual (M) zugeordneten Ausgang (5) des zweiten Dekodierers (D*) und dem die höchste Nummer aufweisenden Stelleingang (S_3) jeweils verknüpft ist, daß ferner der Ausgang der ersten Teilerstufe (FF) im Frequenzteiler (TT) sowie der Ausgang der vorletzten Teilerstufe (FF) des Frequenzteilers (TT) jeweils mit zwei Ausgängen des zweiten Dekodierers (D*) sowie mit zwei Stelleingängen verknüpft sind, während die Ausgänge der restlichen Teilerstufen (FF) des Teilers (TT) jeweils mit drei Ausgängen des zweiten Dekodierers (D*) sowie mit drei Stelleingängen (S_1) verknüpft sind, wobei zwischen je einem der Dekoderausgänge (1-5) und je einem der beteiligten Stelleingänge (S_i) und dem Ausgang der betreffenden Teilerstufe (FF) jeweils nur ein einziges UND-Gatter (U_s+) der zweiten Gruppe beteiligt ist, daß außerdem die Zuordnung zwischen den einzelnen Ausgängen (1-5) des

Dekodierers (D*) und den an der jeweiligen Verknüpfung beteiligten Stelleingängen (S_i) derart gewählt ist, daß die Nummer des mit dem betreffenden Ausgang des Teilers (TT) verknüpften Dekoderausgangs umso höher und damit die aus dem Manual (M) dem betreffenden Dekoderausgang jeweils zugeordnete Oktave umso niedriger ist, je höher die Nummer (i) des mit ihm verknüpften Stellglieds (S_i) ist, und daß schließlich die mit dem Ausgang der jeweiligen Teilerstufe UND-verknüpften Ausgänge des zweiten Dekodierers jeweils einer zusammenhängenden Reihe der Oktaven im Manual (M) zugeordnet sind, die umso niedriger sind, je weiter die betreffende Teilerstufe von dem durch das zweite ODER-Gatter (0) beaufschlagten Eingang des Teilers (TT) entfernt ist.

5. Halbleiterschaltung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die über je ein UND-Gatter (U_s+) der zweiten Gruppe gegebenen Verknüpfungen zwischen den Ausgängen der einzelnen Teilerstufen (FF) sowie den einzelnen Ausgängen des zweiten Dekodierers (D*) und den vorgesehenen Stelleingängen (S_i) sämtlich voneinander verschieden sind und daß die vorgesehenen Stelleingänge (S_i) einzeln sowie gemeinsam einsetzbar sind.

6. Halbleiterschaltung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die vorgesehenen Stelleingänge (S_i) gleichzeitig mehreren einander gleichen und aus je einem ersten und zweiten Speicher (S, S*), je einem ersten und zweiten Dekodierer (D, D*), je einem Frequenzteiler, je einer ersten Gruppe und je einer zweiten Gruppe von UND-Gattern sowie einem ersten und einem zweiten ODER-Gatter bestehenden Schaltungsteilen zugeordnet sind und daß der jeweilige Ausgang des zweiten ODER-Gatters (0) mit dem Tonsignalausgang (AU) je eines der vorgesehenen Kanäle (V_i) der Vermittlungsschaltung identisch ist.

Claims

1. A digital semiconductor circuit for an electronic organ comprising a number, corresponding to the number of keys of the organ keyboard, of control inputs which are acted upon via the keyboard, and with a number of sound signal inputs which are supplied by an oscillator system with periodic, electrical oscillations, where each control input is permanently assigned to a key of the keyboard and each sound signal input is permanently assigned to a sound frequency of the highest octave of the organ, where the control signals, which act upon the control inputs via the keys of the keyboard, correspond to logic levels "1" and "0", where moreover the individual control inputs are each assigned to one cell of a clock-controlled shift register operated as a parallel-series converter and where both the signal output of the shift register and the clock pulses provided for the operation thereof serve to control a switching circuit which is provided with all the provided sound signal inputs and with all the sound signal outputs - which each control an amplitude shaper and the number of which is smaller than that of the control inputs, where moreover each of the sound signal outputs of the switching circuit is assigned to two stores, each of these stores being followed by a decoder, and where all the provided amplitude shapers serve to control at least one electro-acoustic transducer, where moreover the control of the pair of stores, permanently assigned to the individual sound signal outputs, via a sound address counter which is supplied with counting pulses by the shift clock signals of the shift register is contrived to be such that the first store and the first decoder, connected to its output end, are assigned to the analysis of the sound name, whilst the second store and the second decoder, connected to the output thereof, are assigned to the analysis of the octave of the sound information which is assigned to the respective sound signal via the switching circuit and which originates from the organ keyboard, where moreover each of the outputs of the first decoder, which is assigned to the individual sound signals, is combined with one of the provided sound signal inputs, and each of these sound signal inputs is combined with one of the provided outputs of the first decoder in each case via an AND-gate, assigned to a first group of AND-gates, and where the outputs of the first group of AND-gates are combined via a common, first OR-gate, and where finally the first OR-gate controls a frequency divider and - in part via this frequency divider - a second group of AND-gates, where the second input of the individual AND-gates is connected to the individual outputs of the second decoder, characterised in that the number t of divider stages (FF) in the frequency divider (TT) is at least equal to the number q of octaves provided in the organ keyboard (M) and the number u of AND-gates (U_s+) provided in the second group of AND-gates (U_s+) is greater than the number q of octaves provided in the organ keyboard (M), that moreover all the AND-gates (U_s+) of the second group have a third signal input, and that finally, for the control of the third signal inputs of these AND-gates (U_s+) at least one setting input (S_i) is provided which is to be connected to the logic "1" level.

2. A semiconductor circuit as claimed in claim 1, characterised in that the number u of the AND-gates (U_s+) of the second group is equal to the product of the total number q of outputs of the second decoder (D*) and the total p of setting inputs (S_i), that moreover the same number of these AND-gates (U_s+) is connected to each of the setting inputs (S_i), and that finally the number p of the setting inputs (S_i) is adapted to the number t of provided divider stages (FF) in the frequency divider (TT) in such manner that p - 2

= t - q and that moreover each of the q outputs of the second decoder (D*) is assigned the same number u : q of AND-gates (U_s+) of the second group.

3. A semiconductor circuit as claimed in claim 1 or 2, characterised in that the logic-linking of the outputs of the first OR-gate (0) and of the divider stages (FF) of the frequency divider (TT) to the individual outputs of the second decoder (D*) and the individual setting inputs (S_i) by the provided AND-gates (U_s+) of the second group is contrived to be such that when a "1" appears at one of the outputs (1-5) of the decoder (D*), the output of the second OR-gate (0*), which is controlled by the outputs of all the AND-gates (U_s+) of the second group, is supplied with a sound signal whose frequency is lower the higher the number of the respective decoder output (1-5) and the higher the number (i) of the setting input (S_i) which enables the sound signal to appear.

4. A semiconductor circuit as claimed in claim 2 and 3, characterised in that the output of the first OR-gate (0) is logic-linked only to that output (1) of the second decoder (D*) which is assigned to the highest octave in the keyboard (M), and to the setting input (S_1) which has the lowest number, and the output of the last divider stage (FF) of the frequency divider (TT) is logic-linked only to that output (5) of the second decoder (D*) which is assigned to the lowest octave in the keyboard (M), and to the setting input (S_3) which has the highest number, that moreover the output of the first divider stage (FF) in the frequency divider (TT) and the output of the last but one divider stage (FF) of the frequency divider (TT) are each logic-linked to two outputs of the second decoder (D*) and to two setting inputs, whilst the outputs of the remaining divider stages (FF) of the divider (TT) are each logic-linked to three outputs of the second decoder (D*), and to three setting inputs (S_i), where in each case only one single AND-gate (U_s+) of the second group is arranged between in each case one of the decoder outputs (1-5) and in each case one of the participating setting inputs (S_i) and the output of the respective divider stage (FF), that moreover the assignment between the individual outputs (1-5) of the decoder (D*) and the setting inputs (S_i) which participate in the respective logic-link, is selected to be such that the number of the decoder output which is logic-linked to the respective output of the divider (TT) is the higher - and thus that octave of the keyboard (M) assigned to the respective decoder output is the lower, the higher the number (i) of the setting input (S_i) logic-linked thereto, and that finally those outputs of the second decoder which are AND-logic-linked to the output of the respective divider stage are each assigned to a related series of octaves in the keyboard (M) which are the lower, the further the respective divider stage is located from that input of the divider (TT) which is acted upon by the second OR-gate (0).

5. A semiconductor circuit as claimed in one of the claims 1 to 4, characterised in that the logic-links, in each case formed by an AND-gate (U_s+) of the second group, between the outputs of the individual divider stages (FF) and the individual outputs of the second decoder (D*) and the provided setting inputs (S_i) all differ from one another, and that the provided setting inputs (S_i) can be used individually and in combination.

6. A semiconductor circuit as claimed in one of the claims 1 to 5, characterised in that the provided setting inputs (S_i) are simultaneously assigned to a plurality of circuit components which are identical to one another and which each comprise a first and second store (S, S*), a first and second decoder (D, D*), a frequency divider, a first group and second group of AND-gates, and a first and second OR-gate, and that the respective output of the second OR-gate (0) is identical to the sound signal output (AU) of one of the provided channels (V_i) of the switching circuit.

Revendications

1. Circuit numérique à semi-conducteur pour un orgue électronique, possédant un nombre d'entrées de commande correspondant au nombre des touches du clavier de l'orgue et alimentées à travers le clavier, ainsi qu'un nombre d'entrées de signaux de note, alimentées en oscillations électriques périodiques par un système d'oscillateurs, circuit dans lequel une entrée de commande est coordonnée chaque fois de façon fixe à une touche du clavier et une entrée de signal de note est coordonnée chaque fois de façon fixe à une fréquence audible de l'octave la plus haute de l'orgue, dans lequel les signaux de commande, à appliquer aux entrées de commande au moyen des touches du clavier, correspondent aux niveaux logiques "1" et "0", dans lequel, en outre, les différentes entrées de commande sont coordonnées chacune à une cellule d'un registre à décalage, commandé de façon rythmée et fonctionnant comme un convertisseur parallèle-série, et la sortie des signaux du registre à décalage, comme les impulsions de rythme destinées à son fonctionnement, sont prévues pour la commande d'un circuit de commutation, lequel présente la totalité des entrées de signaux de note, de même que la totalité des sorties de signaux de note - commandant chacune un formateur d'amplitude et dont le nombre est inférieur à celui des entrées de commande -, dans lequel, en plus, deux mémoires sont associées à chacune des sorties des signaux de note et chacune de ces mémoires est suivie d'un décodeur, la totalité des formateurs d'amplitude étant destinée à la commande d'au moins un transducteur électroacoustique, dans lequel, en plus, le chargement de la paire de mémoires associées aux différentes sorties des signaux de note,

chargement qui s'effectue à travers un compteur d'adresses de note alimenté en impulsions de comptage par les impulsions de rythme de décalage du registre à décalage, est agencé de manière que la première mémoire et le premier décodeur monté à sa suite soient chargés de l'interprétation du nom de la note, et de manière que la seconde mémoire, ainsi que le second décodeur monté à sa suite, soient chargés de l'interprétation de l'octave de l'information de note provenant du clavier de l'orgue et attribuée au signal de note concerné, en raison de l'action du circuit de commutation, dans lequel, en plus, chacune des sorties du premier décodeur, coordonné aux différents signaux de note, est réunie à l'une des entrées de signaux de note prévues, et chacune de ces entrées de signaux de note est réunie à l'une des sorties prévues sur le premier décodeur, chaque fois à travers une porte ET appartenant à un premier groupe de portes ET, les sorties du premier groupe de portes ET étant réunies par une première porte OU commune, et dans lequel, enfin, la première partie OU commande un diviseur de fréquence, de même que - en partie par l'intermédiaire de ce diviseur de fréquence - un second groupe de portes ET, dans lequel la seconde entrée des différentes portes ET est alimentée par les différentes sorties du second décodeur, caractérisé en ce que le nombre t des étages (FF) dans le diviseur de fréquence (TT) est au moins égal au nombre q des octaves prévues dans le clavier (M) de l'orgue et le nombre u des portes ET (U_s+) prévues dans le second groupe de portes ET (U_s+) est plus grand que le nombre q des octaves prévues dans le clavier (M) de l'orgue, que, en outre, toutes les portes ET (U_s+) du second groupe présentent une troisième entrée de signaux et que, enfin, pour l'alimentation des troisièmes entrées de signaux de ces portes ET (U_s+), il est prévue au moins une entrée de réglage (S_i) que le musicien, au moyen d'un commutateur, peut appliquer au niveau logique "1".

2. Circuit selon la revendication 1, caractérisé en ce que le nombre u des portes ET (U_s+) du second groupe est égal au produit du nombre total q des sorties du second décodeur (D*) et du nombre total p des entrées de réglage (S_i), que, en outre, le même nombre de ces portes ET (U_s+) est connecté à chacune des entrées de réglage (S_i) et que, enfin, le nombre p des entrées de réglage (S_i) est accordé au nombre t des étages diviseurs (FF) prévus dans le diviseur de fréquence (TT), de manière que p - 2 = t - q et que, en plus, le même nombre u : q de portes ET (U_s+) du second groupe est coordonné à chacune des q sorties du second décodeur (D*).

3. Circuit selon la revendication 1 ou 2, caractérisé en ce que l'interconnexion des sorties de la première porte OU (0) et des étages (FF) du diviseur de fréquence (TT), des différentes sorties du second décodeur (D*) et des différentes entrées de réglage (S_i), par les portes ET (U_s*) prévues du second groupe, est réalisée de manière qu'à l'apparition d'un "1" sur l'une des sorties (1-5) du décodeur (D*), un signal de note arrive à la sortie de la seconde porte OU (0*), commandée par les sorties de la totalité des portes ET (U_s+) du second groupe, signal dont la fréquence est d'autant plus basse que le numéro de la sortie de décodeur concernée (1-5) et le numéro (i) de l'entrée de reglage (S_i), permettant l'apparition de ce signal de note, sont élevés.

4. Circuit selon les revendications 2 et 3, caractérisé en ce que la sortie de la première porte OU (0) est interconnectée uniquement avec la sortie (1) du second décodeur (D*) coordonnée à l'octave la plus haute du clavier (M) et avec l'entrée de réglage (S_1) ayant le numéro le plus bas et que la sortie du dernier étage (FF) du diviseur de fréquence (TT) est interconnectée uniquement avec la sortie (5) du second décodeur (D*) coordonnée à l'octave la plus basse du clavier (M) et avec l'entrée de réglage (S_3) ayant le numéro le plus élevé, que, en outre, la sortie du premier étage (FF) du diviseur de fréquence (TT), de même que la sortie de l'avant-dernier étage (FF) du diviseur de fréquence (TT), sont interconnectés chacun avec deux sorties du second décodeur (D*), ainsi qu'avec deux entrées de réglage, tandis que les sorties des étages (FF) restants du diviseur (TT) sont interconnectées chaque fois avec trois sorties du second diviseur (D*), ainsi qu'avec trois entrées de réglage (S_i), une seule porte ET (U_s+) du second groupe étant comprise chaque fois dans l'interconnexion entre l'une des sorties de décodeur (1-5), l'une des sorties de réglage (S_i) participantes et la sortie de l'étage de diviseur (FF) concerné, que, en outre, la coordination entre les différentes sorties (1-5) du décodeur (D*) et les entrées de réglage (S_i) participant à l'interconnexion en question, est choisie de manière que le numéro de la sortie de décodeur reliée à la sortie en question du diviseur (TT) soit d'autant plus élevé, et que, par suite, l'octave du clavier (M) coordonnée à la sortie de décodeur en question est d'autant plus basse, que le numéro (i) de l'entrée de réglage (S_i) reliée à elle est élevé et que, enfin, les sorties du second décodeur, interconnectées par des portes ET avec la sortie de l'étage de diviseur en question, sont coordonnées chaque fois à une série cohérente des octaves du clavier (M), qui sont d'autant plus basses que l'étage de diviseur concerné est éloigné de l'entrée du diviseur (TT) alimentée par la seconde porte OU (0).

5. Circuit selon une des revendications 1 à 4, caractérisé en ce que les interconnexions, réalisées chaque fois à travers une porte ET (U_s+) du second groupe, entre les sorties des différents étages de diviseur (FF), ainsi que les différentes sorties du second décodeur (D*) et les entrées de réglage (S_i) prévues, sont toutes différentes entre elles et que les entrées de réglage (S_i) prévues sont utilisables individuellement et conjointement.

6. Circuit selon une des revendications 1 à 5, caractérisé en ce que les entrées de reglage (S_i) prévues sont coordonnées simultanément à

plusieurs parties de circuit qui sont identiques entre elles et comportent chacune une première et une seconde mémoire (S, S*), un premier et un second décodeur (D, D*), un diviseur de fréquence, un premier et un second groupe de portes ET, de même qu'une première et une seconde porte OU, et que la sortie correspondante de la seconde porte OU (0) est identique à la sortie de signal de note (AU) de chacun des canaux (V_i) prévus du circuit de commutation.

FIG 1

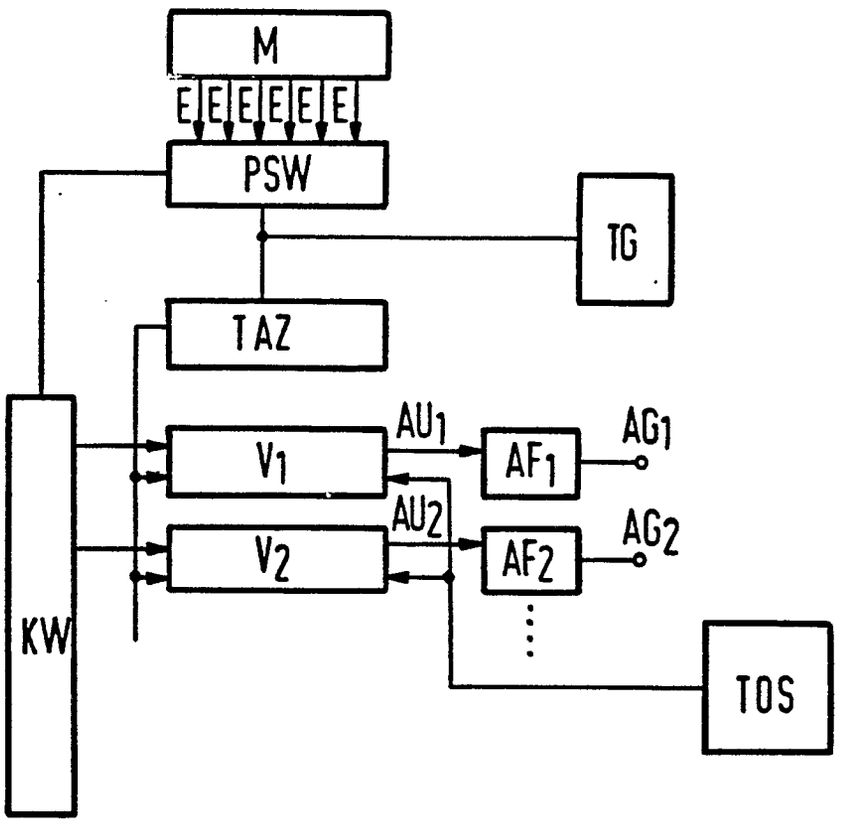


FIG 2

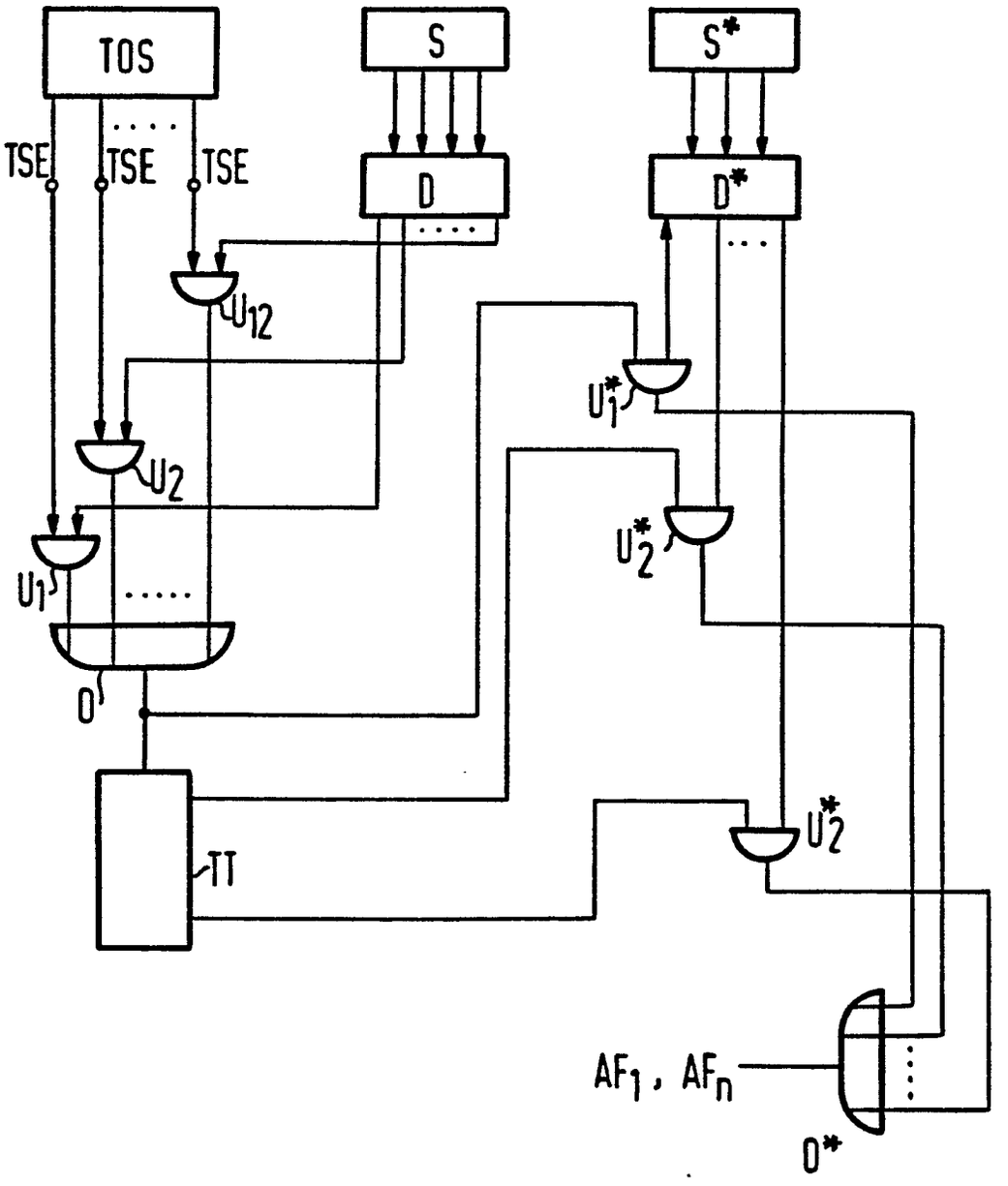
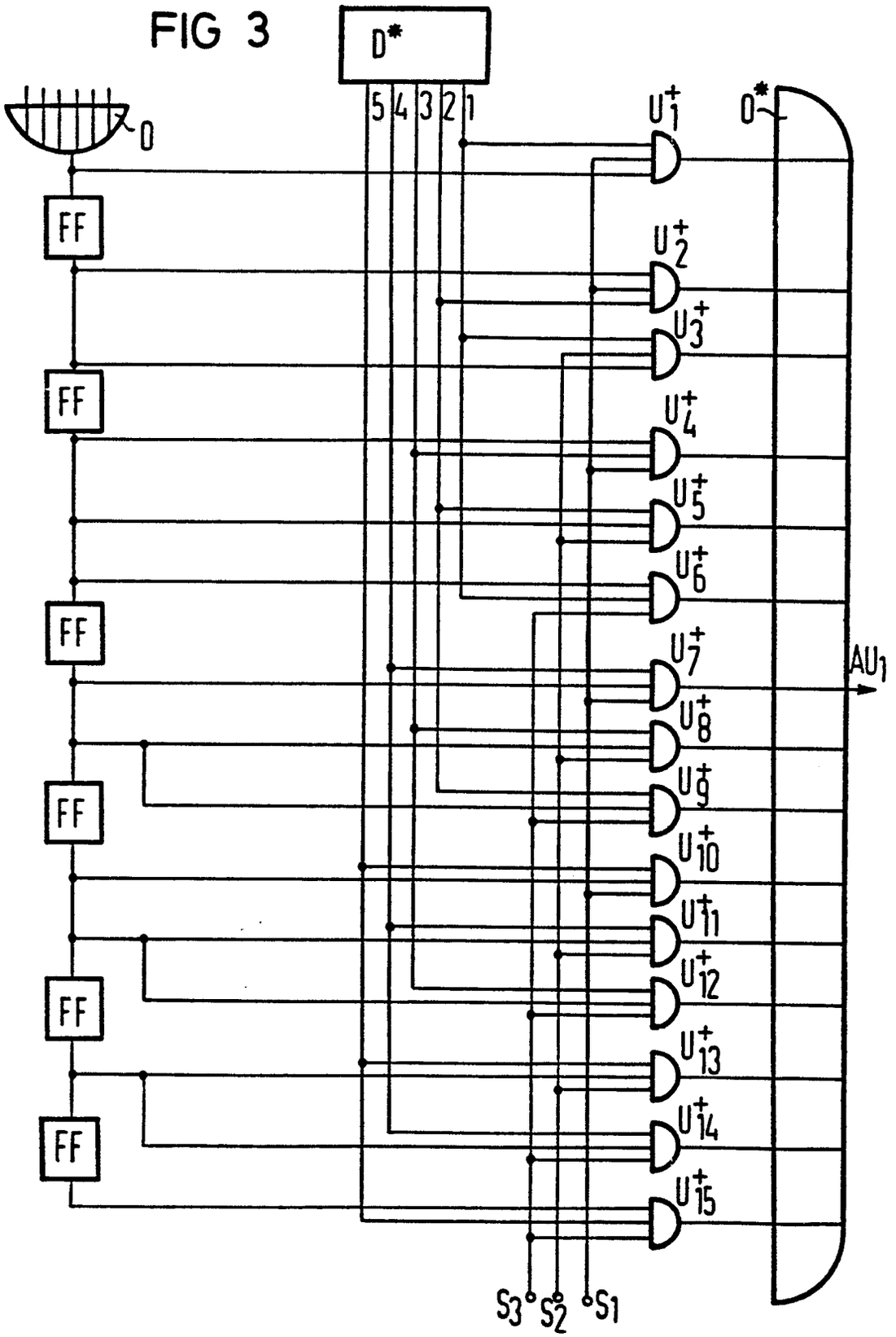


FIG 3


D*
5 4 3 2 1
0
FF
FF
FF
FF
FF
U_1^+
U_2^+
U_3^+
U_4^+
U_5^+
U_6^+
U_7^+
U_8^+
U_9^+
U_{10}^+
U_{11}^+
U_{12}^+
U_{13}^+
U_{14}^+
U_{15}^+
0*
AU_1
S_3 S_2 S_1