

(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

(11)

Veröffentlichungsnummer : **0 054 645**  
**B1**

(12)

## EUROPÄISCHE PATENTSCHRIFT

(45)

Veröffentlichungstag der Patentschrift :  
**09.10.85**

(51)

Int. Cl.<sup>4</sup> : **H 01 P 1/15, H 03 K 17/74**

(21)

Anmeldenummer : **81108177.7**

(22)

Anmeldetag : **09.10.81**

(54)

**PIN-Dioden-Schalter.**

(30)

Priorität : **18.12.80 DE 3047869**

(43)

Veröffentlichungstag der Anmeldung :  
**30.06.82 Patentblatt 82/26**

(45)

Bekanntmachung des Hinweises auf die Patenterteilung : **09.10.85 Patentblatt 85/41**

(84)

Benannte Vertragsstaaten :  
**AT NL**

(56)

Entgegenhaltungen :  
**JP-A-53 136 952**  
**US-A- 3 775 708**  
**US-A- 3 859 609**  
**Patent Abstracts of Japan Band 2, Nr. 13, 28. Januar 1978 Seite 10590E77**  
**Patent Abstracts of Japan Band 4, Nr. 157, 4. November 1980 Seite 167E32**  
**Patent Abstracts of Japan Band 3, Nr. 9, 26. Januar 1979 Seite 116E86**  
**ELEKTRONIK PRAXIS, Nr. 12, Dezember 1972 E. RENZ "Was wissen Sie über pin-Dioden?" Seiten 14, 16, 18, 20, 22**

(73)

Patentinhaber : **Siemens Aktiengesellschaft**  
**Berlin und München Wittelsbacherplatz 2**  
**D-8000 München 2 (DE)**

(72)

Erfinder : **Wondrowitz, Manfred**  
**Annette-Kolb-Anger 15**  
**D-8000 München 83 (DE)**

**EP 0 054 645 B1**

Anmerkung : Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die Erfindung betrifft einen PIN-Dioden-Schalter mit hoher Sperrdämpfung, der zwischen einem Eingang für das zu schaltende Signal und einem Ausgang eine Anordnung zweier in Serie geschalteter Vierpole, die eine Phasendrehung des zu schaltenden Signals von  $90^\circ$  bei der Betriebsfrequenz vornehmen, aufweist, bei der als Querzweig zwischen der Verbindung der beiden Vierpole und einer

5 gemeinsamen Masseleitung eine PIN-Diode eingeschaltet ist.

Im Bereich höherer Frequenzen werden für Schaltaufgaben häufig PIN-Dioden eingesetzt. PIN-Dioden besitzen einen für HF wirksamen Widerstand, dessen Größe von der Stärke eines eingepprägten Steuergleichstromes abhängt. Fließt durch die PIN-Diode kein Gleichstrom, dann besitzt sie lediglich eine geringe, sehr verlustarme Kapazität ohne parametrische Effekte. Die Kapazität ist von der angelegten HF-

10 Spannung unabhängig.

Beim Anlegen einer Gleichspannung in Flußrichtung fließt ein Diodenstrom, der zur Folge hat, daß der HF-Diodenwiderstand auf sehr kleine Werte in der Größenordnung kleiner als 1 Ohm absinkt.

Im allgemeinen stellt man an Schalter Forderungen nach möglichst kleinen Verlusten im durchgeschalteten Zustand und einer möglichst hohen Sperrdämpfung. Bei höheren Frequenzen liegen PIN-Dioden im allgemeinen parallel zum Verbraucher. Da der Durchlaßwiderstand der durchgeschalteten PIN-Diode in der Größenordnung zwischen 0,5 und 1 Ohm liegt, werden geforderte Werte für die Sperrdämpfung in der Praxis meist nicht mit einer einzelnen Diode erreicht, sondern es sind Netzwerke aus PIN-Dioden erforderlich. Als Grundschaltung sind Netzwerke mit drei PIN-Dioden, die als  $\pi$ -Glieder oder T-Glieder (elektronikpraxis, Nr. 12, Dezember 1972, S. 14 bis 22) geschaltet sind, bekannt. Besonders

20 nachteilig ist es, daß der Schaltzustand der Dioden im Längszweig immer ein anderer sein muß als der Schaltzustand der Dioden in den Querzweigen des  $\pi$ - oder T-Gliedes. Es sind daher zur Ansteuerung getrennte Gleichstromkreise mit entsprechenden Abblockkondensatoren erforderlich. Bei hohen Frequenzen ist eine breitbandige Kompensation dieser Elemente schwierig, so daß man nur sehr schmalbandig wirksame Schaltungen erhält.

25 Ein PIN-Diodenschalter mit hoher Dämpfung ist aus JP-A-52 12963 bekannt. Der PIN-Dioden-Schalter besteht im wesentlichen aus zwei in Serie geschalteten  $\lambda/4$ -Leitungen und einer PIN-Diode, die vom Verbindungspunkt der  $\lambda/4$ -Leitungen nach Masse geschaltet ist.

Für Mikrowellenschalter werden auch Diodenkette verwendet, bei denen mehrere PIN-Dioden über sog. invertierende Glieder (Vierpole) — im Mikrowellenbereich sind diese vorzugsweise  $\lambda/4$ -Leitungen — miteinander verkoppelt sind. Die « invertierenden » Glieder drehen die Phase der Spannung um  $90^\circ$  bei der Betriebsfrequenz. Hier liegen alle Dioden einseitig auf Masse und haben untereinander immer den gleichen Schaltzustand (a.a.O. elektronikpraxis, US-A-3 859 609).

Wenn alle Dioden Strom führen, stellen sie für Hochfrequenz einen niederohmigen Widerstand dar, so daß der Schalter sperrt. Auf Grund der invertierenden Glieder zwischen den Dioden addieren sich die Dämpfungen der einzelnen Dioden. Bei drei PIN-Dioden ergibt sich eine rechnerische Sperrdämpfung von ca. 75 dB bei 25 dB pro Diode. Dieser Wert wird allerdings praktisch nie erreicht, weil parasitäre Reaktanzen und Verkopplungen über die Leitung zu einer Reduzierung der Sperrdämpfung führen. Weiter ist zu berücksichtigen, daß die elektrisch wirksame Länge der Leitungen zwischen den Dioden frequenzabhängig ist. Dadurch erhält das Netzwerk Bandsperrencharakter, d. h. die Sperrdämpfung

40 nimmt, von einem maximalen Wert bei der Mittelfrequenz ausgehend, nach beiden Richtungen ab.

Als weitere Nachteile von herkömmlichen PIN-Dioden-Netzwerken sind noch zu nennen :

Beim Schaltungsaufwand fällt besonders die Zahl der erforderlichen PIN-Dioden ins Gewicht. Zur Durchschaltung mehrerer PIN-Dioden ist eine höhere Gleichstromleistung erforderlich. Die HF-Verluste im offenen Zustand des Schalters steigen an.

45 Aufgabe der Erfindung ist es, einen PIN-Dioden-Schalter anzugeben, der bei geringem Schaltungsaufwand eine hohe Sperrdämpfung und eine geringe Durchlaßdämpfung aufweist.

Die Aufgabe wird erfindungsgemäß dadurch gelöst, daß zwischen dem Eingang und dem Ausgang ein Kompensationsnetzwerk zur Kompensation der bei leitender PIN-Diode vom Eingang an den Ausgang gelangenden Restspannung eingeschaltet ist.

50 Die Schaltung wird besonders einfach, wenn die beiden Vierpole  $\lambda/4$ -Leitungen sind.

Der Erfindung liegt die Erkenntnis zugrunde, daß eine höhere Sperrdämpfung durch Kompensation möglich ist. Die Schaltungsanordnung ist besonders einfach und platzsparend. Die PIN-Diode ist zwischen zwei  $\lambda/4$ -Leitungen eingeschaltet. Parallel zu den  $\lambda/4$ -Leitungen ist ein Kompensationsnetzwerk geschaltet. Mit dieser Anordnung wird eine weitaus höhere Sperrdämpfung als 25 dB erreicht.

55 Die HF-Verluste sind gegenüber Diodennetzwerken im allgemeinen geringer. Bei Schichtschaltungen sinkt der Flächenbedarf und eine Kompensation von unerwünschten Diodenreaktanzen ist zum großen Teil möglich.

Vorteilhaft ist es, daß die  $\lambda/4$ -Leitungen und das Kompensationsnetzwerk eine gemeinsame Masseleitung haben. Durch diese Maßnahmen wird der Diodenschalter und das Kompensationsnetzwerk besonders einfach. Eine parallel zum Verbraucher geschaltete und einseitig auf Masse liegende PIN-Diode stellt oberhalb von ca. 1 GHz die wirksamste Lösung dar. Auch das Kompensationsnetzwerk wird besonders einfach.

Besonders vorteilhaft ist es, daß das Kompensationsnetzwerk aus einer Parallelschaltung eines

Kompensationswiderstandes und eines Kompensationskondensators im Längszweig besteht. Durch diese einfache Parallelschaltung eines Widerstandes mit einer Kapazität ist die PIN-Diode breitbandig kompensierbar.

Es ist zweckmäßig, wenn der PIN-Diodenschalter in Schichttechnik ausgeführt ist und die  $\lambda/4$ -Leitungen als gedruckte Leiterbahnen ausgeführt sind. Diese Schaltung zeichnet sich durch besonders geringen Flächenbedarf aus. Die gesamte Rückseite der gedruckten Schaltung dient als Masse.

Es ist besonders vorteilhaft, wenn die Kompensationskapazität durch eine besondere Ausgestaltung der Zuleitungen der  $\lambda/4$ -Leitungen gebildet wird. Bei dieser Ausführungsform wird die Kompensationskapazität durch eine spezielle Leitungsführung erzeugt.

Die weiteren Ausführungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Ein Ausführungsbeispiel der Erfindung wird an Hand der Figuren 1 bis 5 beschrieben.

Es zeigen :

Figur 1 das Prinzipschaltbild eines PIN-Dioden-Schalters,

Figur 2 eine Schaltungsanordnung zur Kompensation der PIN-Diode,

Figur 3 ein Ausführungsbeispiel des PIN-Dioden-Schalters,

Figur 4 ein Ausführungsbeispiel zur breitbandigen Kompensation und

Figur 5 ein Dämpfungsdiagramm zur breitbandigen Kompensation.

Fig. 1 zeigt das Prinzipschaltbild eines PIN-Dioden-Schalters. Ein Generator G mit dem Innenwiderstand  $Z_i$  ist über einen Entkopplungskondensator  $C_{E1}$  an eine Leitung L angeschlossen. Der Generator G symbolisiert hier die Quelle eines zu schaltenden Signals.

Über einen zweiten Entkopplungskondensator  $C_{E2}$  ist der Abschlußwiderstand  $Z_v$  am anderen Ende der Leitung L angeschlossen. Die PIN-Diode D ist zwischen der Leitung L und Masse parallel zum Verbraucher  $Z_v$  bzw. parallel zum Generator G geschaltet. Das Ersatzschaltbild der PIN-Diode besteht aus einer Parallelkapazität  $C_p \approx 0,3$  pF, die parallel zu den Anschlußklemmen der PIN-Dioden liegt. Zu dieser Kapazität ist eine Reihenschaltung einer Längsinduktivität  $L_D \approx 0,4$  nH in Serie mit einer Parallelschaltung eines Durchlaßwiderstandes  $R_D \approx 1$  Ohm in Serie mit einem die ideale Diode symbolisierenden Schalter S und einer zur Serienschaltung  $R_D$ , S parallelgeschalteten weiteren Serienschaltung eines Widerstandes  $R_B \approx 5$  Ohm mit einer Kapazität  $C_S \approx 0,5$  pF angeordnet.

Eine erfindungsgemäße Anordnung ist in Fig. 2 dargestellt. Der Generator G mit dem Innenwiderstand  $Z_i$  ist über den ersten Entkopplungskondensator  $C_{E1}$  an den Eingang E einer  $\lambda/4$ -langen Leitung L1 mit dem praktisch reellen Wellenwiderstand  $Z_L$  angeschlossen. Die Leitung L1 wurde als Vierpol dargestellt, deren zweiter Eingang mit dem zweiten Anschluß des Generators G verbunden ist. Zwischen die beiden Ausgänge der Leitung L1 — dies sind die Einzelleiter L11 und L12 — ist die PIN-Diode D als Querglied angeschaltet, der eine zweite  $\lambda/4$ -Leitung L2 nachgeschaltet ist, an deren Ausgang A ein Verbraucher  $Z_v$  über einen zweiten Entkopplungskondensator  $C_{E2}$  angeschaltet ist. Parallel zu dieser Anordnung ist ein weiterer Vierpol K geschaltet, der die Kompensationsschaltung — einen zwischen Eingang E und Ausgang A der Anordnung geschalteten Kompensationswiderstand  $R_K$  enthält, dem eine Kompensationskapazität  $C_K$  parallelgeschaltet sein kann.

Die Leitungen L1 und L2 haben den Wellenwiderstand  $Z_L$ , der im allgemeinen gleich oder ähnlich dem Generatorwiderstand  $Z_i$  und dem Verbraucherwiderstand  $Z_v$  ist.

Wenn in Fig. 1 die parallel zum Verbraucher geschaltete PIN-Diode D aufgrund ihres restlichen Durchlaßwiderstandes  $R_D$  von ca. 1 Ohm und der durch ihre mechanischen Abmessungen bestimmten Längsinduktivität  $L_D$  keinen idealen Kurzschluß darstellt, bleibt am Ankoppelpunkt der Diode eine Restspannung erhalten. Vom Verbraucher aus gesehen, bewirkt diese Restspannung, daß die PIN-Diode als Quelle erscheint, die eine sich in Richtung zum Verbraucher ausbreitende Welle erzeugt. Damit ist aber die Entkopplung begrenzt.

Eine Kompensation der Restspannungsquelle — der PIN-Diode — muß möglich sein, wenn man eine genügend breitbandige Kompensationsschaltung findet, die gleichzeitig bei offener, also hochohmiger Diode den Energiefluß zum Verbraucher möglichst wenig stört. Diese Schaltung ist in Fig. 2 dargestellt und soll näher erläutert werden. Bei sperrendem PIN-Dioden-Schalter ist die Diode D leitend. Hierbei ist der Durchlaßwiderstand  $R_D$  kleiner als 1 Ohm ; die Impedanz der Längsinduktivität  $L_D$  liegt bei einer Arbeitsfrequenz von ca. 1 GHz in der gleichen Größenordnung. Die zu  $R_D$  parallelliegende Reihenschaltung des Widerstandes  $R_B$  und des Kondensators  $C_S$  wird bei diesen Betrachtungen vernachlässigt. Die am Eingang E der Leitung L1 liegende Spannung  $U_1$  entspricht betragmäßig praktisch der Leerlaufspannung des Generators G, weil die Diodenimpedanz  $X_D = R_D + j\omega L_D$  über die  $\lambda/4$ -Leitung L1 in den hochohmigen Widerstand  $Z_L^2/X_D$  transformiert wird, der die Quelle nur schwach belastet. An der Diode steht jetzt eine Spannung

$$U_D = -j [(U_1 \cdot X_D)/Z_L^2]$$

Für die Spannung  $U_2$  am Verbraucherwiderstand  $Z_v$  gilt ohne die Kompensationsschaltung K  $U_2 = -jU_D$  ; beide Spannungen  $U_D$  und  $U_2$  haben die gleiche reelle Amplitude, aber  $90^\circ$  Phasenverschiebung. Wenn zusätzlich die im Kompensationszweig liegende Kompensationsimpedanz  $X_K = Z_L^2/X_D$ , die sich aus der Parallelschaltung von  $R_K$  und  $C_K$  zu

$$X_K = [(1/R_K) + j\omega(1/C_K)]^{-1}$$

errechnet, angeschaltet wird, überlagern sich am Verbraucher die Spannung  $U_D$  und die über das Kompensationsnetzwerk K gelangende Spannung  $U_{K0}$ . Diese ist wegen der Phasenverdrehung der  $\lambda/4$ -Leitungen L1, L2 um  $180^\circ$  gegen über der Spannung des Hauptweges in der Phase gedreht. Die resultierende Spannung  $U_2$  am Verbraucherwiderstand  $Z_V$  wird 0, wenn die Bedingung

$$X_K = Z_L^2/X_D$$

erfüllt ist.

Bei leitendem PIN-Dioden-Schalter ist die PIN-Diode gesperrt, also hochohmig. Das entspricht dem geöffneten Schalter S in Fig. 1. Der im Nebenweg liegende Widerstand  $R_K$  in Fig. 2 beeinflusst jetzt die Durchlaßdämpfung, da ein kleiner Anteil der Generatorleistung in ihm verbraucht wird. Da die Spannungen  $U_1$  und  $U_2$  gegeneinander um  $180^\circ$  phasenverschoben sind, liegt an den Klemmen der Kompensationsimpedanz  $X_K$  die Spannung  $U_K = 2 \cdot U_1$  an. Die durch  $R_K$  bei Vernachlässigung von  $L_K$  verursachte Zusatzdämpfung beträgt mit

$$R_K = Z_L^2/R_D$$

$$a/dB = 10 \log [(1 - 4) \cdot (Z \cdot R_D/Z_L^2)]$$

mit  $Z = Z_1 = Z_V$ . Bei einem Abschlußwiderstand  $Z_V = 50$  Ohm ergibt sich eine Durchlaßdämpfung  $a = \text{ca. } 0,3$  dB.

Ist die Längsinduktivität  $L_D$  der PIN-Diode zu berücksichtigen, so kann sie durch den Kompensationskondensator  $C_K$  weitgehend kompensiert werden.

Die Fig. 3 zeigt den Aufbau des erfindungsgemäßen PIN-Dioden-Schalters in Schichttechnik. Die PIN-Diode D ist hier in der Bauform. « Chip auf Niete » eingesetzt. L1 und L2 stellen die  $\lambda/4$ -Leitungen dar. Zur Kompensation der Diodenreaktanzen dienen der Kompensationswiderstand  $R_K$  und der Kompensationskondensator  $C_K$ . Der Kompensationskondensator  $C_K$  kann durch eine spezielle Leitungsführung nachgebildet werden, bei der die Leitungen L1 und L2 symmetrisch ausgebildet sind und sich beim Übergang in die Zuleitungen Z1 und Z2 einander annähern. Der Eingang der Schaltung wurde entsprechend Fig. 2 mit E und der Ausgang mit A bezeichnet. Als Masse dient die Kupferkaschierung auf der Rückseite der Schichtschaltung. Mit einer solchen Anordnung ist eine Sperrdämpfung größer als 60 dB erzielbar.

Eine Variante zur Erhöhung der Bandbreite ist in Fig. 4 dargestellt. Bei dieser Anordnung wurde der Kompensationswiderstand  $R_K$  durch zwei Kompensationswiderstände  $R_{K1}$  und  $R_{K2}$  ersetzt. Die Kompensationswiderstände  $R_{K1}$  und  $R_{K2}$  sind hierbei in einem Abstand  $\Delta L_1$  kleiner als  $\lambda/4$  angeordnet. Der Abstand  $\Delta L_2$  des zweiten Kompensationswiderstandes  $R_{K2}$  zur Diode D ist ebenfalls kleiner als  $\lambda/4$ . Es ergibt sich der in Kurve 3 der Fig. 5 dargestellte Verlauf der Sperrdämpfung in Abhängigkeit von der Frequenz f. Durch Variation der Leitungslängen  $\Delta L_1$  und  $\Delta L_2$  können unterschiedlich breite Dämpfungskurven erzielt werden. Zum Vergleich wurde der Dämpfungsverlauf der Schaltungsanordnung nach Fig. 2 als Kurve 1 eingezeichnet. Die Kurve 2 zeigt den Dämpfungsverlauf der Schaltungsanordnung nach Fig. 2 bei einem Abschluß mit einem Verbraucherwiderstand  $Z_V = 50$  Ohm und einem Wellenwiderstand  $Z_L = 70$  Ohm der Leitungen L1 und L2, die Kurve 4 zeigt zum Vergleich eine unkompensierte Diode.

Abschließend soll noch auf die Möglichkeit aufmerksam gemacht werden, durch Variation des PIN-Dioden-Steuerstromes das Dämpfungsmaximum zu verschieben. Dies ist dadurch möglich, daß der HF-Widerstand der PIN-Diode vom Steuerstrom abhängig ist. Auf diese Weise ist es ähnlich wie bei der Änderung der Leitungslänge  $\Delta L_2$  möglich in einem bestimmten Frequenzbereich durch Einstellen des PIN-Dioden-Steuerstromes optimale Dämpfungswerte zu erreichen.

## Patentansprüche

1. PIN-Dioden-Schalter mit hoher Sperrdämpfung, der zwischen einem Eingang (E) für das zu schaltende Signal ( $U_1$ ) und einem Ausgang (A) eine Anordnung zweier in Serie geschalteter Vierpole (L1, L2), die eine Phasendrehung des zu schaltenden Signals von  $90^\circ$  bei der Betriebsfrequenz vornehmen, aufweist, bei der als Querzweig zwischen der Verbindung der Beiden Vierpole (L1, L2) und einer gemeinsamen Masseleitung (L12) eine PIN-Diode (D) eingeschaltet ist, dadurch gekennzeichnet, daß zwischen dem Eingang (E) und dem Ausgang (A) ein Kompensationsnetzwerk (K) zur Kompensation der bei leitender PIN-Diode (D) vom Eingang (E) an den Ausgang (A) gelangenden Restspannung eingeschaltet ist.

2. PIN-Dioden-Schalter nach Patentanspruch 1, bei dem die beiden Vierpole (L1, L2)  $\lambda/4$ -Leitungen sind.

3. PIN-Dioden-Schalter nach Anspruch 2, dadurch gekennzeichnet, daß die  $\lambda/4$ -Leitungen (L1, L2) und das Kompensationsnetzwerk (K) eine gemeinsame Masseleitung (L12) haben.

4. PIN-Dioden-Schalter nach Anspruch 1, 2 oder 3, dadurch gekennzeichnet, daß das Kompensa-

tionsnetzwerk aus einer Parallelschaltung eines Kompensationswiderstandes ( $R_K$ ) und eines Kompensationskondensators ( $C_K$ ) im Längszweig besteht.

5 5. PIN-Dioden-Schalter nach Anspruch 4 und Anspruch 2 oder 3, dadurch gekennzeichnet, daß der Kompensationskondensator ( $C_K$ ) durch eine besondere Ausgestaltung der Zuleitungen (Z1, Z2) der  $\lambda/4$ -Leitungen (L1, L2) gebildet wird.

6. PIN-Dioden-Schalter nach Anspruch 5, dadurch gekennzeichnet, daß der Kompensationskondensator ( $C_K$ ) durch Annäherung der Zuleitungen (Z1, Z2) gegeneinander und der  $\lambda/4$ -Leitungen (L1, L2) gegeneinander im Verbindungsbereich zwischen Zuleitungen (Z1, Z2) und  $\lambda/4$ -Leitungen (L1, L2) gebildet wird.

10 7. PIN-Dioden-Schalter nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß zur Erhöhung der Bandbreite zwei Kompensationswiderstände ( $R_{K1}$ ,  $R_{K2}$ ) vorgesehen sind, von denen der erste ( $R_{K1}$ ) Eingang (E) und Ausgang (A) miteinander verbindet und der zweite ( $R_{K2}$ ) zwei jeweils in einem Abstand ( $\Delta L_1$ ) kleiner als  $\lambda/4$  vom Eingang (E) bzw. Ausgang (A) entfernte Punkte der  $\lambda/4$ -Leitungen miteinander verbindet, so daß der Abstand ( $\Delta L_2$ ) zwischen der PIN-Diode (D) und dem zweiten Kompensationswiderstand kleiner als  $\lambda/4$  ist (Fig. 4).

8. PIN-Dioden-Schalter nach Anspruch 2 oder einem der davon abhängigen Ansprüche, dadurch gekennzeichnet, daß der PIN-Dioden-Schalter in Schichttechnik ausgeführt ist und die  $\lambda/4$ -Leitungen (L1, L2) als gedruckte Leiterbahnen ausgeführt sind.

9. PIN-Dioden-Schalter nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Einrichtung zur Änderung des PIN-Dioden-Steuerstromes vorgesehen ist, durch die das Dämpfungsmaximum innerhalb eines bestimmten Frequenzbereichs verschiebbar ist.

10. PIN-Dioden-Schalter nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mindestens eine weitere, insbesondere zwei weitere PIN-Dioden im Abstand von  $\lambda/4$  zur (ersten) PIN-Diode (D) bzw. zueinander angeordnet sind und das Kompensationsnetzwerk (K) diese Anordnung zwischen dem Eingang (E) und dem Ausgang (A) insgesamt überbrückt.

11. PIN-Dioden-Schalter nach Anspruch 2 oder einem der davon abhängigen Ansprüche, dadurch gekennzeichnet, daß zur Vergrößerung der Bandbreite der an den Ausgang (A) angeschlossene Verbraucherwiderstand ( $Z_V$ ) zu dem Wellenwiderstand ( $Z_L$ ) der  $\lambda/4$ -Leitungen (L1, L2) fehlangepaßt ist.

12. Serienschaltung von mehreren PIN-Dioden-Schaltern nach einem der Ansprüche 1 bis 10.

13. Serienschaltung nach Anspruch 12, dadurch gekennzeichnet, daß sie in Schichtschaltung ausgeführt ist.

## Claims

35

1. A PIN-diode switch having a high blocking attenuation, and an arrangement of two series-connected four-poles (L1, L2) between an input (E) for the signal (U1) to be switched and an output (A), which effect a phase rotation of the signal to be switched, through  $90^\circ$  at the operating frequency, wherein a PIN-diode (D) is inserted as a shunt arm between the connection of the two four-poles (L1, L2) and a common earth line (L12), characterised in that a compensation network (K) is inserted between the input (E) and the output (A) for compensating the residual voltage fed from the input (E) to the output (A) in the case of a conducting PIN-diode (D).

40

2. A PIN-diode switch as claimed in Claim 1, wherein the two four-poles (L1, L2) are  $\lambda/4$  lines.

3. A PIN-diode switch as claimed in Claim 2, characterised in that the  $\lambda/4$  lines (L1, L2) and the compensation network (K) have a common earth line (L12).

45

4. A PIN-diode switch as claimed in Claim 1, 2 or 3, characterised in that the compensation network consists of a parallel circuit of a compensation resistor ( $R_K$ ) and a compensation capacitor ( $C_K$ ) in the longitudinal branch.

5. A PIN-diode switch as claimed in Claim 4 and Claim 2 or 3, characterised in that the compensation capacitor ( $C_K$ ) is formed by a specific design of the supply lines (Z1, Z2) of the  $\lambda/4$  lines (L1, L2).

50

6. A PIN-diode switch as claimed in Claim 5, characterised in that the compensation capacitor ( $C_K$ ) is formed by approximating the supply lines (Z1, Z2) relative to one another and the  $\lambda/4$  lines (L1, L2) relative to one another in the connection region between supply lines (Z1, Z2) and  $\lambda/4$  lines (L1, L2).

7. A PIN-diode switch as claimed in Claim 2 or 3, characterised in that two compensation resistors ( $R_{K1}$ ,  $R_{K2}$ ) are provided in order to increase the band width, the first ( $R_{K1}$ ) of which connects input (E) and output (A) to one another and the second ( $R_{K2}$ ) mutually connects two points of the  $\lambda/4$  lines which are respectively spaced from the input (E) and output (A) at a distance ( $\Delta L_1$ ) smaller than  $\lambda/4$ , so that the distance ( $\Delta L_2$ ) between the PIN-diode (D) and the second compensation resistor is smaller than  $\lambda/4$ . (Fig. 4).

55

8. A PIN-diode switch as claimed in Claim 2 or one of the Claims dependent thereon, characterised in that the PIN-diode switch is constructed in layer technology and the  $\lambda/4$  lines (L1, L2) are constructed as printed conductor paths.

60

9. A PIN-diode switch as claimed in one of the preceding Claims, characterised in that a device is provided for changing the PIN-diode control current, by means of which the attenuation maximum is displaceable within a specific frequency range.

65

10. A PIN-diode switch as claimed in one of the preceding Claims, characterised in that there is at least one further PIN-diode, in particular two further PIN-diodes, arranged at the distance of  $\lambda/4$  to the first PIN-diode (D) or to one another, as the case may be, and the compensation network (K) totally bridges the arrangement between the input (E) and the output (A).
- 5 11. A PIN-diode switch as claimed in Claim 2 or one of the dependent Claims, characterised in that the load resistance ( $Z_L$ ) connected to the output (A) is mismatched to the surge impedance ( $Z_0$ ) of the  $\lambda/4$  lines (L1, L2) in order to increase the band-width.
12. A series connection of plurality of PIN-diode switches as claimed in one of Claims 1 to 10.
- 10 13. A series connection as claimed in Claim 12, characterised in that it is designed as a layer connection circuit.

## Revendications

- 15 1. Commutateur à diode PIN présentant un affaiblissement de blocage élevé, qui comporte entre une entrée (E) pour le signal (U1) devant être commuté et une sortie (A), un dispositif formé de deux quadripôles (L1, L2) branchés en série et qui réalisent, pour la fréquence de service, une rotation de phase de  $90^\circ$  du signal devant être commuté, et dans lequel une diode PIN (D) est montée en tant que
- 20 branche transversale, entre la liaison des deux quadripôles (L1, L2) et un conducteur de masse commun, caractérisé par le fait qu'entre l'entrée (E) et la sortie (A) se trouve branché un réseau de compensation (K) servant à compenser la tension résiduelle parvenant de l'entrée (E) à la sortie (A) lorsque la diode PIN (D) est conductrice.
2. Commutateur à diode PIN suivant la revendication 1, dans lequel les deux quadripôles (L1, L2) sont des lignes  $\lambda/4$ .
- 25 3. Commutateur à diode PIN suivant la revendication 2, caractérisé par le fait que les lignes  $\lambda/4$ , (L1, L2) et le réseau de compensation (K) possèdent un conducteur de masse commun (L12).
4. Commutateur à diode PIN suivant la revendication 1, 2 ou 3, caractérisé par le fait que le réseau de compensation est constitué par un montage parallèle d'une résistance de compensation ( $R_K$ ) et d'un condensateur de compensation ( $C_K$ ) dans la branche longitudinale.
- 30 5. Commutateur à diode PIN suivant la revendication 4 et la revendication 2 ou 3, caractérisé par le fait que le condensateur de compensation ( $C_K$ ) est formé par un agencement particulier des conducteurs d'alimentation (Z1, Z2) des lignes  $\lambda/4$  (L1, L2).
6. Commutateur à diode PIN suivant la revendication 5, caractérisé par le fait que le condensateur de compensation ( $C_K$ ) est formé par rapprochement réciproque des conducteurs d'alimentation (Z1, Z2) et
- 35 par rapprochement réciproque des lignes  $\lambda/4$  (L1, L2), dans la zone de jonction entre les conducteurs d'alimentation (Z1, Z2) et les lignes  $\lambda/4$  (L1, L2).
7. Commutateur à diode PIN suivant la revendication 2 ou 3, caractérisé par le fait qu'en vue d'accroître la largeur de bande, il est prévu deux résistances de compensation ( $R_{K1}$ ,  $R_{K2}$ ), dont la première ( $R_{K1}$ ) raccorde entre elles l'entrée (E) et la sortie (A) et dont la seconde ( $R_{K2}$ ) relie entre eux
- 40 deux points des lignes  $\lambda/4$ , éloignés d'une distance ( $\Delta L_1$ ) inférieure à  $\lambda/4$  par rapport à l'entrée (E) et à la sortie (A), de telle sorte que la distance ( $\Delta L_2$ ) entre la diode PIN (D) et la seconde résistance de compensation est inférieure à  $\lambda/4$ . (figure 4).
8. Commutateur à diode PIN suivant la revendication 2 ou l'une des revendications dépendantes de cette revendication, caractérisé par le fait que le commutateur à diode PIN est réalisé suivant la technique
- 45 à couches et que les lignes  $\lambda/4$  (L1, L2) sont réalisées sous la forme de voies conductrices imprimées.
9. Commutateur à diode PIN suivant l'une des revendications précédentes, caractérisé par le fait qu'il est prévu un dispositif pour modifier le courant de commande de la diode PIN au moyen de laquelle le maximum de l'affaiblissement peut être décalé à l'intérieur d'une plage prédéterminée de fréquences.
10. Commutateur à diode PIN suivant l'une des revendications précédentes, caractérisé par le fait
- 50 qu'une autre diode et notamment deux autres diodes PIN sont disposées à une distance  $\lambda/4$  par rapport à la (première) diode PIN (D) ou entre elles et que le réseau de compensation (K) shunte l'ensemble de ce dispositif entre l'entrée (E) et la sortie (A).
11. Commutateur à diode PIN suivant la revendication 2 ou l'une des revendications dépendantes de cette revendication, caractérisé par le fait que pour accroître la largeur de bande, la résistance
- 55 d'utilisation ( $Z_U$ ) raccordée à la sortie (A) est désadaptée par rapport à l'impédance caractéristique ( $Z_0$ ) des lignes  $\lambda/4$  (L1, L2).
12. Circuit-série formé de plusieurs commutateurs de diodes PIN suivant l'une des revendications 1 à 10.
13. Circuit-série suivant la revendication 12, caractérisé par le fait qu'il est réalisé sous la forme d'un
- 60 circuit à couches.

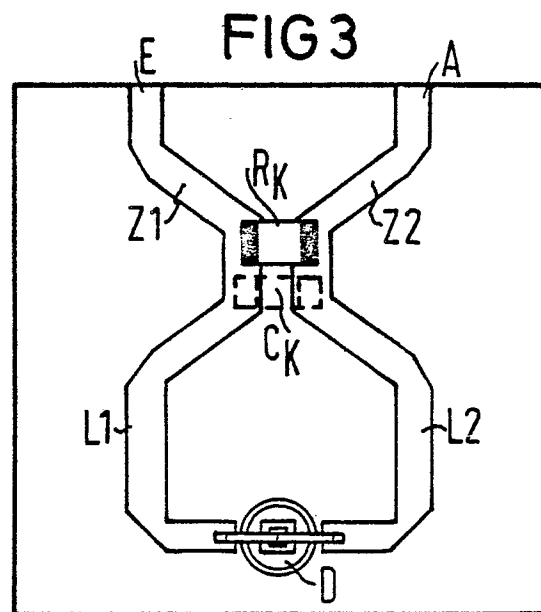
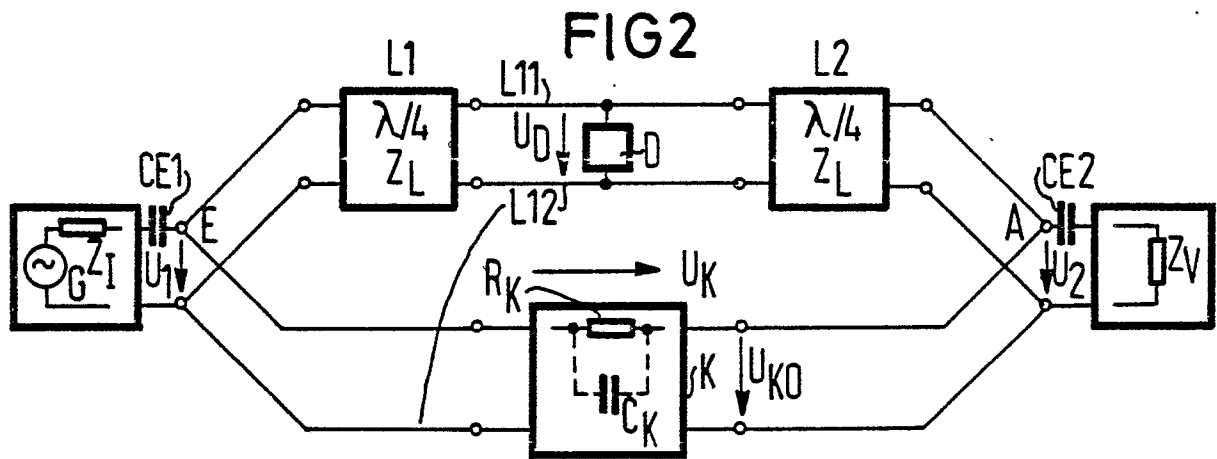
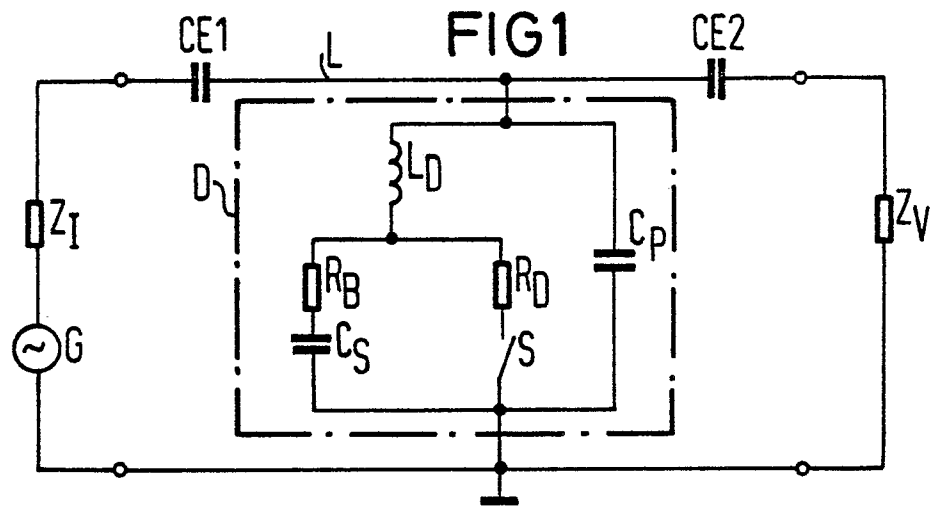


FIG 4

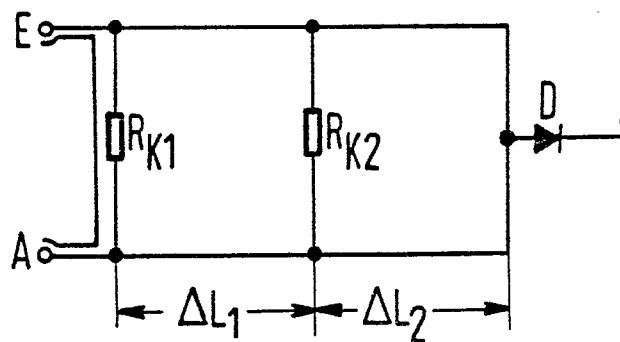


FIG 5

