

12

EUROPÄISCHE PATENTANMELDUNG

Anmeldenummer: **82107719.5**

Int. Cl.³: **G 06 G 7/186**

Anmeldetag: **23.08.82**

Priorität: **22.09.81 DE 3137708**

Anmelder: **SIEMENS AKTIENGESELLSCHAFT, Berlin und München Wittelsbacherplatz 2, D-8000 München 2 (DE)**

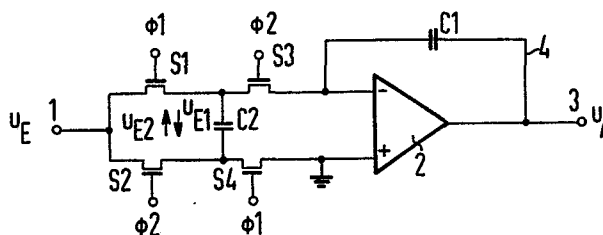
Veröffentlichungstag der Anmeldung: **30.03.83**
Patentblatt 83/13

Benannte Vertragsstaaten: **DE FR GB**

Erfinder: **Pfleiderer, Hans-Jörg, Dr., Franz-Krinninger-Weg 23, D-8011 Zorneding (DE)**

Integratorschaltung mit einem Differenzverstärker.

Die Erfindung bezieht sich auf eine Integratorschaltung mit einem kapazitiv rückgekoppelten Differenzverstärker (2) und mit einer Kapazität (C2), deren erste Elektrode über einen ersten Schalttransistor (S1) mit dem Schaltungseingang (1) und über einen zweiten Schalttransistor (S3) mit dem invertierenden Verstärkereingang verbunden ist. Angestrebt wird, daß die Schaltung der bilinearen Übertragungsfunktion genügt. Erreicht wird dies dadurch, daß die zweite Elektrode der Kapazität (C2) über einen dritten, mit dem zweiten (S3) synchron betätigbaren Schalttransistor (S2) mit dem Schaltungseingang (1) und über einen vierten mit dem ersten synchron betätigbaren Schalttransistor (S4) mit dem nichtinvertierenden Verstärkereingang verbunden ist. Der Anwendungsbereich der Erfindung umfaßt monolithisch integrierte Filterschaltungen.



Integratorschaltung

5

- Die Erfindung bezieht sich auf eine Integratorschaltung mit einem Differenzverstärker, dessen Ausgang mit dem invertierenden Verstärkereingang über einen Rückkopplungszweig verbunden ist, der eine erste Kapazität enthält, und
- 10 mit einer zweiten Kapazität, deren erste Elektrode über einen ersten, mit einer ersten Taktimpulsspannung angesteuerten Schalttransistor mit dem Schaltungseingang und über einen zweiten, mit einer zweiten Taktimpulsspannung angesteuerten Schalttransistor mit dem invertierenden
- 15 Verstärkereingang verbunden ist. Eine derartige Integratorschaltung ist beispielsweise aus dem IEEE Journal of Solid-State Circuits, Vol. SC-12, No. 6, Dezember 1977, Seiten 600 bis 608, insb. Fig. 1 und Fig. 2, bekannt.
- 20 Aufgabe der Erfindung ist es, eine Integratorschaltung der eingangs genannten Art anzugeben, die der bilinearen Übertragungsfunktion

25

$$\frac{u_A}{u_E} = \frac{C_2}{C_1} \cdot \frac{1+z^{-1}}{1-z^{-1}} \quad (1)$$

30

genügt. Dabei bedeuten u_E die am Schaltungseingang anliegende Spannung, u_A die Ausgangsspannung, C_1 die erste Kapazität, C_2 die zweite Kapazität und z^{-1} den Verzögerungsoperator (delay time operator). Für den letzteren gilt weiterhin

$$z^{-1} = e^{-j.2 \pi fT} \quad (2)$$

35

wenn f die Frequenz der Taktimpulsspannungen und T die Periodendauer derselben, d.h. die Taktperiode, darstellen. Die Aufgabe wird erfindungsgemäß durch eine Ausbildung

der Integratorschaltung entsprechend dem kennzeichnenden Teil des Patentanspruchs 1 gelöst.

Die zur Realisierung der bilinearen Übertragungsfunktion (1) 5 dienende Integratorschaltung nach der Erfindung zeichnet sich insbesondere dadurch aus, daß sie in einfacher und flächensparender Weise auf einem dotierten Halbleiterkörper monolithisch integriert werden kann.

10 Die Ansprüche 2 bis 4 sind auf bevorzugte Ausgestaltungen und Weiterbildungen der Integratorschaltung nach Anspruch 1 gerichtet.

Die Erfindung wird nachfolgend anhand der Zeichnung näher 15 erläutert. Dabei zeigt:

Fig. 1 das Prinzipschaltbild eines bevorzugten Ausführungs-
beispiels der Erfindung,
Fig. 2 Spannungs-Zeit-Diagramme zur Erläuterung von Fig. 1,
20 Fig. 3 eine zweckmäßige Ausgestaltung der Integratorschal-
tung nach Fig. 1 in integrierter Schaltungstechnik,
Fig. 4 einen Querschnitt durch die Anordnung von Fig. 3
längs der Linie III-III.

25 In Fig. 1 ist ein Schaltungseingang¹ über einen Schalt-
transistor S1 mit der oberen Elektrode einer Kapazität C2
verbunden, wobei das Gate von S1 mit einer Taktimpulsspan-
nung $\emptyset$ 1 beschaltet ist. Die untere Elektrode von C2 ist
über einen Schalttransistor S2, an dessen Gate eine Takt-
30 impulsspannung $\emptyset$ 2 liegt, an den Schaltungseingang 1 ge-
führt. Die obere Elektrode von C2 ist andererseits über
einen mit $\emptyset$ 2 angesteuerten Schalttransistor S3 mit dem
invertierenden Eingang eines Differenzverstärkers 2 ver-
bunden, dessen nichtinvertierender Eingang auf Bezugspo-
35 tential liegt. Die untere Elektrode von C2 ist über

einen Schalttransistor S4 auf Bezugspotential gelegt. Dabei ist das Gate von S4 mit der Taktimpulsspannung $\emptyset 1$ beaufschlagt. Der Ausgang 3 des Differenzverstärkers 2, der gleichzeitig den Schaltungsausgang darstellt, ist
5 über einen Rückkopplungszweig 4, der eine Kapazität C1 enthält, mit dem invertierenden Verstärkereingang verbunden.

u_E bezeichnet eine bei 1 anliegende, zu integrierende Eingangsspannung, die kontinuierlich oder auch getastet, d.h.
10 von einem kontinuierlichen Eingangssignal z.B. über ein Abtast-Halteglied abgeleitet sein kann. Auch eine zeitabhängige Vorzeichenumkehr von u_E ist durchaus möglich. Beim Auftreten eines Taktimpulses 5 von $\emptyset 1$ (Fig. 2) wird C2 über
15 die dann leitend geschalteten Transistoren S1 und S4 auf einen Spannungswert u_{E1} aufgeladen, der in Fig. 1 durch einen nach unten zeigenden Pfeil angedeutet ist. Durch den nächstfolgenden Taktimpuls 6 von $\emptyset 2$ werden die Transistoren S2 und S3 leitend geschaltet, so daß C2 mit entgegengesetzter Polung an den zu diesem Zeitpunkt anliegenden
20 Spannungswert u_{E2} gelegt wird, der durch einen nach oben gerichteten Pfeil gekennzeichnet ist. Voraussetzung hierfür ist eine große Spannungsverstärkung des Verstärkers 2, die bewirkt, daß an dem invertierenden Verstärkereingang
25 praktisch dasselbe Potential liegt wie an dem nichtinvertierenden Eingang, d.h. also Bezugspotential. Innerhalb einer durch die einander nicht überlappenden Taktimpulse 5 und 6 gegebenen Taktperiode T lädt sich also C2 auf eine Differenzspannung $u_{E1} - u_{E2}$ auf, die beim Anlegen von 6
30 über S3 auf die Kapazität C1 übertragen wird. Die Taktperiode T muß dabei so kurz sein, daß für die Abtastung von u_E das Abtasttheorem (sampling theorem) gilt.

In aufeinanderfolgenden Taktperioden T werden jeweils Umladevorgänge von C1 bewirkt, die nach Betrag und Vorzeichen den sich in den einzelnen Taktperioden T jeweils er-
35

gebenden Differenzspannungen $u_{E1} - u_{E2}$ entsprechen. Damit ist an C1 bzw. am Schaltungsausgang 3 eine Ausgangsspannung u_A abgreifbar, die als Integrationsergebnis, d.h. als die Integralspannung von u_E , aufzufassen ist. Der
5 Quotient aus u_A und u_E entspricht der bilinearen Übertragungsfunktion (1).

Fig. 3 zeigt eine monolithisch integrierte Ausführungsform der Integratorschaltung nach Fig. 1, bei der parasitäre Kapazitäten zwischen der oberen Elektrode von C2 und
10 den auf Bezugspotential liegenden Schaltungsteilen sowie zwischen der linken Elektrode von C1 und diesen Schaltungsteilen weitgehend vermieden sind. Die Integratorschaltung ist auf einem Körper 7 aus dotiertem Halbleitermaterial
15 z.B. p-dotiertem Silizium, aufgebaut. Der Fig. 4 ist entnehmbar, daß der Körper 7 eine obere Grenzfläche 8 aufweist, die mit einer dünnen Schicht 9 aus elektrisch isolierendem Material, z.B. SiO_2 , bedeckt ist. Die untere Elektrode von C2 und die rechte Elektrode von C1 sind als
20 Belegungen 10 und 11 aus elektrisch leitendem Material, z.B. hochdotiertem polykristallinem Silizium, ausgeführt, die auf der Schicht 9 angeordnet sind. Sie weisen Anschlußstreifen 12, 13 und 14 auf, die zu n-dotierten Halbleitergebieten 15, 16 und 17 hin verlaufen. Oberhalb derselben sind in der Isolierschicht 9 Kontaktlöcher 18 bis
25 20 vorgesehen, in denen diese Anschlußstreifen die Halbleitergebiete 15 bis 17 kontaktieren.

Es sind weiterhin n-leitende Gebiete 21 und 22 vorgesehen,
30 die zu den Gebieten 15 und 16 im Abstand angeordnet sind. Die Halbleiterbereiche, die jeweils zwischen den Gebieten 15 und 21 sowie 16 und 22 liegen und die Kanalbereiche der Schalttransistoren S2 und S4 darstellen, werden von Gates 23 und 24 überdeckt, die mit 0 2 und 0 1 beschaltet
35 sind. Das Gebiet 21 ist mit dem Schaltungseingang 1 und das Gebiet 22 ist mit dem nichtinvertierenden Verstärker-

eingang leitend verbunden. Das n-leitende Halbleitergebiet 17 ist mit dem Schaltungsausgang 3 verbunden.

Die obere Elektrode von C2 (Fig. 1) und die linke Elektrode ^{von C1} sind als leitende Belegungen 25, 26 einer zweiten, oberhalb der Belegungen 10 und 11 liegenden Ebene dargestellt. Sie bestehen beispielsweise aus hochdotiertem, polykristallinen Silizium, sind oberhalb der Belegungen 10 und 11 angeordnet und durch eine Zwischenschicht 27 (Fig. 4) aus elektrisch isolierendem Material von diesen getrennt. Sie weisen ferner Anschlußstreifen 28 bis 30 auf, von denen die Anschlußstreifen 28 und 29 oberhalb der Anschlußstreifen 12 und 13 verlaufen und wesentlich schmaler ausgebildet sind als diese. Die Belegungen 25 und 26 sind kleinflächiger als die Belegungen 10 und 11 und relativ zu diesen so angeordnet, daß deren Ränder in lateraler Richtung weit unter den Rändern der Belegungen 25 und 26 hervorragen. Hierdurch werden die oben genannten parasitären Kapazitäten so klein, daß sie praktisch vernachlässigbar sind. Die Anschlußstreifen 28 und 29 kontaktieren im Bereich von Kontaktlöchern 30 und 31 jeweils n-leitende Halbleitergebiete 32 und 33, die zusammen mit n-leitenden Halbleitergebieten 34 und 35 und den dazwischen liegenden Halbleiterbereichen, die von gegen die Grenzfläche 8 isolierten und mit $\emptyset$ 1 und $\emptyset$ 2 beschalteten Gates 36, 37 überdeckt sind, die Schalttransistoren S1 und S3 darstellen. Das Gebiet 34 ist dabei mit dem Schaltungseingang 1 leitend verbunden, das Gebiet 35 mit dem invertierenden Verstärkereingang. Der Anschlußstreifen 30 kontaktiert ein n-leitendes Gebiet 38 im Bereich eines weiteren Kontaktloches 39 der isolierenden Schicht 9. Das Gebiet 38 ist mit dem invertierenden Eingang des Differenzverstärkers 2 verbunden.

4 Patentansprüche

35 4 Figuren

Patentansprüche

1. Integratorschaltung mit einem Differenzverstärker, dessen Ausgang mit dem invertierenden Verstärkereingang über
5 einen Rückkopplungszweig verbunden ist, der eine erste Kapazität enthält, und mit einer zweiten Kapazität, deren erste Elektrode über einen ersten, mit einer ersten Taktimpulsspannung angesteuerten Schalttransistor mit dem
Schaltungseingang und über einen zweiten, mit einer zweiten
10 Taktimpulsspannung angesteuerten Schalttransistor mit dem invertierenden Verstärkereingang verbunden ist, dadurch
gekennzeichnet, daß die zweite Elektrode der zweiten Kapazität (C2) über einen dritten,
mit dem zweiten synchron betätigbaren Schalttransistor (S2)
15 mit dem Schaltungseingang (1) und über einen vierten, mit dem ersten synchron betätigbaren Schalttransistor (S4)
mit dem auf Bezugspotential liegenden, nichtinvertierenden Verstärkereingang verbunden ist.

20 2. Integratorschaltung nach Anspruch 1, dadurch gekennzeichnet, daß sie auf einem dotierten Halbleiterkörper (7) aufgebaut ist, daß die Elektroden der ersten und zweiten Kapazität (C1 und C2) jeweils aus zwei
übereinander liegenden und durch eine elektrisch isolierende
25 Zwischenschicht (27) voneinander getrennten leitenden Belegungen (10,25; 11,26) bestehen, daß die unteren Belegungen (10, 11) jeweils durch eine dünne elektrisch isolierende Schicht (9) von einer Grenzfläche (8) des Halbleiterkörpers (7) getrennt sind und daß die oberen Belegungen (25, 26) kleinflächiger ausgebildet sind als die
30 unteren (10, 11) und so angeordnet sind, daß die Ränder der unteren in lateraler Richtung wesentlich unter den Rändern der oberen Belegungen (25, 26) hervorragen.

3. Integratorschaltung nach Anspruch 2, dadurch g e -
k e n n z e i c h n e t , daß die Belegungen (10, 25)
der zweiten Kapazität (C2) mit Anschlußstreifen (12, 13,
28, 29) versehen sind, die mit den Schalttransistoren ver-
5 bunden sind, und daß die Anschlußstreifen (28, 29) der
oberen Elektrode oberhalb der Anschlußstreifen (12, 13)
der unteren angeordnet sind und wesentlich schmaler als
die letzteren ausgebildet sind, sodaß die Ränder der
unteren in lateraler Richtung wesentlich unter den Rändern
10 der oberen Anschlußstreifen (28, 29) hervorragen.

4. Integratorschaltung nach Anspruch 2 oder 3, dadurch
g e k e n n z e i c h n e t , daß der Halbleiterkörper
(7) aus dotiertem monokristallinen Silizium und die Elek-
15 troden (10,25, 11,26) der ersten und zweiten Kapazität
(C1 und C2) aus hochdotiertem polykristallinen Silizium
bestehen.

FIG 1

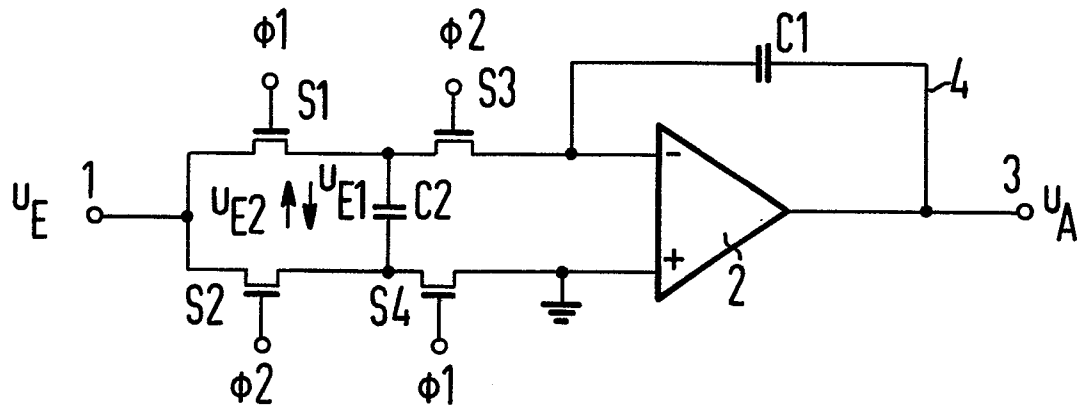


FIG 3

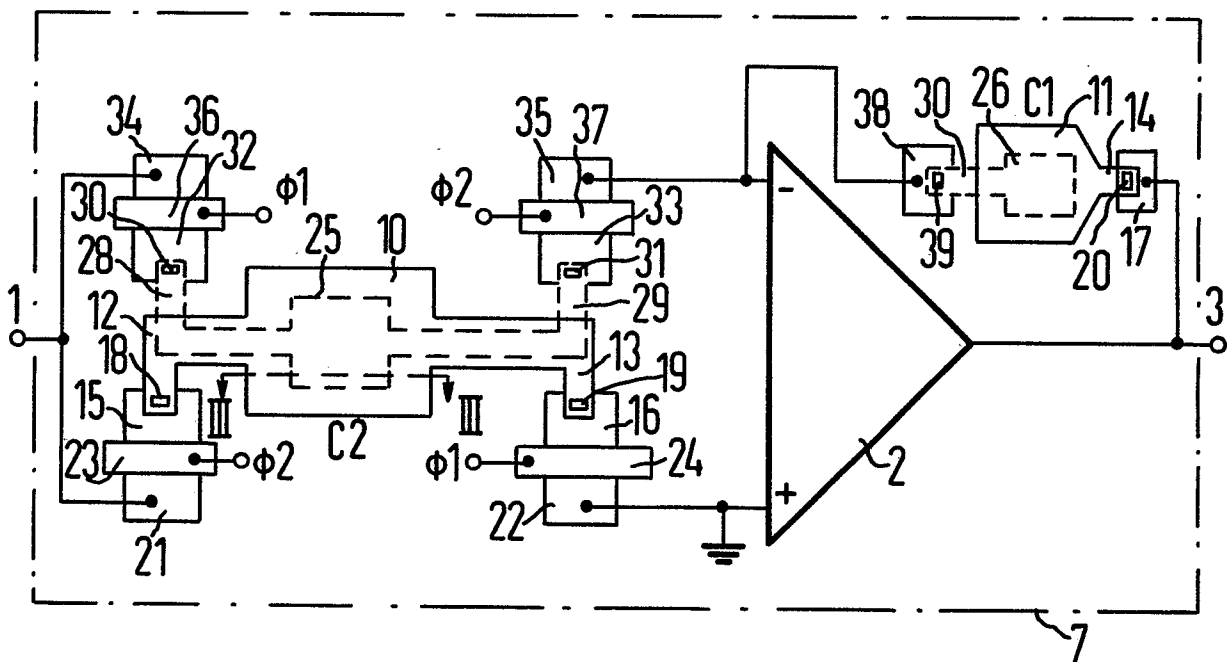


FIG 2

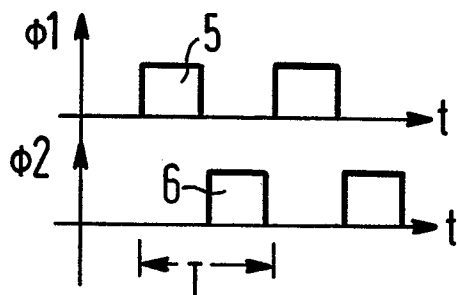


FIG 4

