

⑬



Europäisches Patentamt
European Patent Office
Office européen des brevets

⑪ Numéro de publication:

**0 076 738
B1**

⑫

FASCICULE DE BREVET EUROPEEN

④⑤ Date de publication du fascicule du brevet:
08.01.86

⑤① Int. Cl.⁴: **G 06 G 7/19**

②① Numéro de dépôt: **82401756.0**

②② Date de dépôt: **28.09.82**

⑤④ **Module opérateur complexe destiné notamment à la détermination analogique de transformées rapides de Fourier.**

③① Priorité: **02.10.81 FR 8118639**

④③ Date de publication de la demande:
13.04.83 Bulletin 83/15

④⑤ Mention de la délivrance du brevet:
08.01.86 Bulletin 86/2

⑧④ Etats contractants désignés:
DE FR GB IT NL

⑤⑥ Documents cités:
US - A - 3 581 078
US - A - 3 714 566

ELECTRONICS, vol. 39, no. 1, 10 janvier 1966, pages 90-94, New York, USA, H. SCHMID: "Integrated circuits replace the electromechanical resolver"
ELECTRONICS LETTERS, vol. 16, no. 16, 31 juillet 1980, pages 613-614, Hitchin-Hertz, G.B., K. MARTIN et al.: "Easing prefiltering requirements of S.C. filters"

⑦③ Titulaire: **SOCIETE POUR L'ETUDE ET LA FABRICATION DE CIRCUITS INTEGRES SPECIAUX - E.F.C.I.S., 17, avenue des Martyrs, F-38100 Grenoble (FR)**

⑦② Inventeur: **Sokoloff, Boris, THOMSON-CSF SCPI 173, bld Haussmann, F-75379 Paris Cedex 08 (FR)**
Inventeur: **Caillon, Christian, THOMSON-CSF SCPI 173, bld Haussmann, F-75379 Paris Cedex 08 (FR)**

⑦④ Mandataire: **Guérin, Michel et al, THOMSON-CSF SCPI 173, Bld Haussmann, F-75379 Paris Cédex 08 (FR)**

EP 0 076 738 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition (Art. 99(1) Convention sur le brevet européen).

Description

Le domaine de la présente invention est celui du calcul analogique, et notamment du calcul de transformées rapides de Fourier. L'une des applications les plus intéressantes des transformées de Fourier est l'analyse spectrale de signaux électriques, et l'un des buts à atteindre est la possibilité d'effectuer cette analyse spectrale en temps réel, au fur et à mesure de l'arrivée de ces signaux. La rapidité du calcul est donc essentielle.

Les transformées discrètes de Fourier se résument mathématiquement en un produit d'un vecteur de nombres complexes (qui en pratique sont des échantillons de signaux avec une partie réelle et une partie imaginaire) par une matrice complexe dont les termes sont des nombres complexes de module 1 et d'angles multiples entiers de $2\pi/N$ si N est le nombre d'échantillons de signaux servant au calcul de la transformée.

Chaque terme complexe du vecteur représentant la transformée de Fourier est donc une somme de produits d'un échantillon (partie réelle et partie imaginaire) par un coefficient $\cos 2k\pi/N + j \sin 2k\pi/N$ où k est un entier compris entre 0 et $N-1$, N est le nombre d'échantillons traités, j est le nombre imaginaire pur dont le carré est -1 .

On voit donc que l'obtention des divers coefficients complexes de la transformée discrète de Fourier consisterait à effectuer une série de N^2 multiplications de nombres complexes par des coefficients $\cos 2k\pi/N + j \sin 2k\pi/N$ et N^2 additions des produits obtenus.

M.C. Pease a montré que l'on pouvait exécuter un calcul analogique d'une transformée rapide de Fourier selon un algorithme répétitif qui se traduit par l'utilisation en parallèle d'un réseau de $N/2$ opérateurs complexes à deux entrées et deux sorties, qui reçoivent sur leurs entrées deux nombres complexes et qui fournissent sur leurs sorties des sommes pondérées des entrées. En pratique, chaque opérateur fournit d'une part la somme des entrées et d'autre part la différence multipliée par un vecteur unitaire d'angle $2\pi k/N$, k pouvant varier de 0 à $N-1$.

Les sorties des opérateurs sont envoyées vers un autre réseau de $N/2$ opérateurs complexes, avec un certain brassage des interconnexions entre les sorties du premier réseau et les entrées du second; de même, les sorties du deuxième réseau sont à nouveau envoyées, avec le même brassage d'interconnexions, vers un troisième réseau, et ainsi de suite: si $N = 2^p$, p réseaux sont nécessaires pour qu'à partir de N échantillons de signaux appliqués au premier réseau, on obtienne sur les sorties du dernier réseau N grandeurs représentant la transformée rapide de Fourier du signal échantillonné à l'entrée.

Cependant, comme le brassage entre les interconnexions est le même entre les réseaux successifs, il y a une configuration spatiale répétitive dont le motif unitaire ne comprend qu'un seul réseau de $N/2$ opérateurs complexes. Bien que les rotations vectorielles d'angle $2\pi k/N$ exécutées par les opérateurs varient d'un opérateur d'un réseau

à l'opérateur de même position du réseau voisin, on peut aussi souhaiter profiter de la répétitivité de la configuration spatiale pour n'utiliser qu'un seul réseau de $N/2$ opérateurs dont les coefficients de pondération (c'est-à-dire les cosinus et sinus de l'angle $2\pi k/N$) seront commandables, les sorties du réseau étant ramenées plusieurs fois successivement vers les entrées (avec toujours le même brassage, mais avec une modification des angles $2\pi k/N$ des différents opérateurs à chaque recirculation). Si $N = 2^p$, on utilisera un réseau de $N/2$ opérateurs complexes, on introduira N échantillons de signaux, on fera recirculer p fois les grandeurs de sortie vers les entrées avec un brassage des interconnexions, en modifiant à chaque fois convenablement les rotations introduites par chaque opérateur, et on obtiendra à la fin N grandeurs complexes représentant la transformée rapide de Fourier du signal d'entrée. Ce type de traitement en parallèle avec recirculation est plus long qu'un traitement avec p réseaux mais il économe un bon nombre d'opérateurs.

On pourra se reporter à l'article de M.C. Pease: «An adaptation of the fast Fourier transform for parallel processing», dans le Journal ACM-vol. 15, pages 252-264, avril 1968, et à l'article de H.S. Stone «Parallel processing with the perfect shuffle» dans IEEE transactions on computers, vol. C-20 n°2, pages 153-161, février 1971.

Quel que soit le mode de traitement adopté, c'est-à-dire avec ou sans recirculation des grandeurs calculées, on est amené à utiliser des opérateurs complexes qui, à partir de deux grandeurs complexes d'entrée $c_0 = a_0 + jb_0$ et $c_1 = a_1 + jb_1$ introduites en fait sous forme de quatre grandeurs électriques (tensions) a_0, b_0, a_1, b_1 , fournit deux grandeurs complexes de sortie:

$$z_0 = x_0 + jy_0 \quad \text{et} \quad z_1 = x_1 + jy_1,$$

obtenues en fait sous forme de quatre grandeurs électriques (tensions) x_0, y_0, x_1, y_1 , avec:

$$x_0 = a_0 + a_1 \quad (1)$$

$$y_0 = b_0 + b_1 \quad (2)$$

$$x_1 = (a_0 - a_1) \cos 2k\pi/N - (b_0 - b_1) \sin 2k\pi/N \quad (3)$$

$$y_1 = (a_0 - a_1) \sin 2k\pi/N + (b_0 - b_1) \cos 2k\pi/N \quad (4)$$

Sous une autre forme mathématique, cela revient à dire que l'opérateur complexe réalise:

— d'une part, un premier vecteur complexe qui est simplement la somme des grandeurs complexes d'entrée:

$$z_0 = c_0 + c_1, \text{ et}$$

— d'autre part, un deuxième vecteur qui est la différence des grandeurs d'entrée multipliée par une rotation simple d'angle $2k\pi/N$:

$$z_1 = (c_0 - c_1) e^{j2k\pi/N}.$$

Le but de la présente invention est de réaliser un tel opérateur complexe utilisant un minimum de composants, modifiable à volonté en ce qui con-

cerne la valeur de l'angle de rotation $2k\pi/N$, afin qu'il soit particulièrement adapté au calcul analogique de transformées rapides de Fourier selon l'algorithme de Paese.

Ce module est essentiellement constitué de la manière suivante, pour réaliser d'abord les quantités x_1 et y_1 à partir de tensions a_0, a_1, b_0, b_1 : il comprend d'abord deux amplificateurs opérationnels à capacités commutées montés identiquement, avec une capacité de bouclage reliée d'une part à l'entrée inverseuse de l'amplificateur et d'autre part soit à la masse par un premier transistor soit à la sortie de l'amplificateur par un second transistor, un troisième transistor étant prévu pour permettre de court-circuiter sortie et entrée de l'amplificateur; une pluralité de capacités d'entrée en parallèle est prévue, chacune pouvant être mise en service ou isolée par un interrupteur (transistor) respectif, ces capacités ayant pour valeurs, rapportées à la valeur de la capacité de bouclage, des cosinus d'angles $2k'\pi/N$ compris entre 0 et $\pi/4$ où k' est une transformation du nombre k telle que les angles $2k'\pi/N$ et $2k\pi/N$ soient liés par des relations trigonométriques simples comprenant des changements de signe ou des permutations de sinus et cosinus; une autre pluralité de capacités, agencée de la même manière, est prévue à l'entrée de l'amplificateur, mais elles ont pour valeurs les sinus des mêmes angles; l'une des pluralités de capacités reçoit d'un côté le signal a_0 à travers un transistor et le signal a_1 à travers un autre, tandis qu'elle est reliée de l'autre côté à l'entrée de l'amplificateur; l'autre pluralité de capacités reçoit d'un côté le signal b_0 à travers un transistor et le signal b_1 à travers un autre, tandis qu'elle est reliée de l'autre côté à l'entrée de l'amplificateur. Les deux amplificateurs sont montés symétriquement en ce sens que si, pour l'un des amplificateurs, ce sont les capacités ayant pour valeur des cosinus qui reçoivent les signaux a_0 et a_1 , alors, pour l'autre amplificateur, les capacités correspondantes, ayant aussi pour valeur des cosinus, recevront non pas a_0 et a_1 , mais b_0 et b_1 . La réciproque est vraie pour les capacités ayant pour valeur des sinus; le module opérateur comporte encore un moyen de commande de commutation des différents transistors, apte d'une part à sélectionner une capacité d'entrée ayant pour valeur un cosinus et une capacité d'entrée ayant pour valeur un sinus du même angle, cette sélection étant commandée en fonction du nombre k , et d'autre part à établir des phases de conduction synchronisées entre les différents transistors, de manière à produire sur les sorties des deux amplificateurs des valeurs approchées des quantités x_1 et y_1 , les phases de conduction comprenant au moins une phase d'application de deux des quatre tensions a_0, b_0, a_1, b_1 , aux capacités d'entrée sélectionnées et une phase d'application des deux autres tensions à ces capacités, le choix des tensions appliquées étant effectué au moyen de circuits logiques (D2) recevant le nombre k .

En pratique, le module opérateur comportera quatre amplificateurs supplémentaires ayant un dou-

ble rôle: d'une part, ils serviront tous les quatre de mémoires tampons prélevant des échantillons de tensions a_0, b_0, a_1, b_1 et les gardant en mémoire pour les appliquer aux deux premiers amplificateurs; d'autre part, sur les quatre amplificateurs supplémentaires, deux serviront à préciser le calcul approché fait par les deux premiers amplificateurs, tandis que les deux autres serviront à établir les sommes $a_0 + a_1$ et $b_0 + b_1$ de manière à faire apparaître sur les sorties des quatre amplificateurs supplémentaires respectivement les quantités $x_1, y_1, a_0 + a_1$ et $b_0 + b_1$.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels:

- la figure 1 représente schématiquement un sommateur-pondérateur constituant la base du module opérateur de l'invention,
- la figure 2 représente un sommateur-pondérateur capable de produire les tensions x_1 et y_1 correspondant aux équations (3) et (4),
- la figure 3 montre un module opérateur avec une possibilité d'interpolation pour préciser la valeur de x_1 et y_1 ,
- la figure 4 montre schématiquement l'ensemble de la structure du module opérateur complexe avec six amplificateurs opérationnels.

Dans la description qui suit, on s'intéressera à un module opérateur capable d'effectuer la somme simple de deux nombres complexes, et la différence de ces nombres multipliée par $e^{2jk\pi/N}$ avec $N = 2^p$ et $k = 0$ à $N-1$. Cette somme et cette différence correspondent aux équations (1) à (4) écrites plus haut.

Lorsque des exemples numériques seront donnés, on prendra $N = 256$, $p = 8$ qui constituent des valeurs réalistes pour obtenir une précision de calcul suffisante pour beaucoup d'applications (par exemple, l'analyse de la parole).

Le module est contrôlé en ce qui concerne le coefficient k , c'est-à-dire l'angle de rotation, par un séquenceur qui délivre des signaux binaires représentant la valeur désirée pour le coefficient k , dont on rappelle qu'il prend des valeurs successives différentes pour un même module opérateur lorsque la transformée de Fourier est calculée par un réseau unique, bouclé sur lui-même, de $N/2$ opérateurs. Pour $N = 256$, k sera représenté par un nombre de huit éléments binaires.

Comme on le remarque d'après les équations (3) et (4), il y a lieu d'établir à partir de quatre tensions électriques a_0, a_1, b_0, b_1 , des différences $a_0 - a_1$ et $b_0 - b_1$, puis de faire une somme ou une différence pondérée de ces deux différences, la pondération étant faite pour les deux équations avec des coefficients qui sont le sinus et le cosinus d'un même angle.

A priori, il faudrait utiliser un certain nombre d'amplificateurs opérationnels pour réaliser d'abord deux différences puis la multiplication de chacune par un sinus et par un cosinus puis la somme et la différence des quantités ainsi pondérées.

On va décrire d'abord une structure de somma-

teur-pondérateur capable de réaliser ces quantités pondérées avec seulement deux amplificateurs différentiels, après quoi on décrira l'ensemble du module opérateur qui utilise cette structure pour établir les équations (1) à (4).

Cette structure, visible à la figure 1, comprend un amplificateur opérationnel AO, une capacité de bouclage C_1 , deux capacités d'entrée C_0 et C'_0 , et des commutateurs qui sont de préférence des transistors à grille isolée de type MOS (métal-oxyde-semiconducteur) si le module opérateur est fabriqué sous forme de circuit intégré en technologie MOS.

L'amplificateur a une entrée non-inverseuse à la masse et une entrée inverseuse reliée à une borne de chacune des trois capacités C_0 , C'_0 , C_1 .

L'autre borne de C_0 est reliée, par l'intermédiaire d'un transistor MOS T_a à une entrée de signal a_0 dont elle peut être isolée lorsque le transistor T_a est bloqué. Elle est aussi reliée à une autre entrée pour le signal a_1 par un transistor T'_a qui peut également l'en isoler. Les phases de conduction de T_a et T'_a sont disjointes, c'est-à-dire qu'ils ne sont pas conducteurs en même temps.

De la même manière, l'autre borne de la capacité C'_0 est reliée à une entrée de signal b_0 et une entrée de signal b_1 respectivement par un transistor T_b et un transistor T'_b dont les phases de conduction sont disjointes et sont soit les mêmes que celles de T_a et T'_a , soit permutées c'est-à-dire les mêmes que celles de T'_a et T_a . Sur la figure 1, les phases sont permutées, c'est à dire que T_a et T'_b conduisent simultanément les signaux a_0 et b_1 aux capacités C_0 et C'_0 , après quoi, dans une phase disjointe de la précédente, T'_a et T_b conduisent simultanément les signaux a_1 et b_0 aux capacités C_0 et C'_0 .

L'autre borne de C_1 est reliée par l'intermédiaire d'un commutateur (transistor T1) à la masse, et par l'intermédiaire d'un autre commutateur (transistor T2) à la sortie de l'amplificateur AO. Les phases de conduction de T1 et T2 sont les mêmes que celles de T_a et T'_a ou sont permutées. Sur la figure 1, ce sont les mêmes. Enfin, un transistor T3 est relié entre l'entrée inverseuse de l'amplificateur AO et sa sortie et peut donc réaliser un bouclage en gain unitaire de cet amplificateur. La phase de conduction de T3 est la même que celle de T1.

Le fonctionnement de ce sommateur-pondérateur est le suivant: dans une première phase (T1, T3, T_a , T'_b conducteurs), C_1 est déchargé à zéro; en même temps, C_0 et C'_0 se chargent respectivement aux tensions a_0 et b_1 , l'amplificateur étant bouclé en gain unitaire par le transistor T3 pour maintenir le potentiel de l'entrée inverseuse sensiblement à zéro. Les charges des capacités C_0 , C'_0 et C_1 sont ainsi respectivement $C_0 a_0$, $C'_0 b_1$ et zéro. En réalité il faudrait tenir compte de la tension de décalage (offset) de l'amplificateur, mais le montage décrit présente l'avantage d'éliminer l'influence de cette tension sur le résultat final.

Les transistors T1, T3, T_a , T'_b sont alors bloqués et une charge globale $-(C_0 a_0 + C'_0 b_1)$ est emprisonnée sur les bornes des capacités reliées à

l'entrée inverseuse (d'où elles ne peuvent s'échapper).

A la phase suivante, les transistors T'_a , T_b et T2 sont rendus conducteurs. Les capacités C_0 et C'_0 prennent respectivement des charges qui sont $-a_1 C_0$ et $-b_0 C'_0$ sur leurs armatures reliées à l'entrée de l'amplificateur. La conservation globale des charges reliées à l'entrée inverseuse, d'où elles ne peuvent s'échapper, exige que l'armature de la capacité C_1 reliée à cette entrée prenne une charge telle que la somme de cette charge et des nouvelles charges stockées sur C_0 et C'_0 soit égale à la charge globale $-(a_0 C_0 + b_1 C'_0)$, emprisonnée à la phase précédente.

Autrement dit, l'armature de la capacité C_1 reliée à l'entrée de l'amplificateur doit prendre une charge égale à $(a_1 C_0 + b_0 C'_0) - (a_0 C_0 + b_1 C'_0)$.

Pour cela le potentiel de sortie de l'amplificateur opérationnel prend une valeur:

$$(a_0 - a_1) C_0 / C_1 - (b_0 - b_1) C'_0 / C_1.$$

Si on donne au rapport C_0 / C_1 une valeur égale au cosinus d'un angle et à C'_0 / C_1 une valeur égale au sinus du même angle, et en l'occurrence d'un angle de $2k\pi / N$, on obtient en sortie du sommateur pondérateur un niveau de tension:

$$(a_0 - a_1) \cos 2k\pi / N - (b_0 - b_1) \sin 2k\pi / N \quad (5)$$

Ceci correspond à la valeur x_1 de l'équation (3).

Mais on peut remarquer que ce montage ne se contente pas de fournir cette valeur, car il permet aussi d'inverser les signes des coefficients de pondération en cosinus et sinus: en effet, si on permute les phases de T_b et T'_b , c'est-à-dire si on fait conduire T_b en même temps que T_1 et T'_b en même temps que T_2 , on obtient en sortie la valeur:

$$(a_0 - a_1) \cos 2k\pi / N + (b_0 - b_1) \sin 2k\pi / N \quad (6)$$

Si on revient à la figure 1 et qu'on modifie les phases de manière à faire conduire T'_a et T'_b en même temps que T1 et T_a et T_b en même temps que T2, on obtient un signal de sortie:

$$-(a_0 - a_1) \cos 2k\pi / N - (b_0 - b_1) \sin 2k\pi / N \quad (7)$$

Enfin, si on fait conduire T'_a et T_b en même temps que T1 et T_a et T'_b en même temps que T2, on aura la valeur:

$$-(a_0 - a_1) \cos 2k\pi / N + (b_0 - b_1) \sin 2k\pi / N \quad (8)$$

Un deuxième amplificateur monté de manière identique mais dans lequel ce seraient les signaux a_0 et a_1 qui seraient reliés par des transistors à une capacité $C'_0 = C_1 \sin 2k\pi / N$ et inversement les signaux b_0 et b_1 à une capacité $C_0 = C_1 \cos 2k\pi / N$, permet de réaliser de la même manière les sommes pondérées suivantes:

$$(a_0 - a_1) \sin 2k\pi/N + (b_0 - b_1) \cos 2k\pi/N \quad (9)$$

$$(a_0 - a_1) \sin 2k\pi/N - (b_0 - b_1) \cos 2k\pi/N \quad (10)$$

$$- (a_0 - a_1) \sin 2k\pi/N + (b_0 - b_1) \cos 2k\pi/N \quad (11)$$

$$- (a_0 - a_1) \sin 2k\pi/N - (b_0 - b_1) \cos 2k\pi/N \quad (12)$$

En résumé, on peut, au moyen de deux amplificateurs opérationnels montés comme à la figure 1, réaliser un produit matriciel du type:

$$\begin{pmatrix} X_1 \\ Y_1 \end{pmatrix} = \begin{pmatrix} \cos 2k\pi/N & \sin 2k\pi/N \\ \sin 2k\pi/N & \cos 2k\pi/N \end{pmatrix} \begin{pmatrix} a_0 - a_1 \\ b_0 - b_1 \end{pmatrix} \quad (13)$$

où X_1 et Y_1 sont les tensions en sortie des deux amplificateurs opérationnels.

Enfin, si on croise les connexions d'entrée ou de sortie on peut obtenir aussi un produit matriciel du type:

$$\begin{pmatrix} X_1 \\ Y_1 \end{pmatrix} = \begin{pmatrix} \sin 2k\pi/N & \cos 2k\pi/N \\ \cos 2k\pi/N & \sin 2k\pi/N \end{pmatrix} \begin{pmatrix} a_0 - a_1 \\ b_0 - b_1 \end{pmatrix} \quad (14)$$

On conçoit qu'on pourrait utiliser les deux sommateurs pondérateurs de la manière qui vient d'être décrite, l'un réalisant simplement la quantité (5) et l'autre la quantité (9) puisque ces deux quantités correspondent justement à la forme des équations (3) et (4) que l'on cherche à réaliser.

Pourtant, on expliquera dans la suite comment on profite au contraire des multiples possibilités de signes des coefficients de pondération en sinus et cosinus et des possibilités de croisement des entrées et sorties des deux sommateurs pondérateurs pour réaliser différents couples de valeurs X_1 , Y_1 pris parmi les équations matricielles (13) et (14), définissant donc des équations différentes de (3) et (4) mais permettant, en combinaison avec la connaissance de relations trigonométriques simples, de réduire l'encombrement du module opérateur complexe que l'on cherche à réaliser.

On peut d'ores et déjà noter, car c'est selon ce principe que fonctionne le dispositif décrit ci-après dans le détail, que si un premier sommateur pondérateur est principalement affecté à la réalisation de la quantité (5), il pourra servir également à établir la quantité (8) par changement de signe, c'est-à-dire inversion des phases de commande de T_a et T'_a , à établir aussi la quantité (11) par permutation des signaux d'entrée a_0 et b_0 d'une part, a_1 et b_1 d'autre part, et enfin à établir la quantité (10) en combinant ce changement de signe et cette permutation. De même, si le second amplificateur est affecté principalement à la réalisation de la quantité (9), il pourra aussi servir à établir les quantités (12) par changement de signe, (6) par permutation des entrées, et (7) en combinant les deux. D'autres possibilités pourraient être envisagées, par exemple l'affectation du premier amplificateur à l'établissement des équations (5) à (8) et l'affectation du second à l'établissement des équations (9) à (12) ceci par simple permutation des phases de commande des transistors T_a , T'_a , T_b , T'_b .

On va maintenant expliquer en référence à la figure 2 comment on utilise au mieux ces propriétés pour réaliser un double sommateur pon-

dérateur, programmable en ce qui concerne la valeur de k , ce qui sera particulièrement utile pour la réalisation d'un module opérateur complexe réalisant une rotation dont l'angle est programmable.

Si l'on veut que le double sommateur pondérateur soit programmable, on va disposer à l'entrée de chaque amplificateur opérationnel non pas une capacité C_0 et une capacité C'_0 , mais une pluralité de capacités C_0 et de capacités C'_0 , ayant pour valeurs les cosinus et sinus d'angles $2k\pi/N$ (valeurs prises en référence à la capacité de bouclage C_1 supposée de valeur unitaire pour simplifier puisque seuls interviennent des rapports entre les capacités d'entrée C_0 , C'_0 et la capacité C_1).

Le choix d'un angle de rotation (déterminé par les éléments binaires du nombre k transmis par le séquenceur) se traduira par la mise en service d'une seule capacité C_0 et d'une seule capacité C'_0 parmi la pluralité de capacités prévues. Les autres capacités restent hors service.

A cet effet, chaque capacité est en série avec un interrupteur de mise en service (transistors T_c pour les capacités C_0 représentant des cosinus d'angles $2k\pi/N$, et transistors T_s pour les capacités représentant des sinus des mêmes angles). Tous les ensembles T_c , C_0 sont en parallèle et remplacent la capacité C_0 de la figure 1; de même, tous les ensembles T_s , C'_0 sont en parallèle et remplacent la capacité C'_0 de la figure 1. La programmation consistera notamment à désigner un couple unique de capacités C_0 , C'_0 correspondant au cosinus et au sinus d'un même angle, ceci pour chaque amplificateur opérationnel, la désignation se faisant par mise en conduction des transistors T_c , T_s correspondant à ce couple, les autres transistors T_c , T_s restant bloqués. Un décodeur recevant le nombre k permettra de procéder à cette désignation pour un cycle de calcul donné, les capacités désignées s'insérant dans le circuit selon le schéma de la figure 1.

Toutefois, pour obtenir une possibilité de programmation complète de k entre 0 et $N-1$, il faudrait $2N$ capacités à l'entrée de chacun des deux amplificateurs opérationnels, soit $4N$ en tout pour un module, c'est-à-dire 1024 pour $n = 256$.

On conçoit qu'il n'est pas souhaitable de prévoir dans chaque module un nombre aussi élevé de capacités dont quatre seulement seront utilisées simultanément au cours d'un cycle de calcul. En effet, non seulement les capacités sont encombrantes dans un circuit intégré MOS, mais en plus la précision du rapport des capacités se dégrade lorsque ce rapport devient trop élevé alors que cette précision est fondamentale pour l'exécution du calcul; il faut donc non seulement essayer de réduire le nombre de capacités, mais aussi éviter d'avoir dans un même circuit des capacités de valeurs très différentes. Pour $N = 256$, le rapport entre la plus grosse capacité (correspondant à $\cos 2\pi/256 = 1$) et la plus petite (correspondant à $\sin 2\pi/256 = 0,0245$) est nettement trop élevé pour qu'on ait, en technologie MOS, une précision suffisante sur ce rapport.

Deux mesures sont adoptées selon l'invention

pour réduire le nombre de capacités et éviter d'avoir des capacités très petites par rapport à l'unité représentée par la capacité de bouclage C_1 .

La première mesure consiste à remarquer que si on dispose de capacités représentant les sinus et cosinus des angles entre 0 et $\pi/4$, on peut en déduire les sinus et cosinus de tous les autres angles du cercle trigonométrique, d'une part, par modification du signe du sinus ou du cosinus, en ramenant certains angles à un angle entre 0 et $\pi/4$ par complémentation à π ou 2π , ou par soustraction de π , et d'autre part, par remplacement d'un sinus en un cosinus et réciproquement en ramenant certains angles à un angle entre 0 et $\pi/4$ par complémentation à $\pi/2$ ou $3\pi/2$ ou par soustraction de $\pi/2$ ou $3\pi/2$.

Or, justement, on a vu que l'on pouvait, avec un double sommateur-pondérateur réalisant des quantités (5) et (9), réaliser aussi des quantités (6), (7), (8), (10), (11), (12) qui ne diffèrent des quantités (5) et (9) que par des changements de signes ou des permutations de sinus et cosinus.

Si donc le sommateur-pondérateur reçoit un nombre k correspondant à un angle quelconque $2k\pi/N$, on pourra transformer cet angle en un angle $2k'\pi/N$ compris entre 0 et $\pi/4$ avec une relation simple bien définie entre les cosinus et sinus des angles $2k\pi/N$ et $2k'\pi/N$. Cette relation simple permettra de définir quelles sont les quantités parmi (5) à (12) qui, exprimées en fonction de k' , correspondent justement aux quantités (5) et (9) exprimées en fonction de k , à charge pour un circuit logique de commander le sommateur-pondérateur pour qu'il établisse les quantités ainsi définies.

A chaque demi-quadrant du cercle trigonométrique on peut faire correspondre une transformation trigonométrique simple (changement de signe ou permutation de sinus ou cosinus) par laquelle on passe d'un angle $2k\pi/N$ de ce demi-quadrant à un angle $2k'\pi/N$ du premier demi-quadrant (0, $\pi/4$).

A titre d'exemple, supposons que k est tel que $2k\pi/N$ est compris entre $3\pi/4$ et π (quatrième demi-quadrant); on détermine un angle $2k'\pi/N = \pi - 2k\pi/N$ compris entre 0 et $\pi/4$. Les relations trigonométriques simples qui en découlent sont:

$$\begin{aligned}\sin 2k'\pi/N &= \sin 2k\pi/N \\ \cos 2k'\pi/N &= -\cos 2k\pi/N\end{aligned}$$

Il y a donc lieu de produire les quantités (7) et (10) exprimées en fonction de k' :

$$\begin{aligned}&-(a_0 - a_1) \cos 2k'\pi/N - (b_0 - b_1) \sin 2k'\pi/N \\ &(a_0 - a_1) \sin 2k'\pi/N - (b_0 - b_1) \cos 2k'\pi/N\end{aligned}$$

pour que l'on obtienne bien les quantités (3) et (4) en remplaçant $2k'\pi/N$ par $\pi - 2k\pi/N$.

De nombreuses possibilités existent pour établir alors les quantités (7) et (10), mais, si l'on s'en tient à la réalisation pratique décrite en détail, c'est-à-dire celle pour laquelle le premier amplificateur produit les quantités (5) (8) (11) (10) et le second les quantités (9) (12) (6) (7), et pour laquelle on prévoit des permutations de signaux d'en-

trée et de sortie ainsi que des inversions de phase entre T_a et T'_a plutôt que des permutations complètes entre T_a , T'_a , T_b , T'_b , on devra alors effectuer:

5 un changement de signe pour les deux amplificateurs opérationnels (donc simultanéité de phase de T_a , T_b , T_1 au lieu de T_a , T_b , T_1), qui revient à inverser les signes des quantités (5) à (9),

10 une permutation des entrées a_0 et b_0 d'une part et une permutation des entrées a_1 et b_1 d'autre part, qui revient à permuter $a_0 - a_1$ et $b_0 - b_1$ dans les quantités (5) à (9),

15 enfin une permutation des sorties des amplificateurs opérationnels pour que se retrouve sur la première sortie du sommateur pondérateur la quantité (7) produite par le second amplificateur et sur la seconde sortie la quantité (10) produite par le premier.

20 Cet exemple relativement complexe montre bien quelles sont les transformations à effectuer, transformations qui se traduisent par les équations équivalentes suivantes valables pour le quatrième demi-quadrant:

$$\begin{pmatrix} X_1 \\ Y_1 \end{pmatrix} = \begin{pmatrix} \cos 2k\pi/N & -\sin 2k\pi/N \\ \sin 2k\pi/N & \cos 2k\pi/N \end{pmatrix} \begin{pmatrix} a_0 - a_1 \\ b_0 - b_1 \end{pmatrix}$$

équation à réaliser ou

$$\begin{pmatrix} X_1 \\ Y_1 \end{pmatrix} = \begin{pmatrix} -\cos 2k'\pi/N & -\sin 2k'\pi/N \\ \sin 2k'\pi/N & -\cos 2k'\pi/N \end{pmatrix} \begin{pmatrix} a_0 - a_1 \\ b_0 - b_1 \end{pmatrix}$$

si $2k'\pi/N = \pi - 2k\pi/N$ ou

$$\begin{pmatrix} X_1 \\ Y_1 \end{pmatrix} = \begin{pmatrix} -\sin 2k'\pi/N & -\cos 2k'\pi/N \\ -\cos 2k'\pi/N & \sin 2k'\pi/N \end{pmatrix} \begin{pmatrix} b_0 - b_1 \\ a_0 - a_1 \end{pmatrix}$$

ou

$$\begin{pmatrix} Y_1 \\ X_1 \end{pmatrix} = \begin{pmatrix} -\cos 2k'\pi/N & \sin 2k'\pi/N \\ -\sin 2k'\pi/N & -\cos 2k'\pi/N \end{pmatrix} \begin{pmatrix} b_0 - b_1 \\ a_0 - a_1 \end{pmatrix}$$

ou

$$\begin{pmatrix} -Y_1 \\ -X_1 \end{pmatrix} = \begin{pmatrix} \cos 2k'\pi/N & -\sin 2k'\pi/N \\ \sin 2k'\pi/N & \cos 2k'\pi/N \end{pmatrix} \begin{pmatrix} b_0 - b_1 \\ a_0 - a_1 \end{pmatrix}$$

50 Cette dernière équation montre bien qu'à partir de la fonction standard du sommateur pondérateur capable de réaliser des quantités du type (5) et (9), il y a lieu, lorsqu'on est en présence d'un angle du quatrième demi-quadrant, de permuter les entrées et les sorties et de changer les signes des deux quantités établies.

55 On peut ainsi établir, pour tous les demi-quadrants des formules de transformation analogues qui montrent clairement la transformation à effectuer. On aboutit aux transformations suivantes:

60 - pas de transformation
demi-quadrant 1 ($\pi/4$, $\pi/2$)
- changement de signe sur le premier amplificateur
- permutation des entrées
65 demi-quadrant 2 ($\pi/2$, $3\pi/4$)

– changement de signe sur le second amplificateur
 – permutation des sorties
 demi-quadrant 3 ($3\pi/4, \pi$)
 – changement de signe sur les deux amplificateurs
 – permutation des entrées et des sorties
 demi-quadrant 4 ($\pi, 5\pi/4$)
 – changement de signe sur les deux amplificateurs
 demi-quadrant 5 ($5\pi/4, 3\pi/2$)
 – changement de signe sur le second amplificateur
 – permutation des entrées
 demi-quadrant 6 ($3\pi/2, 7\pi/4$)
 – changement de signe sur le premier amplificateur
 – permutation des sorties
 demi-quadrant 7 ($7\pi/4, 2\pi$)
 – permutation des entrées et des sorties
 Pour ces divers demi-quadrants, il y aura lieu de définir exactement la valeur de k' :

demi-quadrant 0 $2k'\pi/N = 2k\pi/N$
 demi-quadrant 1 $2k'\pi/N = \pi/2 - 2k\pi/N$
 demi-quadrant 2 $2k'\pi/N = 2k\pi/N - \pi/2$
 demi-quadrant 3 $2k'\pi/N = \pi - 2k\pi/N$
 demi-quadrant 4 $2k'\pi/N = 2k\pi/N - \pi$
 demi-quadrant 5 $2k'\pi/N = 3\pi/2 - 2k\pi/N$
 demi-quadrant 6 $2k'\pi/N = 2k\pi/N - 3\pi/2$
 demi-quadrant 7 $2k'\pi/N = 2\pi - 2k\pi/N$

k sera exprimé sous forme d'un nombre binaire (reçu du séquenceur). Pour $N = 256$, k possède huit bits B7, B6, B5, B4, B3, B2, B1, B0 dans l'ordre des poids décroissants.

Les trois premiers bits B7, B6, B5 constituent une adresse quadrantale désignant un demi-quadrant parmi huit dans lequel se trouve l'angle $2k\pi/N$. Les demi-quadrants numérotés 0 à 7 dans le sens trigonométrique ont pour adresses successives B7, B6, B5: 000, 001, ..., 111.

Ces trois premiers bits définissent quels sont les changements de signe et permutations à effectuer selon le tableau donné ci-dessus.

Ils définissent aussi de quelle manière on passe de k à k' .

Ce passage est en fait extrêmement simple: si l'angle $2k\pi/N$ est dans l'un des demi-quadrants pairs 0, 2, 4, 6, c'est-à-dire si B5 est égal à 0, les bits suivants B4, B3, B2, B1, B0 définissent exactement le nombre k' ; ceci correspond au passage de $2k\pi/N$ à $2k'\pi/N$ par soustraction de $\pi/2$ ou π ou $3\pi/2$.

Si, au contraire, l'angle $2k\pi/N$ est dans l'un des demi-quadrants impairs (B5 = 1), le nombre k' est obtenu par inversion des bits B4 B3 B2 B1 B0 et addition d'une unité au dernier bit.

Cette opération logique est extrêmement simple et correspond au passage de l'angle $2k\pi/N$ à l'angle $2k'\pi/N$ par complémentation à $\pi/2$, π , $3\pi/2$, ou 2π .

Ainsi, selon la valeur de B5, on passe de k à k' en utilisant simplement les derniers bits de k ou en effectuant une inversion de ses derniers bits et une addition d'une unité:

B5 = 0
 $k' = B4 B3 B2 B1 B0$

B5 = 1
 $k' = \overline{B4} \overline{B3} \overline{B2} \overline{B1} \overline{B0} + 00001$

C'est le nombre k' qui servira à désigner une capacité C_0 et une capacité C'_0 à l'entrée des amplificateurs opérationnels.

k' possède cinq bits, mais un cas particulier peut se présenter: si B5 = 1 et B4 B3 B2 B1 B0 est égal à 00000, ($2k\pi/N = \pi/4$ ou $3\pi/4$ ou $5\pi/4$ ou $7\pi/4$) k' devient un nombre à six bits 100000 lors de l'inversion et l'addition d'une unité. Si on supprime le sixième bit, k' devient 00000 correspondant à un angle $2k'\pi/N = 0$ qui ne satisfait pas à la formule: $2k'\pi/N = n\pi/2 - 2k\pi/N$.

Ce sixième bit est donc nécessaire pour définir un angle:

$2k'\pi/N = \pi/4$.

Mais, pour éviter d'avoir à utiliser un bit de plus dans le calcul de k' , bit qui ne serait utile que dans le cas d'une adresse quadrantale impaire suivie de cinq zéros, les circuits logiques de désignation des capacités C_0 et C'_0 comprendront un découpeur détectant l'égalité B5 B4 B3 B2 B1 B0 = 100000 et permettront alors la désignation de capacités de valeurs $\sin \pi/4$ et $\cos \pi/4$.

Tout ce qui vient d'être expliqué avait pour but de montrer en détail comment on peut utiliser des capacités correspondant aux sinus et cosinus d'angles compris entre 0 et $\pi/4$, une logique de commande exécutant les inversions et permutations nécessaires pour faire le calcul correspondant pour les angles des autres demi-quadrants. On s'aperçoit donc qu'un maximum de $N/4$ capacités est nécessaire à l'entrée de chacun de deux amplificateurs opérationnels pour établir les quantités (5) et (9) pour tous les angles $2k\pi/N$ du cercle trigonométrique.

Une deuxième mesure est prise pour réduire encore le nombre de capacités matérialiser dans le circuit intégré. Cette deuxième mesure consiste à ne conserver que les capacités correspondant aux angles multiples de $\pi/32$ (k' multiple de 4) et à effectuer un calcul par interpolation pour les valeurs intermédiaires de k' , en utilisant les formules d'interpolation suivantes:

$$\cos(A+dA) = \cos A - dA \sin A \quad (15)$$

$$\sin(A+dA) = \sin A + dA \cos A \quad (16)$$

valables si dA est un petit angle, ce qui est le cas par exemple si $dA = \pi/128$ ou $\pi/64$.

Si on utilise ces formules dans les équations (3) et (4), on trouve que pour les angles à interpoler correspondant à:

$$k' = 4K' + 1 \text{ ou } 4K' - 1 \text{ ou } 4K' + 2,$$

angles qu'on écrira $(8K'\pi/N + 2n\pi/N)$, avec $n = -1$ ou 1 ou 2 , les équations (3) et (4) se ramènent aux deux équations d'interpolation suivantes:

$$x_1 = X_1 - dA Y_1 \quad (17)$$

$$y_1 = Y_1 + dA X_1 \quad (18)$$

où X_1 et Y_1 sont les sorties de sommateur-pondérateur double ayant fonctionné avec, comme capacités d'entrée, des capacités de valeurs correspondant au sinus et cosinus de l'angle $8K'\pi/N$ qui est un multiple de $\pi/32$. La détermination de k'

conduira alors à une détermination de K' (en pratique K' en binaire sera constitué par les trois premiers bits de k'), K' servant directement à la désignation de deux capacités d'entrée C_0 et C'_0 .

On expliquera plus loin comment on effectue les opérations (17) et (18) pour passer des valeurs approchées X_1 et Y_1 aux valeurs x_1 et y_1 précisées par interpolation.

En tout cas on peut d'ores et déjà voir qu'on n'a plus besoin à l'entrée de chaque amplificateur opérationnel que de seize à dix-huit capacités qui représentent les sinus et cosinus des angles multiples de $\pi/32$ entre 0 et $\pi/4$. En fait, dix-sept capacités représentent le nombre le plus réaliste si on désire avoir à la fois l'angle 0 et l'angle $\pi/4$ et si on remarque que $\sin 0 = 0$ correspond à une capacité nulle donc une absence de capacité. On a supprimé les très petites capacités correspondant par exemple à $\sin \pi/128$, $\sin \pi/64$, etc.

La figure 2 représente le double sommateur-pondérateur selon l'invention, programmable en angle de rotation et fonctionnant comme cela a été expliqué ci-dessus.

Il comprend un amplificateur A01 avec une capacité de bouclage C1 supposée unitaire commutée par trois transistors T1, T2, T3, et un autre amplificateur A02 bouclé de la même manière par une capacité C2 également unitaire commutée par trois transistors T'1, T'2, T'3. Les montages de ces capacités et transistors sont ceux de la figure 1. Ces amplificateurs fournissent des valeurs correspondant aux équations matricielles (13) et (14) et reçoivent tous deux des signaux a_0 , b_0 , a_1 , b_1 à travers deux réseaux de capacités commutées RCC1 et RCC2 sont pratiquement identiques.

Seul RCC1 a été représenté en détail avec ses dix-sept capacités ayant comme valeurs les cosinus et les sinus des angles multiples de $\pi/32$ entre 0 et $\pi/4$.

Les entrées a_0 et a_1 sont reliées par des transistors T_a et T'_a , non pas directement à des capacités C_0 comme à la figure 1, mais à une borne d'un dispositif de permutation d'entrée P_e qui reçoit d'autre part sur une autre borne les signaux b_0 et b_1 à travers les transistors T_b et T'_b .

Les signaux reçus par le dispositif de permutation P_e sont transmis tels quels ou sont croisés selon l'état de ce dispositif qui est commandé par un détecteur D1 recevant le nombre k : pour certaines valeurs de k (en fait des trois bits de plus fort poids de k), il y aura permutation des entrées a_0 , a_1 et b_0 , b_1 .

Les sorties du dispositif de permutation P_e sont reliées l'une à une borne d'un ensemble comprenant en parallèle neuf capacités C_0 (et leurs interrupteurs individuels de mise en service T_c), ces capacités ayant pour valeur les cosinus d'angles multiples de $\pi/32$ entre 0 et $\pi/4$, l'autre à un ensemble comprenant en parallèle huit capacités C'_0 et leurs interrupteurs individuels de mise en service T_s , ces capacités ayant pour valeur les sinus de mêmes angles sauf $\sin 0$ qui est nul.

Les ensembles en parallèle sont par ailleurs reliés tous deux à l'entrée inverseuse de l'amplificateur A01.

Le décodeur D1 définit soit un état dans lequel les signaux a_0 et a_1 sont transmis aux capacités C_0 (cosinus) et les signaux b_0 et b_1 aux capacités C'_0 (sinus), soit le contraire (a_0 et a_1 aux capacités C'_0 et b_0 et b_1 aux capacités C_0).

Les transistors T_a , T'_a , T_b , T'_b sont commandés par un autre décodeur D2 qu'on peut appeler décodeur de changement de signe, car, pour certaines valeurs du nombre k qu'il reçoit, il permet de passer d'une quantité (5) à (12) à son inverse. Ce décodeur agit pour établir soit une simultanéité de phase de conduction de T_a et T'_b avec T1 soit au contraire une simultanéité de phase de T'_a et T_b avec T1.

On notera que le réseau de capacités commutées RCC2 ne diffère du réseau RCC1 que par le fait que son décodeur de changement de signe agit pour établir soit une simultanéité de phase de T_a et T_b avec T1 soit au contraire une simultanéité de phase de T'_a et T'_b avec T1, et par le fait que les valeurs de k définissant ce choix sont différentes des valeurs de k définissant le choix correspondant pour le réseau RCC1.

On notera aussi que le décodeur D1 de permutation d'entrée est commun aux deux réseaux et commande les dispositifs de permutation d'entrée P_e des deux réseaux dans des sens complémentaires de manière que si l'un des amplificateurs réalise une quantité prise parmi (5) à (8), l'autre réalise bien complémentirement une quantité prise parmi (9) à (12).

Les dispositifs de permutation d'entrée P_e peuvent être réalisés chacun par quatre transistors MOS.

A la sortie des amplificateurs opérationnels est prévu un autre dispositif de permutation P_s , commandé par un décodeur D3 recevant une information sur le nombre k (il ne reçoit en fait que le second bit B6 de k car il n'y a permutation des sorties que pour $B6 = 1$), pour permuter ou non les sorties des deux amplificateurs selon la valeur de k et fournir sur deux sorties du sommateur-pondérateur des quantités X_1 , Y_1 qui sont des valeurs approchées des quantités x_1 et y_1 des équations (3) et (4) correspondant en fait aux valeurs de x_1 et y_1 , pour des angles multiples de $\pi/32$.

Enfin, on a représenté à la figure 2:

un circuit logique de commande de commutation CL qui a pour fonction de commander la commutation des divers transistors T_a , T'_a , T_b , T'_b , T1, T2, T3 selon les règles expliquées en référence à la figure 1; et plus généralement, le circuit CL exécute d'autres fonctions de commutation nécessaires au cours d'un cycle de calcul comme on le verra plus loin;

et un décodeur D4 qui reçoit le nombre k , qui le transforme en un nombre k' selon les règles expliquées ($k' = (B4\ B3\ B2\ B1\ B0)\ B5 + (B4\ B3\ B2\ B1\ B0 + 00001)\ B5$), qui en prend les trois premiers bits (K') et qui commande la fermeture d'un interrupteur T_c et un interrupteur T_s de chaque réseau pour mettre en service dans chaque réseau une seule capacité C_0 et une seule capacité C'_0 , correspondant au cosinus et au sinus de l'angle multiple

de $\pi/32$ le plus proche de $2k\pi/N$.

En revenant au calcul de l'interpolation, les équations (17) et (18) qui en donnent les règles sont calculées de manière optimale en utilisant justement les amplificateurs opérationnels A01 et A02 de la figure 2 avec les réseaux de capacités qui leur sont associés.

La figure 3 représente la constitution du circuit qui permet de faire cette interpolation après que le calcul de X_1 et Y_1 ait été effectué pour des angles multiples de $\pi/32$.

Pour simplifier l'explication, on a représenté à nouveau, sur la figure 3, les amplificateurs A01 et A02, mais sans les réseaux de capacités RCC1 et RCC2. Toutefois la capacité d'entrée C'_0 de valeur $\sin \pi/32$ (la plus petite) a été représentée car elle sera utilisée pour faire l'interpolation.

En effet, l'interpolation par angles de $\pi/128$ consiste à réaliser les équations:

$$x_1 = X_1 - Y_1 \pi/128$$

$$y_1 = Y_1 + X_1 \pi/128$$

que l'on peut approximer par:

$$x_1 = X_1 - Y_1 \sin \pi/128$$

$$y_1 = Y_1 + X_1 \sin \pi/128$$

que l'on peut approximer aussi par:

$$x_1 = X_1 - (Y_1 \sin \pi/32)/4 \quad (19)$$

$$y_1 = Y_1 + (X_1 \sin \pi/32)/4 \quad (20)$$

Ayant calculé X_1 et Y_1 à partir de a_0, b_0, a_1, b_1 , on stocke ces valeurs de tension dans deux capacités C_3 et C_4 qui constituent des mémoires des valeurs de X_1 et Y_1 . Ces capacités sont les capacités de bouclage de deux amplificateurs opérationnels A03 et A04 qui d'ailleurs peuvent servir initialement à transmettre les valeurs a_1 et b_1 aux entrées du circuit de la figure 2. Des commutateurs (transistors MOS) sont prévus pour aiguiller soit les signaux a_1 et b_1 , soit les signaux X_1 et Y_1 à l'entrée des amplificateurs A03 et A04.

Les valeurs X_1 et Y_1 sont pour cela appliqués aux entrées des amplificateurs A03 et A04 par l'intermédiaire de capacités C'_3 et C'_4 , dont le rapport aux capacités C_3 et C_4 est 1 et dont le rapport aux capacités C_1 et C_2 des amplificateurs A01 et A02 est aussi de préférence 1.

Par une commutation des capacités d'entrée C'_3 et C'_4 , similaire à celle décrite en référence à la figure 1, on transfère la valeur des tensions d'entrée X_1 et Y_1 vers la sortie des amplificateurs opérationnels A03 et A04 qui les gardent en mémoire grâce aux capacités de bouclage C_3 et C_4 .

Ces tensions mémorisées sont alors appliquées aux capacités de valeur $\sin \pi/32$ à l'entrée des amplificateurs A01 et A02, par l'intermédiaire des transistors T'_a ou T'_b , des transistors T''_a et T''_b étant prévus en plus pour pouvoir mettre à la masse l'armature côté amont de ces capacités.

Dans cette phase de calcul d'interpolation, les transistors T1, T2, T3 fonctionnent comme décrit en référence à la figure 1. Les transistors T'_a et T''_a ou T'_b et T''_b sont commutés avec des phases de conduction disjointes correspondant respectivement à celles de T'1 et T'2 pour l'amplificateur A02 mais correspondant respectivement à celles de T2 et T1 pour l'amplificateur A01 (afin de réaliser une inversion de signe).

A la fin d'un cycle de commutation de ces transistors, on obtient une tension $-Y_1 \sin \pi/32$ sur la sortie qui initialement était à la tension X_1 et une tension $+X_1 \sin \pi/32$ sur la sortie qui initialement était à Y_1 . X_1 et Y_1 sont toujours mémorisés sur les capacités C_3 et C_4 .

Les tensions de sortie des amplificateurs A01 et A02 sont à nouveau ramenées sur les entrées des amplificateurs A03 et A04 respectivement, mais cette fois à travers des capacités commutées C'_3 et C'_4 de valeur sensiblement égale à 0,25 (par rapport à C_3 et C_4).

Comme les capacités C_3 et C_4 n'ont pas été déchargées, la commutation des capacités C'_3 et C'_4 aux entrées des amplificateurs A03 et A04 a pour effet d'augmenter les tensions aux bornes de C_3 et C_4 d'une valeur correspondant aux tensions appliquées à l'entrée multipliées par le rapport des capacités C'_3/C_3 ou C'_4/C_4 soit 0,25. Cette commutation se fait par charge de C'_3 reliée à l'entrée de l'amplificateur A03 pendant que ce dernier est bouclé en gain unitaire et que C_3 est isolée à la fois de la masse et de la sortie de l'amplificateur, puis par connection de la capacité C'_3 , isolée de la source qui l'a chargée, entre l'entrée de A03 et la masse, en même temps que C_3 est rebouclée sur la sortie de A03.

On obtient donc bien, en sortie des amplificateurs A03 et A04, des tensions finales:

$$x_1 = X_1 - (Y_1 \sin \pi/32)/4$$

$$\text{et } y_1 = Y_1 + (X_1 \sin \pi/32)/4$$

qui correspondent aux valeurs cherchées (19) et (20).

Les commutations des différents transistors ont encore lieu sous la commande du circuit CL de la figure 2 qui établit les signaux d'aiguillage nécessaires pendant cette phase d'interpolation (par exemple aiguillage du signal X_1 vers l'entrée de A03 à travers l'une ou l'autre des capacités d'entrée C'_3 ou C'_4 , ou au contraire aiguillage du signal d'entrée a_1 vers la capacité C'_3 pour mettre en mémoire sur C_3 le signal a_1), et qui établit aussi les phases de conduction adéquates, tenant compte des signes arithmétiques des multiplications ou additions à effectuer, pour tous les transistors qui travaillent en commutation en série ou en parallèle avec des capacités.

La remise à zéro de la charge des capacités C_3 et C_4 est nécessaire au début d'un cycle de calcul pour que ce soient bien les signaux a_1 et b_1 qui se présentent ensuite aux bornes de sortie des amplificateurs A03 et A04. Cette remise à zéro peut se faire par un agencement de commutateurs tels que T1, T2 et T3 à la figure 1, qui a l'avantage d'emmagasiner, en vue de la compenser, la tension d'offset de l'amplificateur opérationnel. De même, après que X_1 et Y_1 aient été calculés et avant de les stocker dans C_3 et C_4 , il faut décharger C_3 et C_4 jusqu'à zéro ou jusqu'à la tension d'offset des amplificateurs. Au contraire, cette remise à zéro n'a pas lieu quand on ramène les tensions $-Y_1 \sin \pi/32$ et $X_1 \sin \pi/32$ à l'entrée des amplificateurs A03 et A04.

Si l'interpolation doit consister à ajouter un angle $\pi/64$ et non $\pi/128$ on peut choisir soit de faire

en sorte que les capacités C'_3 et C'_4 aient des valeurs 0,5 au lieu de 0,25 (par exemple avec deux capacités C'_3 en parallèle), soit de faire deux fois de suite l'interpolation à $\pi/128$, c'est-à-dire de ramener encore une fois à l'entrée des capacités C'_3 et C'_4 les signaux déjà interpolés une première fois en sortie des amplificateurs A01 et A02.

Une interpolation plus précise qu'à $\pi/128$ (si N est supérieur à 256) peut se faire simplement en prévoyant par exemple des capacités C'_3 et C'_4 deux fois plus petites.

Une interpolation à $-\pi/128$ se fera en inversant les phases des transistors T'_a et T''_a ou T'_b , T''_b de commutation des deux capacités $\sin \pi/32$.

Un décodeur D5 recevant le nombre k, ou plus simplement ses deux derniers bits, commande le choix de la mise en service d'une capacité C'_3 ou C'_4 lorsqu'il y a lieu de faire une interpolation. Il permet aussi l'inversion de phase des transistors T'_a et T''_a ou T'_b , T''_b s'il y a lieu.

On remarquera que ce système d'interpolation ne nécessite pas de capacités dans un trop petit rapport vis-à-vis de la capacité C_1 de valeur unité puisque la plus petite capacité utilisée est la capacité de valeur $\sin \pi/32 = 0,0980$.

Finalement, alors que dans la phase initiale de calcul de X_1 et Y_1 , les sorties des amplificateurs A03 et A04 fournissent les signaux a_1 et b_1 (qu'ils ont reçu sur leurs entrées et pris en mémoire), pour appliquer ces deux signaux aux deux amplificateurs A01 et A02, dans la phase d'interpolation, les sorties des amplificateurs A03 et A04 fournissent d'abord respectivement X_1 et Y_1 puis, s'il y a effectivement un calcul d'interpolation à faire, elles fournissent x_1 et y_1 .

C'est donc sur les sorties des amplificateurs A03 et A04 que l'on retrouve finalement les signaux cherchés x_1 et y_1 des équations (3) et (4).

Il reste donc à produire les signaux x_0 et y_0 qui sont respectivement les sommes $a_0 + a_1$ et $b_0 + b_1$.

On va pour cela utiliser deux amplificateurs supplémentaires A05 et A06 qui de toute façon serviront, comme les amplificateurs A03 et A04, dans une phase initiale, à mémoriser et fournir sur leur sortie, pour les appliquer aux amplificateurs A01 et A02, les signaux d'entrée a_0 et b_0 .

En effet, cette disposition avec amplificateur formant mémoire d'entrée est particulièrement utile dans le cas où le module opérateur complexe établissant les quantités x_0 , y_0 , x_1 , y_1 à partir de signaux a_0 , b_0 , a_1 , b_1 , est bouclé sur lui-même: il faut bien une mémoire pour conserver les échantillons de signaux d'entrée pendant tout le temps de la génération des signaux de sortie avant que les signaux de sortie soient à nouveau appliqués aux entrées et traités pour subir eux-mêmes les additions et pondérations.

Par conséquent, le module opérateur complexe selon l'invention comprend encore deux autres amplificateurs A05 et A06 qui sont couplés au reste du circuit de la figure 3 de la manière représentée à la figure 4. Pour la simplification, on n'a pas représenté à la figure 4 tous les éléments

couplés aux amplificateurs A01 et A02, dont le détail a déjà été expliqué.

Il faut d'abord préciser que le calcul de $a_0 + a_1$ et $b_0 + b_1$ est effectué après le calcul de X_1 et Y_1 , mais avant que X_1 et Y_1 ne soient transférés sur les amplificateurs A03 et A04.

Les amplificateurs A05 et A06 sont montés selon un schéma qui se rapproche de celui de la figure 1, c'est-à-dire que l'amplificateur A05 possède une entrée non-inverseuse à la masse et une entrée inverseuse reliée à une capacité de bouclage C_5 (C_6 pour A06) et à deux capacités d'entrée C'_5 et C''_5 (C'_6 et C''_6); les capacités C'_5 et C''_5 sont par ailleurs chacune en série avec deux transistors (analogues à T_a , T'_a , T_b , T'_b); pour la capacité C'_5 l'un de ces transistors est relié à une entrée de signal a_0 et l'autre à la masse; pour la capacité C''_5 , l'un des transistors est relié à la sortie de l'amplificateur A03 et l'autre à la masse; l'autre borne de la capacité de bouclage peut être mise à la masse par un transistor analogue à T1, ou reliée à la sortie de A05 par un transistor analogue à T2; un transistor analogue à T3 permet de boucler la sortie de l'amplificateur A05 directement sur son entrée inverseuse. Les capacités C'_5 et C''_5 ont la même valeur que C_5 et de préférence la même valeur que C_1 et C_2 .

Le montage de l'amplificateur A06 est exactement la même avec une capacité C'_6 qui reçoit b_0 et une capacité C''_6 reliée à la sortie de A04.

Ainsi, en choisissant de manière convenable les phases de commutation des divers transistors, en s'inspirant de ce qui a été décrit en référence aux figures précédentes, on peut, dans une première phase, appliquer tous les signaux d'entrée a_0 , b_0 , a_1 , b_1 , sur les capacités respectives C'_5 , C'_6 , C'_3 , C'_4 en même temps que les capacités C_5 , C_6 , C_3 , C_4 sont déchargées ou plus exactement prennent en mémoire la tension de décalage (offset) des amplificateurs respectifs.

Puis, dans une deuxième phase, ayant déconnecté les entrées a_0 , b_0 , a_1 , b_1 , mis à la masse les capacités C'_5 , C'_6 , C'_3 , C'_4 , et bouclé les amplificateurs par les capacités C_5 , C_6 , C_3 , C_4 comme expliqué en référence à la figure 1, ces dernières capacités récupèrent la charge des premières de sorte qu'il apparaît en sortie des amplificateurs les tensions a_0 , b_0 , a_1 , b_1 compte tenu du rapport unité qui existe entre les différentes capacités.

Ces tensions servent ensuite au calcul de X_1 et Y_1 , les amplificateurs A05, A06, A03, A04 servant de source de signaux a_0 , b_0 , a_1 , b_1 pour le schéma de la figure 2. Pour cela deux phases de fonctionnement (troisième phase et quatrième phase) sont nécessaires; on se référera à la description des figures 1 et 2 pour le détail, mais, en gros, la troisième phase consiste à appliquer aux amplificateurs A01 et A02 une paire de signaux, par exemple a_0 et b_0 , mais ce peut être a_0 et b_1 ou a_1 et b_0 ou a_1 et b_1 selon l'amplificateur et selon la valeur de k reçue et décodée par le dispositif; en même temps les capacités C_1 et C_2 sont déchargées; la quatrième phase consiste à appliquer l'autre paire de signaux aux amplificateurs, à travers les mêmes capacités désignées par le déco-

dage de k , pendant que les capacités C_1 , C_2 sont bouclées entre la sortie et l'entrée de chaque amplificateur A01 et A02. Ceci termine le calcul de X_1 et Y_1 , étant entendu que pendant ces troisième phases, les circuits logiques ayant reçu le nombre k ont procédé au choix d'un signe (décodeur D2 sur la figure 2), au choix d'une permutation d'entrées (décodeur D1), au choix d'une permutation de sorties (décodeur D3), et à la mise en service de capacités C_0 , C'_0 représentant un cosinus et un sinus du même angle à l'entrée des amplificateurs A01 et A02. X_1 et Y_1 restent en mémoire en sortie de ces amplificateurs.

La cinquième phase consiste à rendre conducteurs les transistors reliant les sorties des amplificateurs A03 et A04 (portant a_1 et b_1) respectivement aux capacités C''_5 et C''_6 en bouclant A05 et A06 en gain unitaire, et en isolant C_5 et C_6 à la fois de la sortie de ces amplificateurs et de la masse pour qu'elles conservent leurs charges.

La sixième phase exécute l'addition de $a_0 + a_1$ et $b_0 + b_1$: C_5 et C_6 sont reconnectées entre sortie et entrée des amplificateurs A05 et A06 dont le bouclage en gain unitaire est supprimé, et les bornes amont des capacités C''_5 et C''_6 sont mises à la masse et déconnectées des sorties des amplificateurs A03 et A04. Les charges stockées à la cinquième phase sur C''_5 et C''_6 sont ainsi transférées sur C_5 et C_6 et s'ajoutent à la charge déjà présente sur C_5 et C_6 ; les sorties des amplificateurs A05 et A06 passent à des potentiels:

$x_0 = a_0 + a_1$ et $y_0 = b_0 + b_1$ respectivement pour assurer l'équilibre des charges sur les armatures de C_5 et C_6 .

Toujours pendant la sixième phase, avant de stocker sur C_3 et C_4 les tensions X_1 et Y_1 présentes en sorties de A01 et A02 (après le dispositif de permutation P_s), on décharge les capacités C_3 et C_4 .

Pour cela, les sorties du dispositif de permutation P_s sont connectées aux capacités C'_3 et C'_4 respectivement en même temps que les capacités C_3 et C_4 sont mises à la masse et que les amplificateurs A03 et A04 sont bouclés en gain unitaire.

La septième phase isole C'_3 et C'_4 des sorties de A01 et A02 tout en les reliant à la masse et en reconnectant les capacités C_3 et C_4 en bouclage entre l'entrée et la sortie des amplificateurs A03 et A04. Les charges stockées sur C'_3 et C'_4 pendant la sixième phase sont transférées sur C_3 et C_4 de sorte qu'il apparaît en sortie de A03 et A04 les tensions X_1 et Y_1 .

Toujours pendant la septième phase se prépare, s'il y a lieu, le calcul de l'interpolation: mise en service des capacités $\sin \pi/32$ sur les amplificateurs opérationnels, sélection d'une capacité C''_3 et C''_4 de valeur 0,25 ou 0,50, inversion ou non des phases des transistors T'_{ar} , T''_{ar} , T'_{br} , T''_{br} , etc. Les capacités C_1 , C_2 des amplificateurs A01 et A02 sont déchargées, T'_b et T''_a (ou le contraire) sont rendus conducteurs conformément au schéma de la figure 3 et les amplificateurs A01 et A02 sont bouclés en gain unitaire.

Pendant la huitième phase, les deux autres transistors T''_b et T'_a (ou le contraire) sont rendus

conducteurs en même temps que les capacités C_1 , C_2 sont isolées de la masse et rebouclées sur les amplificateurs A01 et A02; les quantités $-Y_1 \sin \pi/32$ et $X_1 \sin \pi/32$ sont ainsi stockées en sorties de A01 et A02.

Simultanément, ces tensions de sortie sont appliquées aux capacités C''_3 et C''_4 pendant que les amplificateurs A03 et A04 sont bouclés en gain unitaire et que les capacités C_3 et C_4 (chargées par X_1 et Y_1) sont isolées à la fois de la masse et des sorties des amplificateurs A03 et A04.

La neuvième phase consiste à relier les bornes amont des capacités C''_3 et C''_4 sélectionnées à la masse en supprimant le gain unitaire des amplificateurs A03 et A04 et en rebouclant les capacités C_3 et C_4 entre l'entrée et la sortie de ces amplificateurs. Cette commutation assure le transfert d'une charge $-(C''_3/C_3)Y_1 \sin \pi/32$ sur la capacité C_3 , sans faire disparaître la charge C_3X_1 qui y était déjà. Cette neuvième phase termine donc le calcul de l'interpolation et les tensions présentes en sortie des amplificateurs A05, A06, A03, A04 sont respectivement les tensions cherchées x_0 , y_0 , x_1 , y_1 définies par les équations (1) à (4).

Ces tensions peuvent alors être lues à travers des transistors d'isolation en sortie de chacun de ces amplificateurs.

Dans le cas où le module opérateur complexe ainsi décrit est utilisé avec d'autres en parallèle selon un mode de recirculation comme cela a été expliqué au début de la description, ces sorties sont transmises aux entrées d'autres modulateurs (avec un certain brassage d'interconnexions): la première phase du cycle suivant consiste dans le prélèvement sur les capacités C'_5 , C'_6 , C'_3 , C'_4 d'échantillons de nouveaux signaux d'entrée et de mise en mémoire de ces signaux sur C_5 , C_6 , C_3 , C_4 , après quoi ces signaux peuvent disparaître ou être modifiés sans influencer sur le déroulement de nouveau cycle de calcul. Il n'y a donc pas besoin, pour un fonctionnement avec recirculation, de mémoires tampons entre les modules puisque les amplificateurs A05, A06, A03, A04 jouent ce rôle.

On a donc ainsi décrit un module opérateur complexe particulièrement performant et comportant un nombre extrêmement réduit d'amplificateurs opérationnels et un nombre limité de capacités représentant les cosinus et sinus des angles de rotation appliqués par le module opérateur, module spécialement adapté au calcul analogique de transformées de Fourier discrètes.

Revendications

1. Module opérateur analogique capable de recevoir quatre tensions a_0 , b_0 , a_1 , b_1 et de produire des tensions:

$$\begin{aligned} x_1 &= (a_0 - a_1) \cos 2k\pi/N - (b_0 - b_1) \sin 2k\pi/N \\ y_1 &= (a_0 - a_1) \sin 2k\pi/N - (b_0 - b_1) \cos 2k\pi/N \end{aligned}$$

où N est un nombre entier et k un entier compris entre 0 et $N-1$, caractérisé par le fait qu'il comprend deux amplificateurs opérationnels (A01 et

A02) à capacités commutées montés identiquement de la manière suivante: une capacité de bouclage (C_1) est reliée d'une part à l'entrée inverseuse de l'amplificateur et d'autre part soit à la masse par un premier transistor (T1) soit à la sortie de l'amplificateur par un second transistor (T2), un troisième transistor (T3) permettant de court-circuiter sortie et entrée de l'amplificateur, avec une pluralité de capacités d'entrée en parallèle, chacune pouvant être mise en service ou isolée par un transistor respectif, ces capacités ayant pour valeur, rapportée à la valeur de la capacité de bouclage, des cosinus d'angles $2k'\pi/N$ compris entre 0 et $\pi/4$ où k' est une transformation du nombre k telle que les angles $2k\pi/N$ et $2k'\pi/N$ soient liés par des relations trigonométriques simples comprenant des changements de signe ou des permutations de sinus et cosinus, et une autre pluralité de capacités d'entrée agencée de la même manière, mais ayant pour valeurs les sinus des mêmes angles, l'une des pluralités de capacités recevant d'un côté le signal a_0 à travers un transistor (T_a) et le signal a_1 à travers un autre transistor (T'_a), et étant reliée de l'autre côté à l'entrée de l'amplificateur, l'autre pluralité de capacités recevant d'un côté le signal b_0 à travers un transistor (T_b) et le signal b_1 à travers un autre transistor (T'_b), et étant également reliée de l'autre côté à l'entrée de l'amplificateur, avec une symétrie entre les montages des deux amplificateurs, à savoir le fait que si ce sont les capacités ayant pour valeur des cosinus qui reçoivent a_0 et a_1 pour l'un des amplificateurs, alors, les capacités correspondantes de l'autre amplificateur, ayant aussi pour valeur des cosinus, recevront réciproquement b_0 et b_1 ; le module opérateur comportant encore un moyen de commande de commutation (CL) des différents transistors, apte d'une part à sélectionner une capacité d'entrée ayant pour valeur un cosinus et une capacité d'entrée ayant pour valeur un sinus du même angle, cette sélection étant commandée en fonction du nombre k , et d'autre part à établir des phases de conduction synchronisées entre les différents transistors, de manière à produire sur les sorties des deux amplificateurs des valeurs approchées des quantités x_1 et y_1 , les phases de conduction comprenant au moins une phase d'application de deux des quatre tensions a_0 , b_0 , a_1 , b_1 , aux capacités d'entrée sélectionnées et une phase d'application des deux autres tensions à ces capacités, le choix des tensions appliquées étant effectué au moyen de circuits logiques (D2) recevant le nombre k .

2. Module opérateur selon la revendication 1, caractérisé par le fait que le circuit logique recevant le nombre k est apte à commander la mise en service d'un couple de capacités ayant pour valeur le cosinus et le sinus d'un angle multiple de $\pi/32$ compris entre 0 et $\pi/4$ et lié par des relations trigonométriques simples à l'un des angles multiples de $\pi/32$ encadrant l'angle $2k\pi/N$.

3. Module opérateur selon la revendication 1, caractérisé par le fait qu'il comporte un dispositif de permutation commandé à quatre bornes (Pe) en amont des pluralités de capacités de chaque

amplificateur, pour appliquer soit les signaux a_0 et a_1 , soit les signaux b_0 et b_1 à une pluralité de capacités donnée, avec un dispositif de commande (D1) de ce dispositif de permutation, apte à conserver la symétrie de la transmission des signaux entre les deux amplificateurs.

4. Module opérateur selon l'une des revendications 1 à 3, caractérisé par le fait qu'il comporte en sortie des deux amplificateurs opérationnels (A01 et A02) un dispositif de permutation de ces sorties (Ps), et un moyen de commande de ce dispositif (D3).

5. Module opérateur selon l'une des revendications 3 et 4, caractérisé par le fait qu'il est prévu un ou plusieurs décodeurs (D1, D3) recevant le nombre k pour commander en fonction de k le ou les dispositifs de permutation.

6. Module opérateur selon l'une des revendications 1 à 5, caractérisé par le fait qu'il comporte quatre amplificateurs supplémentaires (A03, A04, A05, A06) ayant des capacités de bouclage (C_3 , C_4 , C_5 , C_6) commutées, aptes à retenir en mémoire des échantillons de tension appliqués aux entrées de ces capacités, ces amplificateurs supplémentaires (A03, A04, A05, A06) pouvant recevoir sur des capacités d'entrées commutées respectivement des échantillons des tensions a_1 , b_1 , a_0 , b_0 , les sorties de ces amplificateurs supplémentaires servant de sources de tensions a_0 , b_0 , a_1 , b_1 pour les deux premiers amplificateurs (A01, A02).

7. Module opérateur selon la revendication 6, caractérisé par le fait que l'amplificateur supplémentaire (A05) pouvant recevoir a_0 peut également recevoir un échantillon de la tension de sortie de l'amplificateur supplémentaire (A03) pouvant recevoir a_1 de manière à stocker sur sa capacité de bouclage (C_5) d'abord la tension a_0 , puis une tension $a_0 + a_1$, et par le fait que l'amplificateur supplémentaire (A06) pouvant recevoir b_0 peut également recevoir un échantillon de la tension de sortie de l'amplificateur supplémentaire (A04) pouvant recevoir b_1 , de manière à stocker sur sa capacité de bouclage (C_6) d'abord la tension b_0 , puis une tension $b_0 + b_1$.

8. Module opérateur selon l'une des revendications 6 et 7, caractérisé par le fait que les amplificateurs supplémentaires (A03 et A04) pouvant recevoir a_1 et b_1 peuvent également recevoir les sorties éventuellement permutées du premier et du second amplificateurs (A01 et A02), à travers des transistors de commutation.

9. Module opérateur selon la revendication 8, caractérisé par le fait que les amplificateurs supplémentaires (A03 et A04) pouvant recevoir a_1 et b_1 peuvent recevoir les sorties du premier et du second amplificateurs à travers différentes capacités d'entrée.

10. Module opérateur selon l'une des revendications 6 à 9, caractérisé par le fait que le module opérateur comprend quatre sorties principales qui sont les sorties des quatre amplificateurs supplémentaires, ces sorties étant destinées à fournir respectivement les signaux de valeur x_1 , y_1 , $a_0 + a_1$, $b_0 + b_1$.

Patentansprüche

1. Analoger Operatormodul, der imstande ist, vier Spannungen a_0 , b_0 , a_1 , b_1 zu empfangen und Spannungen

$$x_1 = (a_0 - a_1) \cos 2k\pi/N - (b_0 - b_1) \sin 2k\pi/N$$

$$y_1 = (a_0 - a_1) \sin 2k\pi/N - (b_0 - b_1) \cos 2k\pi/N$$

zu erzeugen, worin N eine ganze Zahl und k eine ganze Zahl zwischen 0 und $N-1$ ist, dadurch gekennzeichnet, dass zwei Operationsverstärker (A01 und A02) mit geschalteten Kapazitäten umfasst, welche in gleicher Weise folgendermassen angeordnet sind: eine Schleifenkapazität (C_1) ist einerseits verbunden mit dem invertierenden Eingang des Verstärkers und andererseits entweder über einen ersten Transistor (T1) mit Masse oder mit dem Ausgang des Verstärkers über einen zweiten Transistor (T2) verbunden, wobei ein dritter Transistor (T3) das Kurzschliessen von Ausgang und Eingang des Verstärkers gestattet, mit einer Mehrzahl von parallelen Eingangskapazitäten, von denen jede durch einen zugeordneten Transistor zugeschaltet oder abgetrennt werden kann, wobei diese Kapazitäten als auf den Wert der Schleifenkapazität bezogenen Wert die Kosinusse der Winkel $2k'\pi/N$ zwischen 0 und $\pi/4$ aufweisen, worin k' eine solche Transformation der Zahl k ist, dass die Winkel $2k\pi/N$ und $2k'\pi/N$ über einfache trigonometrische Beziehungen verknüpft sind, die Vorzeichenänderungen oder Sinus- und Kosinus-Permutationen enthalten, und eine weitere Mehrzahl von Eingangskapazitäten, die in gleicher Weise angeordnet sind, jedoch als Werte die Sinusse derselben Winkel aufweisen, wobei eine der Mehrzahlen von Kapazitäten einerseits das Signal a_0 über einen Transistor (T_a) und das Signal a_1 über einen weiteren Transistor T'_a empfängt und auf der anderen Seite mit dem Eingang des Verstärkers verbunden ist, während die andere Mehrzahl von Kapazitäten auf der einen Seite das Signal b_0 über einen Transistor (T_b) und das Signal b_1 über einen weiteren Transistor T'_b empfängt und ferner auf der anderen Seite mit dem Eingang des Verstärkers verbunden ist, wobei Symmetrie zwischen den Schaltungsanordnungen der zwei Verstärker besteht, nämlich die Tatsache, dass beim Empfang von a_0 und a_1 durch die Kapazitäten mit den Kosinuswerten für den einen der Verstärker die entsprechenden Kapazitäten des anderen Verstärkers, die ebenfalls Kosinuswerte aufweisen, reziprok b_0 und b_1 empfangen; wobei der Operatormodul ferner eine Einrichtung zur Steuerung der Schaltvorgänge (CL) der verschiedenen Transistoren umfasst, welche geeignet ist, um einerseits eine Eingangskapazität auszuwählen, die einen Kosinuswert aufweist, und eine Eingangskapazität auszuwählen, die einen Sinuswert desselben Winkels aufweist, wobei diese Auswahl in Abhängigkeit von der Zahl k gesteuert wird, und andererseits geeignet ist, um synchronisierte Leitungsphasen zwischen den verschiedenen Transistoren herzustellen, in solcher Weise, dass an den Ausgängen der zwei Verstärker Werte erzeugt

werden, welche an die Grössen x_1 und y_1 angenähert sind, wobei die Leitungsphasen wenigstens eine Phase des Anlegens von zwei der vier Spannungen a_0 , b_0 , a_1 , b_1 an die ausgewählten Eingangskapazitäten und eine Phase des Anlegens der zwei anderen Spannungen an diese Kapazitäten umfassen, und wobei die Wahl der angelegten Spannungen mittels logischen Schaltungen (D2) erfolgt, welche die Zahl k empfangen.

2. Operatormodul nach Anspruch 1, dadurch gekennzeichnet, dass die Logikschaltung, welche die Zahl k empfängt, geeignet ist, um die Inbetriebnahme eines Paares von Kapazitäten zu steuern, deren Wert der Kosinus und der Sinus eines Winkels ist, der ein Vielfaches von $\pi/32$ zwischen 0 und $\pi/4$ ist und über einfache trigonometrische Beziehungen mit einem der Winkelvielfachen von $\pi/32$ ist, welche den Winkel $2k\pi/N$ einrahmen.

3. Operatormodul nach Anspruch 1, dadurch gekennzeichnet, dass er eine gesteuerte, vier Anschlüsse aufweisende Permutationsvorrichtung (Pe) vor der Mehrzahl von Kapazitäten jedes Verstärkers umfasst, um entweder die Signale a_0 und a_1 oder die Signale b_0 und b_1 an eine gegebene Mehrzahl von Kapazitäten anzulegen, mit einer Steuervorrichtung (D1) für diese Permutationsvorrichtung, welche geeignet ist, um die Symmetrie der Signalübertragung zwischen den zwei Verstärkern zu bewahren.

4. Operatormodul nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass er am Ausgang der zwei Operationsverstärker (A01 und A02) eine Vorrichtung (Ps) zur Permutation dieser Ausgänge und eine Steuervorrichtung (D3) für diese Vorrichtung umfasst.

5. Operatormodul nach einem der Ansprüche 3 und 4, dadurch gekennzeichnet, dass ein oder mehrere Decoder (D1, D3) vorgesehen sind, welche die Zahl k empfangen, um in Abhängigkeit von k die Permutationsvorrichtung bzw. -Vorrichtungen zu steuern.

6. Operatormodul nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass er vier zusätzliche Verstärker (A03, A04, A05, A06) umfasst, die geschaltete Schleifenkapazität (C_3 , C_4 , C_5 , C_6) aufweisen, welche geeignet sind, um an die Eingänge dieser Kapazitäten angelegte Spannungsproben gespeichert zu halten, wobei diese zusätzlichen Verstärker (A03, A04, A05, A06) an geschalteten Eingangskapazitäten jeweils eine der Spannungsproben a_1 , b_1 , a_0 , b_0 empfangen können, während die Ausgänge dieser zusätzlichen Verstärker als Spannungsquellen a_0 , b_0 , a_1 , b_1 für die zwei ersten Verstärker (A01, A02) dienen.

7. Operatormodul nach Anspruch 6, dadurch gekennzeichnet, dass der zusätzliche Verstärker (A05), welcher a_0 empfangen kann, ferner eine Spannungsprobe vom Ausgang des zusätzlichen Verstärkers (A03) empfangen kann, der a_1 empfangen kann, so dass in seiner Schleifenkapazität (C_5) zunächst die Spannung a_0 und dann eine Spannung $a_0 + a_1$ gespeichert wird, und ferner dadurch gekennzeichnet, dass der zusätzliche Verstärker (A06), welcher b_0 empfangen kann, ferner eine Spannungsprobe vom Ausgang des zusätzli-

chen Verstärkers (A04) empfangen kann, welcher b_1 empfangen kann, so dass in seiner Schleifenkapazität (C_6) zunächst die Spannung b_0 und dann eine Spannung $b_0 + b_1$ gespeichert wird.

8. Operatormodul nach einem der Ansprüche 6 und 7, dadurch gekennzeichnet, dass die zusätzlichen Verstärker (A03 und A04), welche a_1 und b_1 empfangen können, ferner die gegebenenfalls permutierten Ausgangssignale des ersten und des zweiten Verstärkers (A01 und A02) über Schalttransistoren empfangen können.

9. Operatormodul nach Anspruch 8, dadurch gekennzeichnet, dass die zusätzlichen Verstärker (A03, A04), die a_1 und b_1 empfangen können, die Ausgangssignale des ersten und des zweiten Verstärkers über verschiedene Eingangskapazitäten empfangen können.

10. Operatormodul nach einem der Ansprüche 6 bis 9, dadurch gekennzeichnet, dass der Operatormodul vier Hauptausgänge aufweist, welche die Ausgänge von vier zusätzlichen Verstärkern sind, wobei diese Ausgänge dazu bestimmt sind, jeweils eines der Signale mit dem Wert x_1 , y_1 , $a_0 + a_1$, $b_0 + b_1$ zu liefern.

Claims

1. Analog operator module which is capable of receiving four voltages a_0 , b_0 , a_1 , b_1 and of producing the voltages

$$x_1 = (a_0 - a_1) \cos 2k\pi/N - (b_0 - b_1) \sin 2k\pi/N$$

$$y_1 = (a_0 - a_1) \sin 2k\pi/N - (b_0 - b_1) \cos 2k\pi/N$$

wherein N is an integer and k an integer comprised between 0 and $N-1$, characterized by the fact that it comprises two operational amplifiers (A01 and A02) with switched capacities mounted identically in the following manner: a looping capacity (C_1) is connected on one side to the inverting input of the amplifier and on the other side either to ground through a first transistor (T1) or to the output of the amplifier through a second transistor (T2), a third transistor (T3) permitting to short-circuit the output and the input of the amplifier, with a plurality of parallel input capacities each of which is susceptible to be rendered operative or to be insulated by a respective transistor, the values of these capacities, in relation to the value of the looping capacity, being the cosine of angles $2k'\pi/N$ comprised between 0 and $\pi/4$, wherein k' is a transformation of the number k which is such that the angles $2k\pi/N$ and $2k'\pi/N$ are related through simple trigonometric relations comprising sign changes or permutations of sine and cosine, and another plurality of input capacities mounted in the same manner but having sine values of the same angles, one of the pluralities of capacities receiving on one side the signal a_0 through a transistor (T_a) and the signal a_1 through another transistor (T'_a) and being connected on its other side to the input of the amplifier, the other plurality of capacities receiving on one side the signal b_0 through a transistor (T_b)

and the signal b_1 through another transistor (T'_b) and being likewise connected on the other side to the input of the amplifier, with a symmetry between the mountings of the two amplifiers, i.e. the fact that if the capacities having cosine values receive a_0 and a_1 for one of the amplifiers, the corresponding capacities of the other amplifier which also have cosine values receive b_0 and b_1 in reciprocal manner; the operator module further comprising switching control means (CL) for the different transistors which are capable on the one hand of selecting an input capacity having a cosine value and an input capacity having a sine value of the same angle, this selection being controlled as a function of the number k and on the other hand of establishing synchronised conduction phases between the different transistors in a manner to produce values approaching the quantities x_1 and y_1 on the outputs of the two amplifiers, the conduction phases comprising at least one phase of applying two of the four voltages a_0 , b_0 , a_1 , b_1 to the selected input capacities and a phase of applying the two other voltages to these capacities, the selection of the applied voltages being performed by means of logic circuits (D2) receiving the number k .

2. Operator module according to claim 1, characterized by the fact that the logic circuit receiving the number k is capable of controlling the operativeness of a couple of capacities having the cosine value and the sine value of the same angle which is a multiple of $\pi/32$ comprised between 0 and $\pi/4$ and related through simple trigonometric relations to one of the angles being multiples of $\pi/32$ framing the angle $2k\pi/N$.

3. Operator module according to claim 1, characterized by the fact that it comprises a controlled permutation device (Pe) having four terminals upstream of the plurality of capacities of each amplifier to apply either the signals a_0 and a_1 or the signals b_0 and b_1 to a given plurality of capacities, with a device (D1) for controlling this permutation device which is capable of maintaining the symmetry of the signal transmission between the two amplifiers.

4. Operator module according to any of claims 1 to 3, characterized by the fact that it comprises at the output of the two operational amplifiers (A01 and A02) a device (Ps) for the permutation of these outputs, and means for controlling this device (D3).

5. Operator module according to any of claims 3 and 4, characterized by the fact that one or a plurality of decoders (D1, D3) are provided receiving the number k for controlling the permutation device or devices as a function of k .

6. Operator module according to any of claims 1 to 5, characterized by the fact that it comprises four additional amplifiers (A03, A04, A05, A06) having switched looping capacities (C_3 , C_4 , C_5 , C_6) capable of storing voltage samples applied to the inputs of these capacities, these additional amplifiers (A03, A04, A05, A06) being capable of receiving through switched input capacities voltage samples a_1 , b_1 , a_0 , b_0 , resp., the outputs of these

additional amplifiers being used as sources of the voltages a_0 , b_0 , a_1 , b_1 for the two first amplifiers (A01, A02).

7. Operator module according to claim 6, characterized by the fact that the additional amplifier (A05) capable of receiving a_0 is likewise capable of receiving a voltage sample from the output of the additional amplifier (A03) capable of receiving a_1 in a manner to store in its looping capacity (C_5) the voltage a_0 and then a voltage $a_0 + a_1$, and by the fact that the additional amplifier (A06) capable of receiving b_0 is likewise capable of receiving a voltage sample from the output of the additional amplifier (A04) capable of receiving b_1 , in a manner to store in its looping capacity (C_6) the voltage b_0 and then a voltage $b_0 + b_1$.

8. Operator module according to any of claims 6 and 7, characterized by the fact that the additional

amplifiers (A03 and A04) capable of receiving a_1 and b_1 are likewise capable of receiving the eventually permuted outputs of the first and of the second amplifiers (A01 and A02) through switching transistors.

9. Operator module according to claim 8, characterized by the fact that the additional amplifiers (A03 and A04) capable of receiving a_1 and b_1 are likewise capable of receiving the outputs of the first and second amplifier through different input capacities.

10. Operator module according to any of claims 6 to 9, characterized by the fact that the operator module comprises four main outputs which are the outputs of the four additional amplifiers, these outputs being intended to supply the signals of values x_1 , y_1 , $a_0 + a_1$, $b_0 + b_1$, respectively.

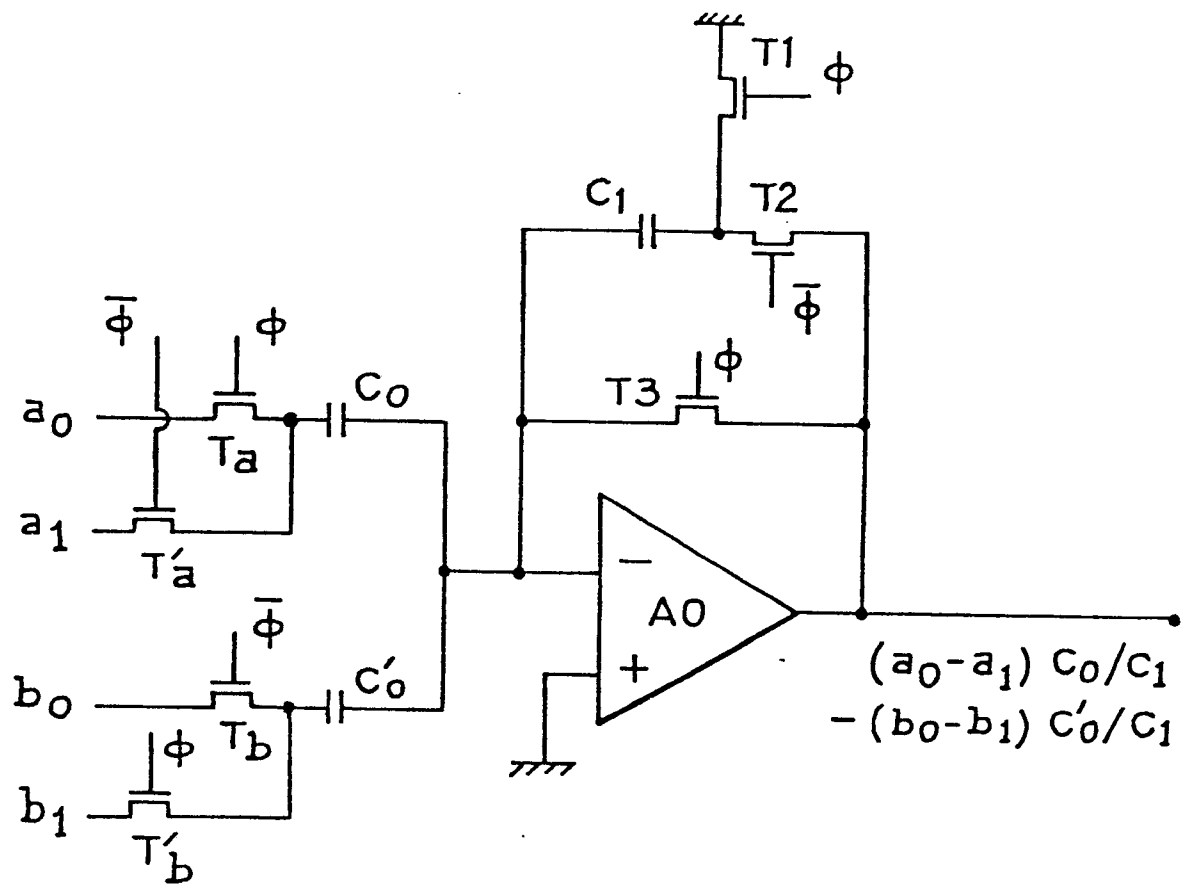
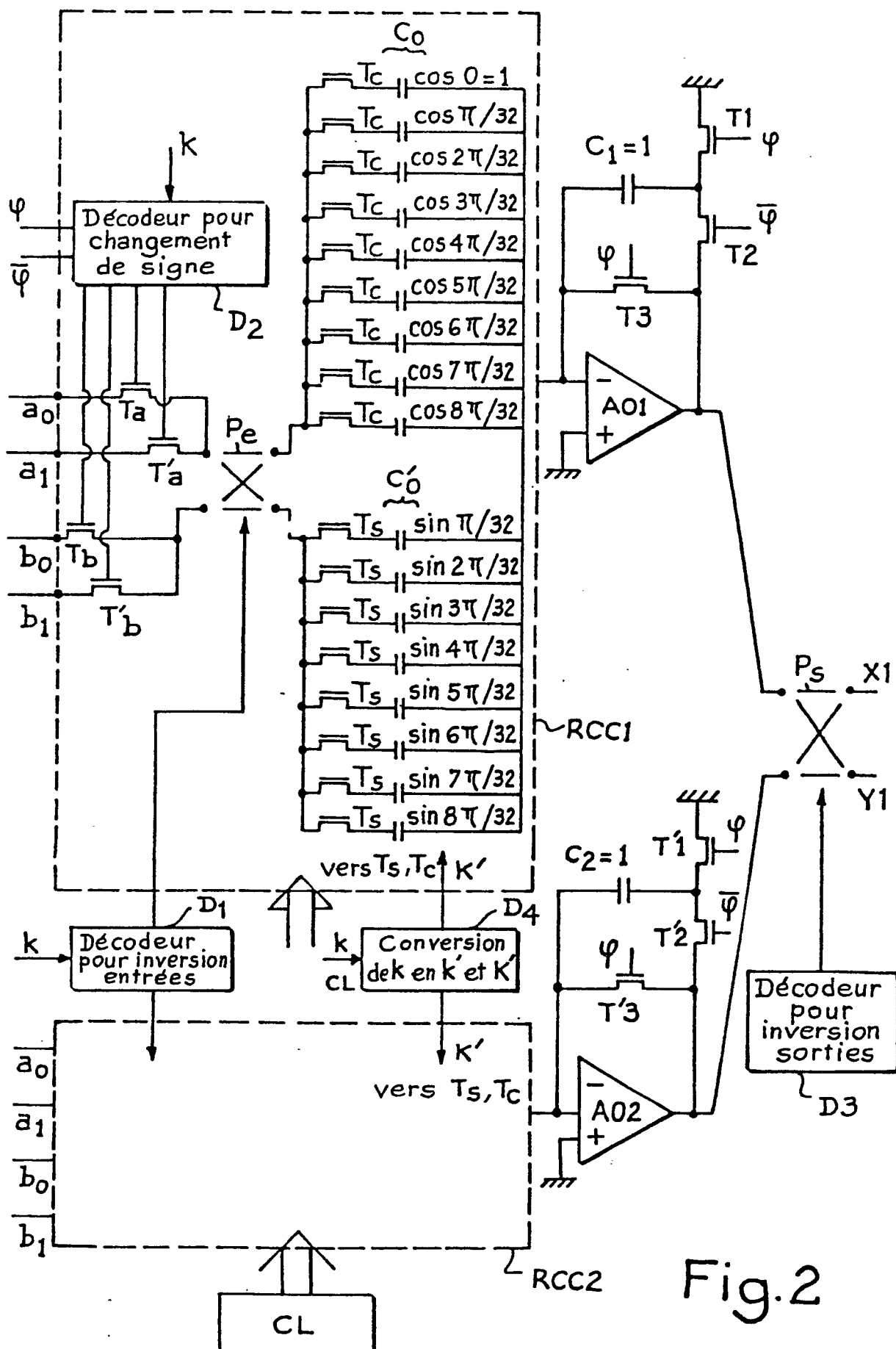


Fig.1



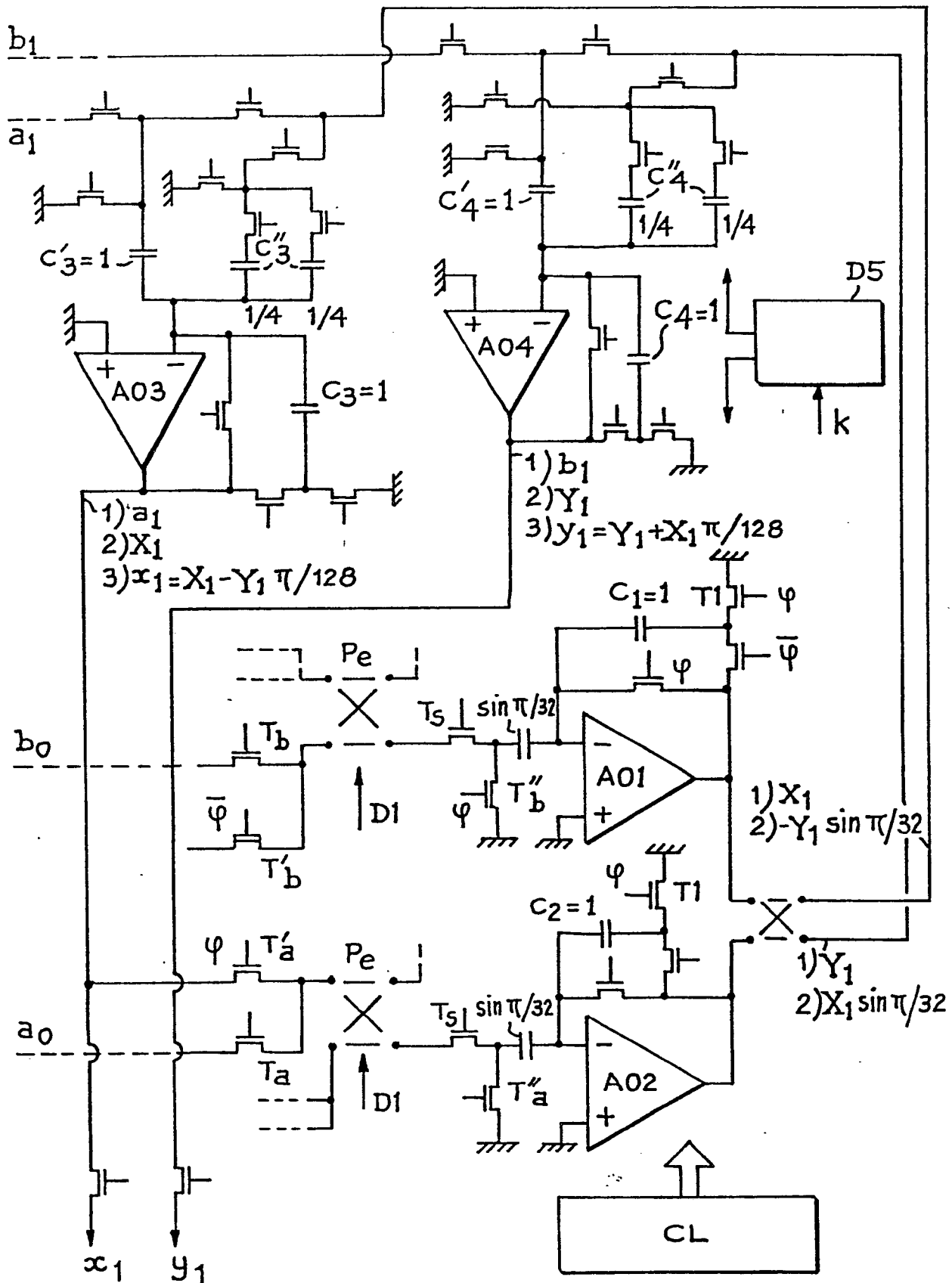


Fig.3

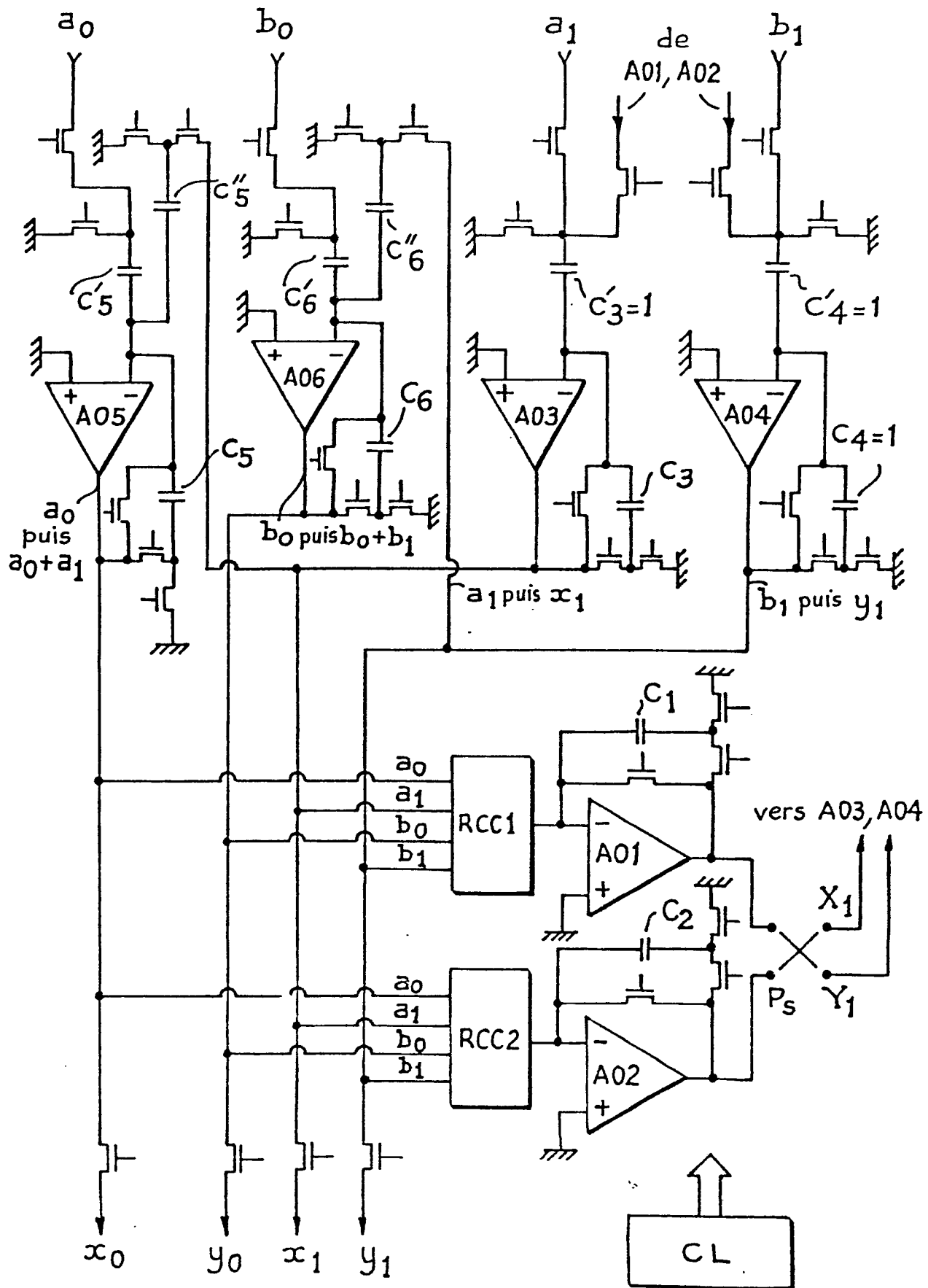


Fig. 4