

12

EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: 84110185.0

51 Int. Cl.⁴: G 04 F 10/10

22 Anmeldetag: 27.08.84

30 Priorität: 08.09.83 DE 3332484

43 Veröffentlichungstag der Anmeldung:
15.05.85 Patentblatt 85/20

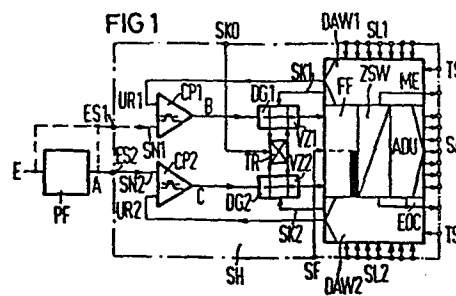
84 Benannte Vertragsstaaten:
AT CH DE FR GB IT LI

71 Anmelder: Siemens Aktiengesellschaft
Berlin und München Wittelsbacherplatz 2
D-8000 München 2(DE)

72 Erfinder: Welzhofer, Klaus
Ruffini-Alle 30
D-8032 Gräfelfing(DE)

54 Schaltungsanordnung zur Messung Kurzer Zeit.

57 Zur dynamischen Meßwerterfassung von Meßimpulsen, die von einem Prüfling (PF), z.B. einer Flachbaugruppe, abgegeben werden, ist eine Schaltungsanordnung erforderlich, die eine Meßwertauflösung im Picosekundenbereich aufweist. Eine derartige Schaltungsanordnung enthält ein erstes Verzögerungsglied (VZ1), der ein den Beginn der zu messenden Zeit festlegender Startimpuls zugeführt wird, und ein zweites Verzögerungsglied (VZ2) mit einer gegenüber der Verzögerungszeit des ersten Verzögerungsgliedes größeren Verzögerungszeit, der ein das Ende der Zeit festlegender Stopimpuls zugeführt wird. Das erste Verzögerungsglied (VZ1) ist mit dem Setzeingang eines bistabilen Kippgliedes (FF) und das zweite Verzögerungsglied (VZ2) mit dessen Rücksetzeingang verbunden. Das der zu messenden Zeit entsprechende Ausgangssignal des bistabilen Kippgliedes (FF) wird einem Zeit/Spannungswandler (ZSW) zugeführt, die eine Entladeschaltung enthält, die abhängig von der Dauer des Ausgangssignals des bistabilen Kippgliedes (FF) mit einem konstanten Strom entladen wird und eine der zu messenden Zeit proportionale Spannung abgibt, die ein Analog/Digital/Wandler (ADU) in einen Binärwert umwandeln. Der Analog/Digital/Wandler (ADU) ist mit einer einstellbaren Spannungsschwelle ausgestattet, die so eingestellt wird, daß bei kurzgeschlossenen Eingängen (ES1, ES2) der Analog/Digital/Wandler den Binärwert für Null abgibt.



SIEMENS AKTIENGESELLSCHAFT
Berlin und München

Unser Zeichen
VPA 83 P 1656 E

Schaltungsanordnung zur Messung kurzer Zeiten

5

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Messung kurzer Zeiten und zur Ausgabe der gemessenen Zeit in digitaler Form, der ein den Beginn der zu messenden Zeit angegebender Startimpuls und ein das Ende der zu messenden Zeit angegebender Stopimpuls zugeführt wird.

Rechnergesteuerte Prüfsysteme benötigen zur vollautomatischen Prüfung von elektronischen Einzelkomponenten, z.B. SSI-, MSI-, LSI-, VLSI-Bausteinen usw., und bestückten Leiterplatten, z.B. Flachbaugruppen, neben Meßgeräten zur statischen Meßwerterfassung, z.B. für Pegelbewertung, Messung von Strömen und Spannungen usw., in zunehmendem Maße auch Meßgeräte zur dynamischen Meßwerterfassung, z.B. zur Messung der Periodendauer von Impulsen, der Impulsbreite, der Anstiegs- und Abfallzeit von Impulsen. Als Beispiel hierfür sei die Prüfung von ECL-LSI-Schaltkreisen angeführt, bei denen ^{selbst} statische Bausteinfehler nur noch durch hochauflösende Meßwerterfassung (im ps-Bereich) der Impulsflankenzeit bzw. der Verzögerungszeit am Prüflingsausgang erkannt werden können. Ferner ist es notwendig, diese Messungen im sog. Einzelschußbetrieb durchzuführen, bei dem nur ein einzelner Impuls ausgemessen wird. Die zunehmend komplexer werdenden logischen Inhalte derzeitiger oder zukünftiger VLSI-Schaltkreise lassen nämlich einen repetitorischen Betrieb mit ausreichend hohen Frequenzen nicht mehr zu, d.h. ein einzelner, an einen Prüflingsausgang stimulierter Impulsflankenwechsel muß in seiner dynamischen Meßgröße sofort erfaßt und bewertet werden können.

35 Zeitmessungen wurden bisher nur an streng repetitorischen Prüfvorgängen z.B. durch Einsatz von programmierbaren Oszillographen durchgeführt. Die Meßwerterfassung nach diesem
Il 1 The - 16. Juni 1983

Verfahren erforderte mindestens 2000 Zyklen bei einer Zykluszeit von $\geq 10 \mu\text{s}$. Messungen im Einzelschußbetrieb konnten mit schnellen Zählern durchgeführt werden. Dieses Verfahrens führte aber erst ab Zeiten größer $1 \mu\text{s}$ zu Meßfehlern kleiner 1%. Impulsflankenmessungen waren hiermit aber nicht durchführbar. Aus diesen Gründen wurde bisher auf dynamische Messungen weitgehendst verzichtet.

Die der Erfindung zugrundeliegende Aufgabe besteht darin, eine Schaltungsanordnung zur Messung von kurzen Zeiten anzugeben, mit der auch dynamische Meßprobleme zu lösen sind, insbesondere ein Einzelschußbetrieb möglich ist und die mit einer hohen Meßwertauflösung im Picosekundenbereich arbeitet. Diese Aufgabe wird bei einer Schaltungsanordnung der eingangs angegebenen Art dadurch gelöst, daß ein erstes Verzögerungsglied vorgesehen ist, der der Startimpuls zugeführt wird, daß ein zweites Verzögerungsglied mit einer gegenüber dem ersten Verzögerungsglied größeren Verzögerungszeit vorgesehen ist, der der Stopimpuls zugeführt wird, daß das erste Verzögerungsglied mit dem Setzeingang eines bistabilen Kippgliedes, das zweite Verzögerungsglied mit dem Rücksetzeingang des bistabilen Kippgliedes verbunden ist, daß die Ausgänge des bistabilen Kippgliedes mit einem eine Entladeschaltung enthaltenden Zeit/Spannungswandler verbunden sind, der eine der Zeit proportionale Spannung erzeugt, und daß an dem Ausgang des Zeit/Spannungswandlers ein Analog/Digital/Wandler mit einstellbarer Spannungsschwelle angeschlossen ist, die so eingestellt ist, daß bei Zusammenschluß der Eingänge der Schaltungsanordnung der Analog/Digital/Wandler den Binärwert für Null abgibt.

Durch diese Einstellung der Spannungsschwelle des Analog/Digital/Wandlers wird erreicht, daß die Toleranzen der Bausteine der Schaltungsanordnung keinen Einfluß auf das

Meßergebnis haben und daß die Entladekennlinie des Zeit/
Spannungswandlers erst im linearen Bereich zur Zeit/Span-
nungswandlung herangezogen wird. Diese Justierung der Schal-
tungsanordnung wird dadurch erreicht, daß die Verzögerungs-
5 glieder mit verschiedenen Verzögerungszeiten ausge-
stattet sind.

Um die verschiedenen zeitlichen Verhältnisse bei einem zu
messenden Impuls (Meßimpuls) ausmessen zu können, z.B. die
10 Impulsflanken oder die Impulsdauer, ist vor das erste und
zweite Verzögerungsglied eine Vorstufe vorgeschaltet,
der der Meßimpuls zugeführt wird. Diese Vorstufe besteht
zur Erzeugung des Start- bzw. Stopimpulses jeweils aus
einem Komparator, dem der Meßimpuls und jeweils eine ein-
15 stellbare Referenzgröße zuführbar ist, aus jeweils einem
am Ausgang des Komparators angeschlossenen Differenzier-
glied, und jeweils einer zwischen dem Differenzierglied
und dem Verzögerungsglied angeordneten Torschaltung.
Mit Hilfe der Vorstufe werden somit aus dem auszumessenden
20 Meßimpuls der Start- bzw. Stopimpuls abgeleitet, der zur
gewünschten Messung notwendig ist.

Um den Einzelschußbetrieb zu ermöglichen, ist jede Tor-
schaltung in der Vorstufe mit einem Freigabeflipflop ver-
25 bunden, das ein Freigabesignal abgibt, wenn die Torschal-
tung für den Start- bzw. Stopimpuls offen sein soll und
deren Rücksetzeingang mit dem Ausgang des zugeordneten Ver-
zögerungsgliedes verbunden ist.

30 Der Zeit/Spannungswandler besteht zweckmäßigerweise aus
einem Differenzverstärker, dessen Eingänge mit den Aus-
gängen des bistabilen Kippgliedes verbunden sind, aus einer
Entladeschaltung mit einem einstellbaren Kondensator, der
zur Entladung mit einem konstanten Strom mit dem einen Aus-
35 gang des Differenzverstärkers verbunden ist und aus einer

abschaltbaren Vorladeschaltung, die zur Vorladung der Entladeschaltung auf einen definierten Anfangswert mit der Entladeschaltung verbunden ist.

- 5 Andere Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, wird die Erfindung weiter erläutert. Es ze-
10 gen

Figur 1 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung,

Figur 2 und Figur 3 eine ausführlichere Realisierung der Schaltungsanordnung,

- 15 Figur 4 Spannungen aufgetragen über der Zeit t an verschiedenen Stellen der Schaltungsanordnung,

Figur 5 den Verlauf der Entladekennlinie aufgetragen über der Zeit t ,

- 20 Figur 6 und Figur 7 ein genaues Schaltbild der Schaltungsanordnung.

In Figur 1 ist ein Prüfling PF mit einem Eingang E und einem Ausgang A dargestellt. Zur Prüfung wird dem Prüfling PF ein Testsignal am Eingang E zugeführt, das an seinem Aus-
25 gang A zu einem Prüflingssignal führt. Die zeitlichen Verhältnisse dieses Prüflingssignals am Ausgang A werden mit Hilfe der Schaltungsanordnung SH gemessen. Dazu weist die Schaltungsanordnung SH zwei Eingänge ES1 und ES2 auf. Der Eingang ES1 kann entweder mit dem Eingang E des Prüflings
30 PF oder mit dem Ausgang A des Prüflings verbunden sein. Der Eingang ES2 der Schaltungsanordnung SH ist mit dem Ausgang A des Prüflings PF verbunden. Ist der Eingang ES1 der Schaltungsanordnung SH mit dem Eingang E des Prüflings PF verbunden, kann z.B. die Zeit gemessen werden, die ver-
35 streicht, bis aufgrund eines Testsignales am Eingang E das

Prüflingssignal am Ausgang A auftritt. Ist dagegen der Eingang ES1 mit dem Ausgang A verbunden, dann kann mit der Schaltungsanordnung SH die Anstiegszeit bzw. Abfallzeit des Prüflingssignales oder dessen Impulsdauer gemessen

5 werden.

Im folgenden wird das Signal, das dem Eingang ES1 zugeführt wird, Meßimpuls SN1 genannt, das Signal, das am Eingang ES2 zugeführt wird, Meßimpuls SN2 genannt. Die Meßimpulse SN1
10 und SN2 können identisch oder verschieden sein. Der Meßimpuls SN1 wird dem Komparator CP1 zugeführt, dem außerdem eine einstellbare Referenzspannung UR1 zugeführt wird. Entsprechend wird der Meßimpuls SN2 einem Komparator CP2 zugeführt, dem ebenfalls eine einstellbare Referenzspannung
15 UR2 zugeführt wird. Die Komparatoren CP1, CP2 geben dann ein Signal am Ausgang ab, wenn die Meßimpulse SN1 bzw. SN2 die Referenzspannungen UR1 bzw. UR2 überschreiten bzw. unterschreiten. Für den Fall, daß der Meßimpuls SN1 gleich SN2 ist, zeigt Figur 4 das Signal am Ausgang B des Komparators
20 CP1 und das Signal am Ausgang C des Komparators CP2. Dabei ist davon ausgegangen worden, daß die Referenzspannung UR1 dem Wert SW1 entspricht und die Referenzspannung UR2 dem Wert SW2.

25 Durch entsprechende Auswahl der Flanken des Signals am Ausgang B oder C der Komparatoren CP1 und CP2 kann somit die Anstiegszeit TR bzw. die Abfallzeit TF des Meßimpulses SN festgestellt werden. Durch entsprechende Einstellung der Referenzspannungen und Auswahl der Komparatorausgangs-
30 flanken kann auch die Impulsdauer gemessen werden.

Die Signale an den Ausgängen B und C der Komparatoren CP1 und CP2 werden jeweils einem Differenzierglied DG1 und DG2 zugeführt, die aus dem Signal B und C Nadelimpulse SZ3 und
35 SZ4 (Figur 4) erzeugen. Mit Hilfe einer Torschaltung TR

- und Auswahlsignalen SK0, SK1 und SK2 können die gewünschten Nadelimpulse SZ3 und SZ4 zur Messung ausgewählt werden. Diese ausgewählten Nadelimpulse aus dem Impulszug SZ3 und SZ4 werden einem Verzögerungsglied VZ1 bzw. VZ2 zugeführt. Der
- 5 Ausgang des Verzögerungsgliedes VZ1 ist mit dem Setzeingang eines bistabilen Kippgliedes FF verbunden, der Ausgang des Verzögerungsgliedes VZ2 mit dessen Rücksetzeingang. Das bistabile Kippglied FF wird mit Hilfe eines Freigabesignals SF freigegeben.
- 10 Die Auswahlsignale SK0, SK1 und SK2 können derart sein, daß z.B. Nadelimpulse am Ausgang C des Komparators CP2 zum Setzeingang des bistabilen Kippgliedes FF umgeleitet werden und dementsprechend Nadelimpulse am Ausgang B des Komparators CP1
- 15 dem Rücksetzeingang des bistabilen Kippgliedes FF zugeführt werden. Oder es kann jeder der Anstiegsflanke zugeordnete Nadelimpuls bzw. jeder der Abfallflanke zugeordnete Nadelimpuls am Ausgang B oder C ausgewählt werden usw..
- 20 Die Ausgangsimpulsbreite des bistabilen Kippgliedes FF entspricht der zeitlichen Differenz zwischen den ausgewählten Nadelimpulsen, die dem Setz- bzw. Rücksetzeingang des Kippgliedes FF zugeführt worden sind. Mit Hilfe eines Zeitspannungswandlers ZSW wird diese der zu messenden Zeit ent-
- 25 sprechende Impulsbreite in eine der Zeit proportionale Spannung umgewandelt. Mit Hilfe des Analog/Digital/Wandlers ADU wird aus der Zeit ein digitaler Wert ermittelt, der am Ausgang SA abgegeben wird.
- 30 Der Analog/Digital/Wandler ADU zeigt durch ein Signal EOC an, wenn die Spannung in einen Binärwert umgewandelt worden ist. Dieses Signal EOC wird am Ausgang abgegeben, aber auch gleichzeitig dem Zeitspannungswandler ZSW zugeführt. Durch das Signal EOC wird der Zeitspannungswandler ZSW
- 35 wieder in seinen Ausgangszustand zurückgebracht und somit für die nächste Messung vorbereitet.

Soll mit Hilfe der Schaltungsanordnung SH nur eine Zeit innerhalb eines gewissen Bereichs gemessen werden, dann kann der Zeitspannungswandler ZSW so ausgeführt sein, daß bei einer Überschreitung des Meßbereiches am Ausgang ME
5 ein Signal abgegeben wird.

Die Einstellung der Referenzspannungen UR1 und UR2 kann mit Hilfe von Digital-Analog-Wandlern DAW1 und DAW2 erfolgen. Diesen wird der Binärwert SL1 bzw. SL2 zugeführt, aus
10 denen sie dann die Referenzspannung UR1 und UR2 erzeugen.

Figur 2 und Figur 3 zeigen eine ausführlichere Realisierung der Schaltungsanordnung SH. Der Komparator CP1 und der Komparator CP2 haben einen nicht invertierenden und
15 einen invertierenden Ausgang. Jeder Ausgang führt zu einem zugeordneten Differenzierglied DG11 und DG12 für den Komparator CP1 und DG21 und DG22 für den Komparator CP2. Die Ausgänge der Differenzierglieder DG11 und DG12 sind mit einer Torschaltung verbunden, die aus Torglieder TR1 und TR2 besteht.
20 Entsprechend sind die Differenzierglieder DG21 und DG22 mit einer Torschaltung verbunden, die aus Torglieder TR3 und TR4 besteht.

Am Ausgang des Differenziergliedes DG11 wird ein positiver
25 Nadelimpuls entsprechend Figur 4 abgegeben, wenn die Anstiegsflanke des Meßimpulses SN die Referenzspannung UR1 überschreitet. Am Ausgang des Differenziergliedes DG12 wird ein positiver Nadelimpuls abgegeben, wenn die Abfallflanke des Meßimpulses SN die Referenzspannung UR1 unterschreitet.
30 Entsprechendes gilt für die Differenzierglieder DG 21 und DG 22. Diese Nadelimpulse sind zusammengefaßt als Signale SZ3 und SZ4 in Figur 4 dargestellt. Mit Hilfe der Torglieder TR1 und TR2 kann nun der Ausgang des Differenziergliedes DG11 oder der Ausgang des Differenziergliedes DG12
35 zum Ausgang durchgeschaltet werden. Welches Torglied TR1

bzw. TR2 durchlässig ist, wird mit Hilfe des Auswahl-signals SK1 festgelegt.

Entsprechend kann entweder der Ausgang des Differenzier-
5 gliedes DG21 oder der Ausgang des Differenziergliedes DG22 durch die Torglieder TR3 und TR4 zum Ausgang durchgeschaltet werden und zwar in Abhängigkeit des Auswahlsignals SK2.

Die Ausgänge der Torglieder TR1 und TR2 sind zusammenge-
10 schaltet und an den Eingang eines Verzögerungsgliedes VZ1 angeschlossen, dessen Ausgang zum Setzeingang S des bistabilen Kippgliedes FF führt. Die Ausgänge der Torglieder TR3 und TR4 sind ebenfalls zusammengeschaltet und an den Eingang eines Verzögerungsgliedes VZ2 angeschlossen, dessen Aus-
15 gang mit dem Rücksetzeingang R des bistabilen Kippgliedes FF verbunden ist. Mit dem bistabilen Kippglied FF wird somit der zeitliche Abstand zwischen dem Auftreten des Nadelimpulses am Ausgang des Verzögerungsgliedes VZ1 und dem Auftreten des Nadelimpulses am Ausgang des Verzögerungs-
20 gliedes VZ2 festgestellt. Die Verzögerungsglieder VZ1 und VZ2 sind zweckmäßigerweise derart ausgeführt, daß die Verzögerungszeit des Verzögerungsgliedes VZ2 größer ist als die des Verzögerungsgliedes VZ1. Der dadurch bedingte Vorteil wird weiter unten erläutert.

25

Um Einzelschußbetrieb zu ermöglichen, sind Freigabeflipflops FG1 und FG2 vorgesehen. Das Freigabeflipflop FG1 ist mit den Torgliedern TR1 und TR2 verbunden, das Freigabeflipflop FG2 mit den Torgliedern TR3 und TR4. Wenn ein Meß-
30 impuls SN ausgewählt wird, werden die Freigabeflipflops FG1 und FG2 gesetzt und damit die Torglieder TR1 bis TR4 freigegeben. Der Rücksetzeingang des Freigabeflipflops FG1 ist mit dem Ausgang des Verzögerungsgliedes VZ1 verbunden, der Rücksetzeingang des Freigabeflipflops FG2 mit dem Ausgang
35 des Verzögerungsgliedes VZ2. Damit werden die Freigabe-

flippflops FG1 und FG2 dann wieder zurückgesetzt und damit die Torglieder TR1 bis TR4 gesperrt, wenn der durch die Torglieder TR ausgewählte Nadelimpuls am Ausgang der Verzögerungsglieder VZ1 und VZ2 erscheint und damit dem bi-
5 stabilen Kippglied FF zugeführt wird. Die Verzögerungszeit der Verzögerungsglieder VZ1 und VZ2 sind dabei so gewählt, daß die Freigabeflippflops FG1 und FG2 bereits zurückgesetzt sind, bevor ein einem anderen Meßimpuls SN zugeordneter Nadelimpuls zu den Torgliedern TR gelangen kann.

10

Damit die Schaltungsanordnung in einen definierten Ausgangszustand gebracht werden kann, sind die Freigabeflippflops FG1 und FG2 und das bistabile Kippglied FF mit ihren Rücksetzeingängen R an eine Leitung für einen Rücksetzimpuls SR angeschlossen. Im Betrieb erfolgt die Rücksetzung
15 der Flippflops FG1 und FG2 und des bistabilen Kippgliedes FF durch in der Schaltungsanordnung erzeugte Impulse.

Figur 2 zeigt eine Ausführung der Torschaltung TR nach
20 Figur 1 derart, daß ein Übergang des Signales am Ausgang A des Komparators CP1 zum Verzögerungsglied VZ2 und des Signales am Ausgang B des Komparators CP zum Verzögerungsglied VZ1 nicht möglich ist. Durch geringfügige Änderungen in der Torschaltung TR, die im Rahmen des fachmännischen
25 Könnens liegen, ist ein entsprechender Aufbau der Torschaltung ohne weiteres möglich.

Die Ausgänge des bistabilen Kippgliedes FF, an denen die Signale SZ1 und SZ2 erscheinen, sind mit einem Differenz-
30 verstärker DV verbunden. ^(s. Fig. 3) Der eine Ausgang des Differenzverstärkers DV ist mit einem Bezugspotential P1, z.B. Masse verbunden. Der andere Ausgang des Differenzverstärkers DV führt zu einer Entladeschaltung ET, die einen Kondensator CO enthält. Solange das bistabile Kippglied FF nicht gesetzt
35 ist, ist der Differenzverstärker DV mit dem Potential P1

verbunden und es erfolgt keine Entladung der Entladeschaltung ET über den Differenzverstärker DV. Ist dagegen das bistabile Kippglied FF gesetzt, dann entlädt der Differenzverstärker DV mit einem konstanten Strom die Entladeschaltung ET. Die Dauer dieses Entladevorgangs wird somit von der Zeitdauer bestimmt, die das bistabile Kippglied FF im Setzzustand ist. Diese Zeit entspricht aber der zu messenden Zeit.

- 10 Die Entladeschaltung ET ist weiterhin mit einer Vorladeschaltung AT verbunden, durch die die Entladeschaltung ET auf eine definierte ^{Anfangs-}Spannung aufgeladen wird, während der Differenzverstärker DV mit dem Potential P1 verbunden ist. Die Vorladeschaltung AT verbindet die Entladeschaltung ET in dieser Zeit mit einer Spannung UV. Wenn jedoch das Signal SZ3 am Ausgang der Torglieder TR1 und TR2 auftritt, wird die Vorladeschaltung AT von der Entladeschaltung ET abgetrennt und die Entladeschaltung ET kann nur noch von dem Differenzverstärker DV beeinflusst werden.

20

- Das Abschalten bzw. Anschalten der Vorladeschaltung AT erfolgt mit Hilfe eines bistabilen Kippgliedes KS1, dem das Signal SZ3 zugeführt wird. Das Kippglied KS1 wird ^{erst} dann wieder zurückgesetzt und damit die Vorladeschaltung AT an die Entladeschaltung ET wieder angeschaltet, wenn die Umwandlung der am Ausgang der Entladeschaltung ET abgegebenen Spannung in einen binären Wert durch den Analog-Digital-Wandler ADU beendet ist, dieser also das Signal EOC abgibt.

- 30 Der Differenzverstärker DV und die Entladeschaltung ET sind derart aufgebaut, daß der in der Entladeschaltung ET enthaltene Kondensator CO mit einem konstanten Strom während der Zeit, während der das bistabile Kippglied FF gesetzt ist, entladen wird. Damit erfolgt eine Umwandlung der Zeit in eine Spannung. Die dabei verwendete Entlade-
- 35

kennlinie ist in Figur 5 dargestellt. Mit Hilfe der Vorladeschaltung AT wird der Kondensator CO der Entladeschaltung z.B. auf +10 Volt vorgeladen. Wenn der Differenzverstärker DV auf die Entladeschaltung ET umschaltet, wird der
5 Kondensator CO mit konstantem Strom entladen, d.h. die Kennlinie nach Figur 5 geht in den Entladebereich TE über. Bei Ausschöpfung des gesamten Meßwertbereiches erreicht die Spannung über dem Kondensator CO Null Volt. Ist die Messung beendet, dies wird durch das Signal EOC angezeigt, dann
10 wird die Vorladeschaltung AT wieder an die Entladeschaltung ET angeschlossen und der Kondensator CO wieder auf +10 Volt aufgeladen. Anschließend kann wieder eine neue Zeitmessung beginnen und damit eine neue Entladung des Kondensators CO.

15

Am Ausgang der Entladeschaltung ET ist ein Operationsverstärker JP1 angeschlossen, der so geschaltet ist, daß die Entladeschaltung ET nicht belastet wird. Dem Operationsverstärker OP1 wird eine Referenzspannung UR3 zugeführt, die
20 so eingestellt wird, daß nur im linearen Bereich der Entladekennlinie gearbeitet wird. Der Ausgang des Operationsverstärkers OP1 ist schließlich mit dem Analog/Digital/Wandler ADU verbunden, der aus der vom Operationsverstärker OP1 abgegebenen Spannung einen binären Wert am Ausgang SA
25 erzeugt.

In Figur 3 ist noch ein weiteres Kippglied KS2 gezeigt, dem über ein Verzögerungsglied VZ3 das Signal SZ4 vom Ausgang der Torglieder TR3 und TR4 zugeführt wird. Durch dieses Signal SZ4 wird das Kippglied KS2 in seinen einen Zustand gebracht, in dem es am Ausgang das Freigabesignal SC für den Analog/Digital/Wandler ADU abgibt. Das heißt der Analog/Digital/Wandler ADU wird erst dann eingeschaltet, wenn ein Nadelimpuls am Ausgang der Torglieder TR3 und TR4
35 aufgetreten ist. Dieser Nadelimpuls wird durch das Verzöge-

0141122

-11a-

VPA 83 P 1656 E

rungsglied VZ3 derart verzögert, daß der Analog/Digital/
Wandler ADU nicht zu frühzeitig eingeschaltet wird.

Das Kippglied KS2 kann aber auch dazu verwendet werden, um

eine Meßbereichsüberschreitung festzustellen. Dazu ist der Ausgang des Kippgliedes KS1 mit einem Zeitglied Z1 verbunden, dessen invertierender Eingang zusammen mit dem Ausgang des Verzögerungsgliedes VZ3 mit einem UND-Glied UD1 verbunden ist, das zum Eingang des Kippgliedes KS2 führt. Weiterhin ist der Ausgang des Zeitgliedes Z1 mit einem weiteren Zeitglied Z2 verbunden, das an ein weiteres UND-Glied UD2 angeschlossen ist. Das UND-Glied UD2 ist weiterhin mit dem anderen Ausgang des Kippgliedes KS2 verbunden und gibt an seinem Ausgang das Meßbereichsüberschreitungssignal ME ab und führt weiterhin zum Rücksetzeingang des Kippgliedes KS1.

Der zulässige Meßbereich wird mit Hilfe des Zeitgliedes Z1 festgelegt. Wenn die Zeit zwischen dem Auftreten des Signales SZ3 und des Signales SZ4 zu groß wird, dann wird am invertierenden Ausgang des Zeitgliedes Z1 ein Signal erscheinen, das das UND-Glied UD1 sperrt, so daß das Kippglied KS2 im rückgesetzten Zustand bleibt. Dies hat zur Folge, daß das UND-Glied UD2 freigegeben ist und das Meßbereichsüberschreitungssignal ME auftreten kann.

Der Ausgang des UND-Gliedes UD2 ist weiterhin mit dem Rücksetzeingang des bistabilen Kippgliedes KS1 verbunden, so daß dieses auch zurückgesetzt wird, wenn das Meßbereichsüberschreitungssignal ME auftritt. Weiterhin wird, wenn der Meßbereich überschritten wird, das Freigabesignal SC für den Analog/Digital/Wandler ADU nicht erzeugt, so daß dieser nicht freigegeben wird. Der Ausgang des bistabilen Kippgliedes KS1, auf dem Signal SZ5 erscheint, ist mit dem bistabilen Kippglied FF verbunden, so daß dieses zurückgesetzt wird, wenn das Signal SZ5 auftritt. Dann nämlich ist der Bewertungsvorgang des bistabilen Kippgliedes FF auf jeden Fall beendet.

Der Zeitspannungswandler ZSW der Figur 1 besteht somit auf
jeden Fall aus dem Differenzverstärker DV, der Entladeschal-
tung ET, der Vorladeschaltung AT, dem bistabilen Kippglied
KS1 und möglicherweise dem bistabilen Kippglied KS2, wenn
5 ein zulässiger Meßbereich vorgesehen wird.

Zur Justierung der Schaltungsanordnung nach Figur 2 und
Figur 3 werden die Eingänge der Komparatoren CP1 und CP2,
auf denen der Meßimpuls auftritt, kurzgeschlossen und die
10 Referenzspannungen UR1 und UR2 auf denselben Wert gelegt.
Da die Verzögerungsglieder VZ1 und VZ2 verschiedenen Wert
haben, wird das bistabile Kippglied FF kurzzeitig gesetzt.
Folglich wird die Entladeschaltung ET kurzzeitig von dem
Differenzverstärker DV entladen. Die Referenzspannung UR3.
15 des Operationsverstärkers OP1 wird nun so eingestellt, daß
diese Entladung von dem Analog/Digital/Wandler ADU noch
nicht ausgewertet wird, also der Binärwert am Ausgang SA
Null bleibt. Durch diese Maßnahme wird erreicht, daß Bau-
teiletoleranzen der Schaltungsanordnung nicht zu einer Be-
20 einflussung des Meßergebnisses am Ausgang des Analog/Digi-
tal/Wandlers ADU führen und es wird weiterhin erreicht, daß
der Beginn der Entladekennlinie (s. Figur 5), in dem die
Kennlinie nicht linear ist, zur Zeit/Spannungswandlung
nicht herangezogen wird. Für die Umwandlung wird somit nur
25 der lineare Bereich der Entladekennlinie herangezogen.

Die Verzögerungszeit des Zeitgliedes Z1 und die Steilheit
der Entladekennlinie und damit der Bereich, in dem eine
Zeit/Spannungswandlung durchführbar ist, müssen einander
30 entsprechen. Die Entladekennlinie wird durch Einstellung
der Kapazität des Kondensators CO so gewählt, daß die Ent-
ladekennlinie nach Figur 5 bei der maximalen Zeit gerade
Null Volt erreicht hat. Dementsprechend muß auch die Ver-
zögerungszeit des Zeitgliedes Z1 gewählt werden.

Aus Figur 6 ergibt sich ein genauer Aufbau des Schaltungs-
teils nach Figur 2. Dabei werden nur die für die Funktion
der Schaltungsanordnung wesentlichen Teile erläutert. Der
digitale Wert SL der Referenzspannung UR wird in einen Spei-
5 cher SP1 und in einen Speicher SP2 bei Auftreten von Takt-
signalen TS übernommen. Der Speicher SP1 ist mit dem Digi-
tal/Analog/Wandler DAW1, der Speicher SP2 mit dem Digital-
/Analog/Wandler DAW2 verbunden. Der Binärwert, der im Spei-
cher SP steht, wird von dem Digital/Analog/Wandler DAW in
10 einen proportionalen Strom umgewandelt, aus dem über einen
Operationsverstärker die Referenzspannung UR1 bzw. UR2 er-
zeugt wird.

Die Referenzspannung UR1 und der Meßimpuls SN1 bzw. die Re-
15 ferenzspannung UR2 und der Meßimpuls SN2 werden den Kom-
paratoren CP1 bzw. CP2 zugeführt. Die Ausgänge der Kompa-
ratoren CP1 bzw. CP2 führen zu den Differenziergliedern
DG11, DG12 bzw. DG21 und DG22. Die Differenzierglieder DG
sind als am Ende kurzgeschlossene Leitungen realisiert,
20 die an einem festen Potential anliegen. Mit Hilfe der kurz-
geschlossenen Leitungen werden symmetrische Nadelimpulse er-
zeugt.

Die Torglieder TR1, TR2, TR3 und TR4 sind in Figur 6 als
25 NOR-Glieder realisiert, denen die Nadelimpulse, ein Aus-
wahlsignal SK und das Ausgangssignal vom Freigabeflipflop
FG1 bzw. FG2 zugeführt werden.

Die Ausgänge der Torglieder TR1 und TR2 führen zu dem Ver-
30 zögerungsglied VZ1, das als Leitung realisiert ist. Die Aus-
gänge der Torglieder TR3 und TR4 führen zu dem als Leitung
realisierten Verzögerungsglied VZ2. Das Verzögerungsglied
VZ2 hat eine größere Verzögerungszeit als das Verzögerungs-
glied VZ1, z.B. um 5ns.

Da die der Schaltungsanordnung zugeführten Signale SR, SK, SF TTL-Pegel haben, werden diese mit Hilfe von TTL/ECL-Wandler in ECL-Pegel umgewandelt. Dabei ist zusätzlich erforderlich, daß das Freigabesignal SF nach der Umwandlung
5 in ein ECL-Signal noch einem Monoflop zur Erzeugung eines Impulses zugeführt wird.

Figur 7 zeigt eine genaue Realisierung der Figur 3. Auch hier werden nur die wesentlichsten Bestandteile erläutert.
10 Die Signale SZ1 und SZ2 werden dem Differenzverstärker DV zugeführt. An die Emitter der Differenztransistoren T3 und T4 ist eine Konstantstromquelle KSQ1 angeschlossen, über die z.B. ein Konstantstrom von 30 mA fließt. Entsprechend dem Wert der Signale SZ1 und SZ2 fließt der Konstantstrom
15 entweder über den Differenztransistor T3 zum Potential P1 oder über den Differenztransistor T4 zur Entladeschaltung ET. Die Entladeschaltung ET besteht im wesentlichen aus dem Kondensator C0, der aus einem Kondensator mit fester Kapazität und einem Kondensator mit variabler Kapazität besteht.

20 An dem Verbindungspunkt VP ist der Differenzverstärker DV angeschlossen und zwar über einen Transistor T10 in Basis-schaltung. Dieser Transistor kompensiert den Millereffekt des Differenztransistors T4.

25 An die Entladeschaltung ET ist die Vorladeschaltung AT angeschlossen, die aus der Konstantstromquelle KSQ2 besteht, die über den Transistor T1 abschaltbar ist. Die Konstantstromquelle KSQ2 ist über Dioden D1, D2, D3 mit dem Ver-
30 bindungspunkt VP verbunden. Sie wird über einen Operationsverstärker OP2 angesteuert, an dessen invertierenden Eingang die Spannung UV anliegt. Der nicht invertierende Eingang des Operationsverstärkers OP2 ist mit dem Verbindungspunkt VP verbunden. Diese Rückkopplung bewirkt, daß die
35 Spannung am Verbindungspunkt VP, so lang die Konstantstrom-

quelle KSQ2 angeschaltet ist, in etwa +10 Volt beträgt.

Das Abschalten der Konstantstromquelle KSQ2 erfolgt über den Transistor T1, dessen Basis an einem weiteren Differenzverstärker DV1 anliegt. Dieser Differenzverstärker DV1 ist mit der bistabilen Kippglied KS1 verbunden, dem das Signal SZ3 zugeführt wird. Solange das bistabile Kippglied KS1 gesetzt ist, ist über den Differenzverstärker DV1 der Transistor T1 leitend gesteuert, so daß in etwa Masse-Potential am Kollektor des Transistors T2 der Konstantstromquelle KSQ2 liegt. Dadurch werden die Dioden D1 bis D3 gesperrt und das Potential am Kondensator C0 von der Konstantstromquelle KSQ2 abgetrennt. Die Hintereinanderschaltung der Dioden D1 bis D3 erfolgt deswegen, um die Gesamtkapazität möglichst klein zu halten.

Wenn der Differenzverstärker DV1 durch Rücksetzen des bistabilen Kippgliedes KS1 wieder in seinen anderen Zustand gebracht wird, wird der Transistor T1 gesperrt und die Vorladeschaltung wird wieder an den Verbindungspunkt VP angeschlossen.

Das Signal SZ4 wird über ein als Leitung realisiertes Verzögerungsglied VZ3 an den Eingang des bistabilen Kippgliedes KS2 angelegt. An diesem Eingang liegt weiterhin über das Zeitglied Z1, das als Monoflop realisiert ist, der Ausgang des bistabilen Kippgliedes KS1 an. Das Zeitglied Z2 ist ebenfalls als monostabiles Kippglied realisiert. Das Zusammenwirken des bistabilen Kippgliedes KS2 mit den Zeitgliedern Z1 und Z2 und mit der Verzögerungsleitung VZ3 ist bereits weiter oben beschrieben worden.

Bei der Betrachtung der Figur 7 ist zu beachten, daß der Analog/Digital/Wandler ADU TTL-Signale verarbeitet, während der übrige Schaltungsteil der Figur 7 ECL-Signale erzeugt.

Aus diesem Grunde sind wiederum ECL/TTL-Wandler in den Leitungen für das Meßbereichsüberschreitungssignal ME, für das Freigabesignal SC und für das Signal EOC erforderlich. Weiterhin sind monostabile Kippschaltungen eingefügt, um die
5 zum Betrieb erforderlichen Impulse zu erzeugen.

Als Analog/Digital/Wandler ADU kann ein handelsüblicher Baustein verwendet werden. Dies gilt ebenso für die Digital/Analog/Wandler DAW1 und DAW2, die Operationsverstärker OP und die Komparatoren CP. Die übrigen nicht beschriebenen Bauelemente der Figur 4 und Figur 7 dienen in bekannter Weise zur erforderlichen Beschaltung der einzelnen, verwendeten Bausteine. Y ist eine Spannung von 0,8V.
10

15 7 Figuren

14 Patentansprüche

Patentansprüche

1. Schaltungsanordnung zur Messung kurzer Zeiten und zur Ausgabe der gemessenen Zeit in digitaler Form, der ein den
5 Beginn der zu messenden Zeit angegebender Startimpuls und ein das Ende der zu messenden Zeit angegebender Stopimpuls zugeführt wird, dadurch g e k e n n z e i c h n e t , daß ein erstes Verzögerungsglied (VZ1) vorgesehen ist, der der Startimpuls zugeführt wird, daß ein zweites Verzögerungs-
10 glied (VZ2) mit einer gegenüber dem ersten Verzögerungsglied größeren Verzögerungszeit vorgesehen ist, der das Stopsignal zugeführt wird, daß das erste Verzögerungsglied (VZ1) mit dem Setzeingang eines bistabilen Kippgliedes (FF) und das zweite Verzögerungsglied (VZ2) mit den Rücksetz-
15 eingang des bistabilen Kippgliedes (FF) verbunden ist, daß die Ausgänge des bistabilen Kippgliedes (FF) mit einem eine Entladeschaltung (ET) enthaltenden Zeit/Spannungswandler (ZSW) verbunden sind, der eine der Zeit proportionale Spannung erzeugt, und daß an den Ausgang des Zeit/Spannungs-
20 wandlers (ZSW) ein Analog/Digital/Wandler (ADU) mit einstellbarer Spannungsschwelle angeschlossen ist, die so eingestellt ist, daß bei Zusammenschluß der Eingänge (ES1, ES2) der Schaltungsanordnung der Analog/Digital/Wandler (ADU) den Binärwert für Null abgibt.

25

2. Schaltungsanordnung nach Anspruch 1, dadurch g e -
k e n n z e i c h n e t , daß zur Messung der zeitlichen Verhältnisse bei einem Meßimpuls (SN) zur Erzeugung des Startsignals bzw. des Stopsignals jeweils vor das erste bzw.
30 zweite Verzögerungsglied (VZ1 bzw. VZ2) eine Vorstufe vorgeschaltet ist, der der Meßimpuls zugeführt wird, daß die Vorstufe zur Erzeugung des Start- bzw. Stopimpulses jeweils einen Komparator (CP1 bzw. CP2), dem jeweils der Meßimpuls und jeweils eine einstellbare Referenzspannung (UR1 bzw.
35 UR2) zugeführt wird, ein am Ausgang des Komparators (CP1

bzw. CP2) angeschlossenes Differenzierglied (DG1 bzw. DG2) und eine zwischen dem Differenzierglied (DG1 bzw. DG2) und dem Verzögerungsglied (VZ1 bzw. VZ2) angeordnete Torschaltung (TR) enthält.

5

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß jede Torschaltung (TR1, TR2 bzw. TR3, TR4) mit einem Freigabeflipflop (FG1 bzw. FG2) verbunden ist, die ein Freigabesignal abgibt, wenn die Torschaltungen für den Start-bzw. Stopimpuls offen sein soll.

4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, daß der Rücksetzeingang des Freigabeflipflops (FG1 bzw. FG2) mit dem Ausgang des zugeordneten Verzögerungsgliedes (VZ1 bzw. VZ2) verbunden ist.

5. Schaltungsanordnung nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß jeder Komparator (CP1, CP2) einen nichtinvertierenden und einen invertierenden Ausgang aufweist, daß der nichtinvertierende und der invertierende Ausgang jeweils über ein Differenzierglied (DG11, DG12 bzw. DG21, DG22) mit einem Torglied (TR1, TR2 bzw. TR3, TR4) der Torschaltung verbunden ist und daß an die Torglieder (TR) jeweils ein Auswahlsignal (SK1 bzw. SK2) anlegbar ist.

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß das Differenzierglied (DG) aus einer kurzgeschlossenen Leitung besteht.

30

7. Schaltungsanordnung nach einem der vorhergehenden Ansprüche gekennzeichnet durch den Zeit/Spannungswandler (ZSW) aus einem Differenzverstärker (DV), der mit den Ausgängen des bistabilen Kippgliedes (FF) verbunden ist, aus der Entladeschaltung (ET) mit einem ein-

stellbaren Kondensator (CO), der zur Entladung mit einem konstanten Strom mit dem einen Ausgang des Differenzverstärkers verbunden ist und aus einer abschaltbaren Vorladeschaltung (AT), die zur Vorladung der Entladeschaltung auf einen definierten Wert mit der Entladeschaltung verbunden ist.

8. Schaltungsanordnung nach Anspruch 7, g e k e n n z e i c h n e t durch die Vorladeschaltung (AT) aus einer Konstantstromquelle (KSQ2), dessen Ausgang über Dioden (D1, D2, D3) mit dem Verbindungspunkt (VP) zwischen dem Kondensator (CO) und dem Differenzverstärker (DV) verbunden ist, aus einem Operationsverstärker (OP2), dessen Ausgang an den Eingang der Konstantstromquelle (KSQ2) angeschlossen ist, dessen nichtinvertierender Eingang mit dem Verbindungspunkt (VP) verbunden ist und an dessen invertierenden Eingang eine Grundladespannung (UV) angeschlossen ist, ^{und} aus einem an den Ausgang der Konstantstromquelle (KSQ2) angeschlossen Schalttransistor (T1), dessen Basiselektrode mit einem Ausgang eines zweiten Differenzverstärkers (DV1) verbunden ist, der nach Auftreten des Startimpulses (SZ3) den Schalttransistor (T1) leitend steuert und damit die Konstantstromquelle (KSQ2) von dem Kondensator (CU) abtrennt.

9. Schaltungsanordnung nach Anspruch 8, dadurch g e k e n n z e i c h n e t , daß zwischen dem Verbindungspunkt (VP) und dem Ausgang des ersten Differenzverstärkers (DV) zur Kompensation des Millereffektes des Differenzverstärkertransistors (T4) ein Transistor (T10) in Basisschaltung angeordnet ist.

10. Schaltungsanordnung nach einem der Ansprüche 2 bis 9, dadurch g e k e n n z e i c h n e t , daß ein drittes Freigabeflipflop (KS2) vorgesehen ist, dessen Setzeingang mit einem UND-Glied (UD1) verbunden ist, an dessen einen

Eingang das Stoppsignal (SZ4) und an dessen anderem Eingang über ein den Meßbereich festlegendes Zeitglied (Z1) das Startsignal (SZ3) in invertierter Form anliegt, und daß am einen Ausgang des dritten Freigabeflipflops (KS2) ein Freigabesignal (SC) für den Analog/Digital/Wandler (ADU) abgegeben wird.

11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß der andere Ausgang des dritten Freigabeflipflops (KS2) mit einem UND-Glied (UD2) verbunden ist, an dessen anderem Eingang ein mit dem ersten Zeitglied (Z1) verbundenes zweites Zeitglied (Z2) angeschlossen ist und an dessen Ausgang ein Meßbereichsüberschreitungssignal (ME) erscheint.

15

12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß ein weiteres bistabiles Kippglied (KS1) vorgesehen ist, dessen Setzeingang das Startsignal (SZ3) und dessen Rücksetzeingang das Meßbereichsüberschreitungssignal (ME) zugeführt wird und dessen einer Ausgang mit dem zweiten Differenzverstärker (DV1) und mit dem ersten Zeitglied (Z1) verbunden ist.

13. Schaltungsanordnung nach Anspruch 12, dadurch gekennzeichnet, daß der Analog/Digital/Wandler (ADU) ein Ausgangssignal (EOC) erzeugt, wenn die Umwandlung in einen digitalen Wert beendet ist, und daß das Ausgangssignal (EOC) dem Rücksetzeingang des weiteren bistabilen Kippgliedes (KS1) und dem Rücksetzeingang des dritten Freigabeflipflops (KS2) zugeführt wird.

14. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Verzögerungszeit des zweiten Verzögerungsgliedes (VZ2) sich derart von der Verzögerungszeit des ersten Verzögerungsgliedes (VZ1) unterscheidet, daß die Verzögerungszeit des zweiten Verzögerungsgliedes (VZ2) größer als die Verzögerungszeit des ersten Verzögerungsgliedes (VZ1) ist.

runsgliedes (VZ1) unterscheidet, daß der Anfang der Umladekennlinie der Entladeschaltung (ET) zur Zeit/Spannungswandlung nicht herangezogen wird.

FIG 1

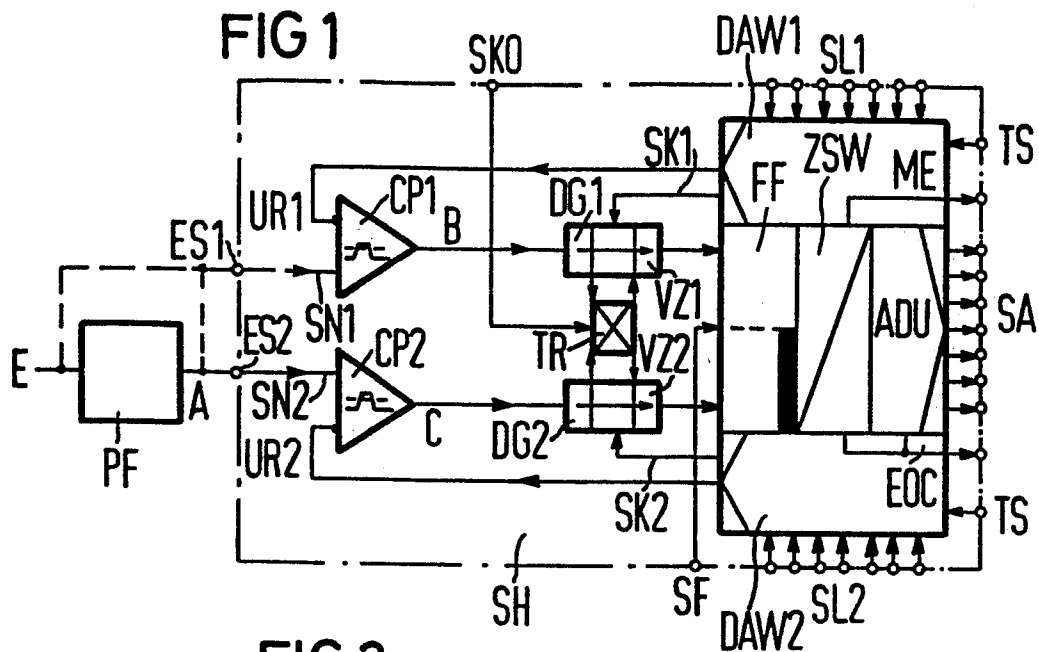
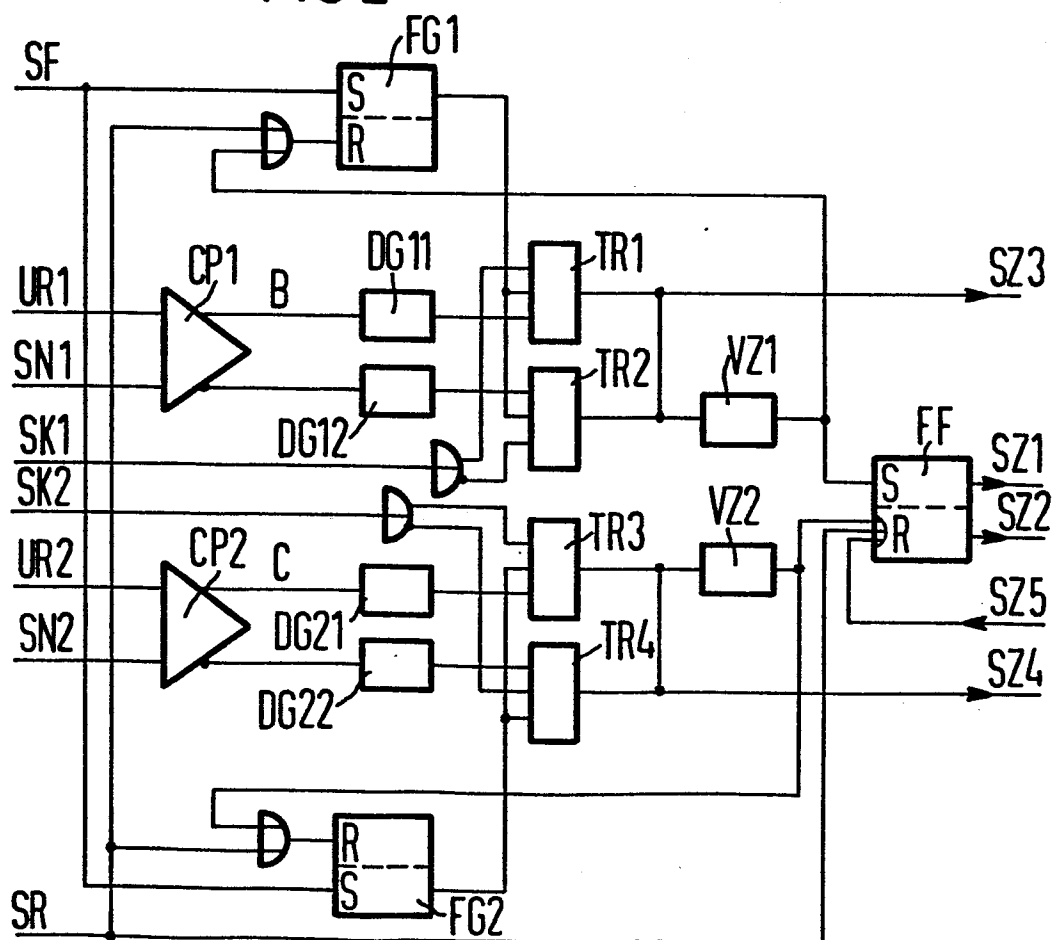
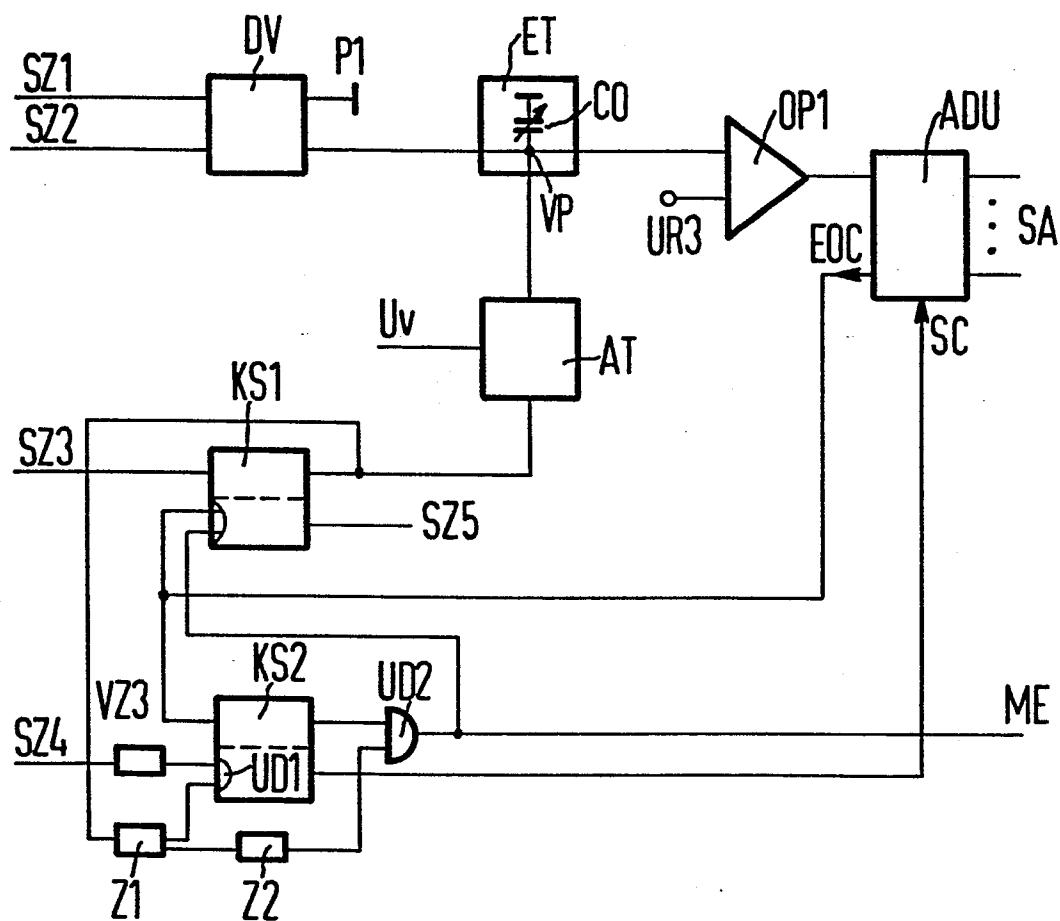


FIG 2



2/5

FIG 3



3/5

FIG 4

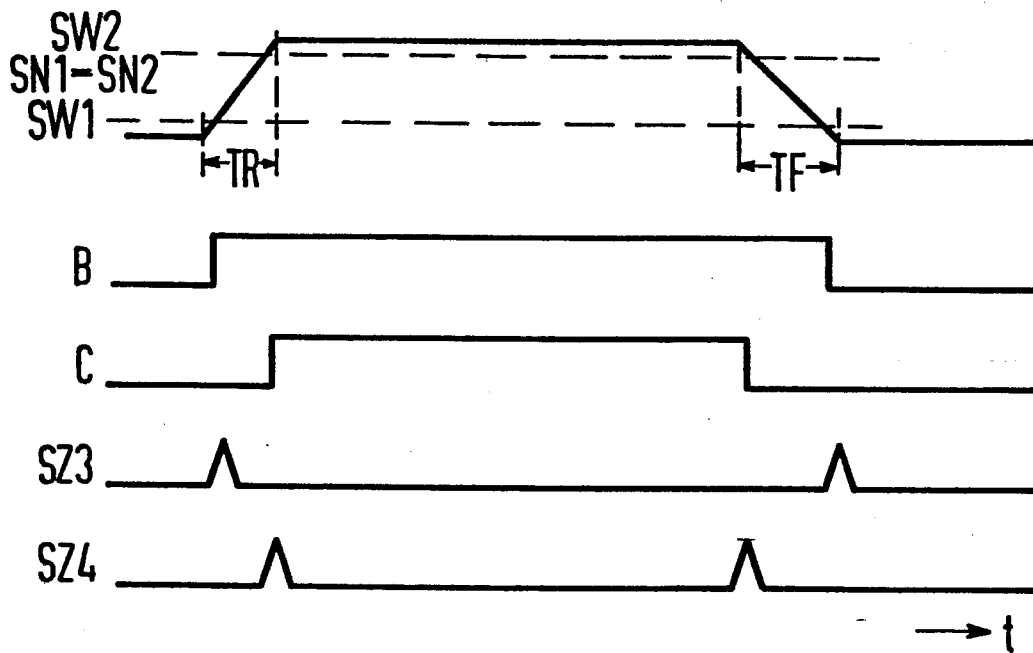
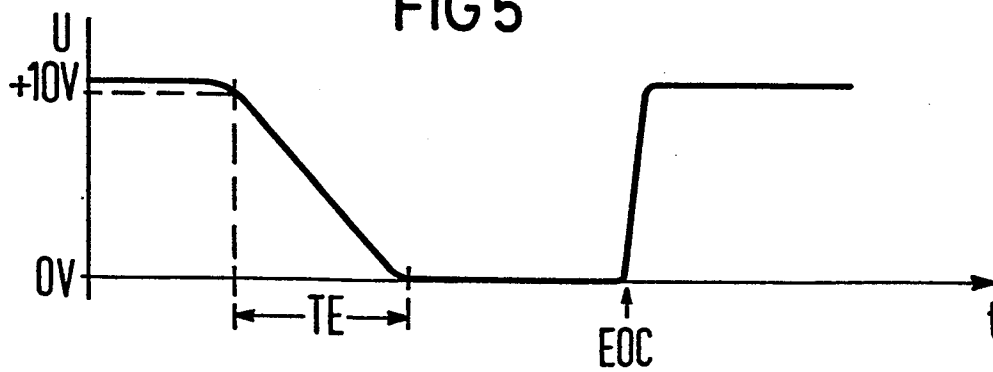
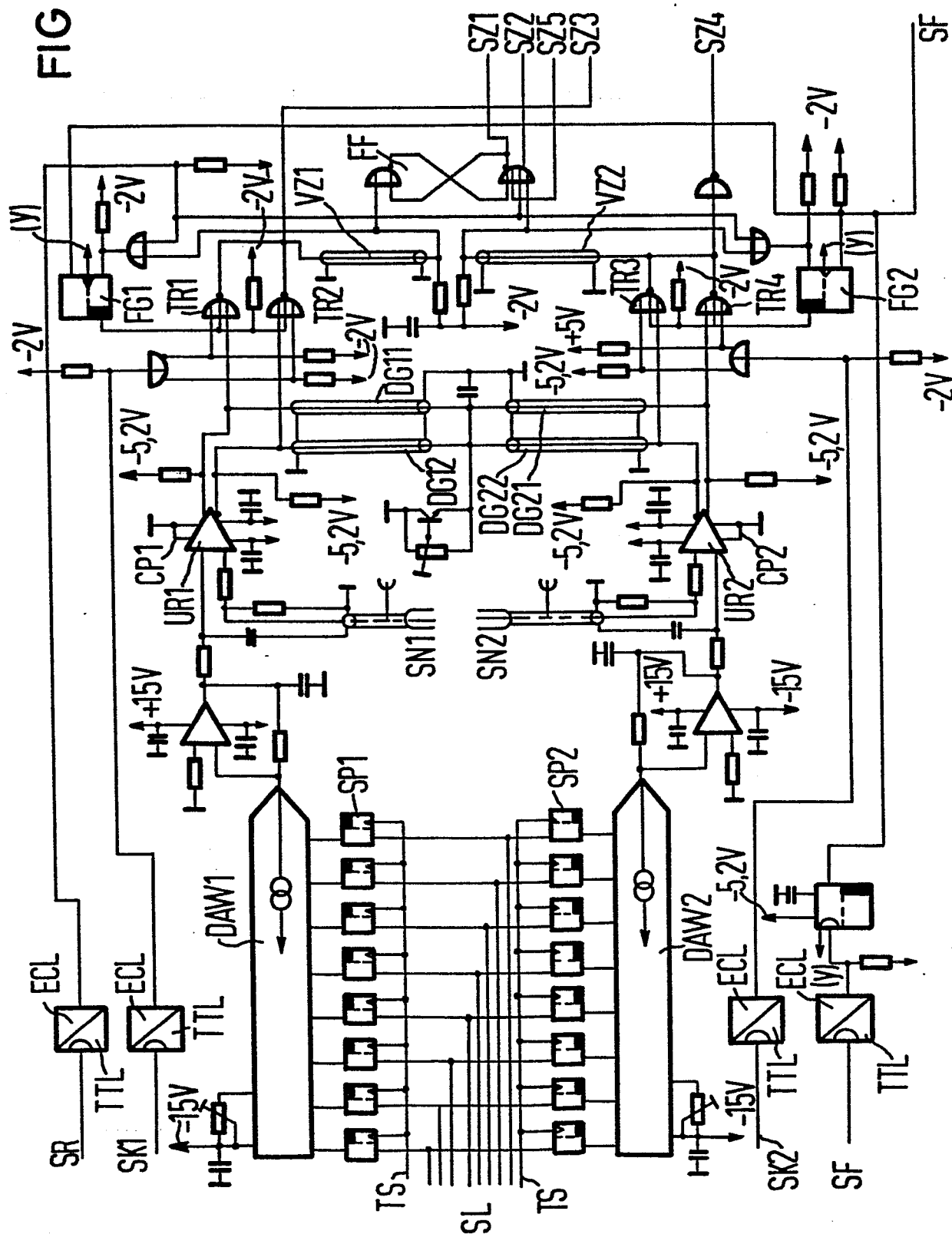


FIG 5

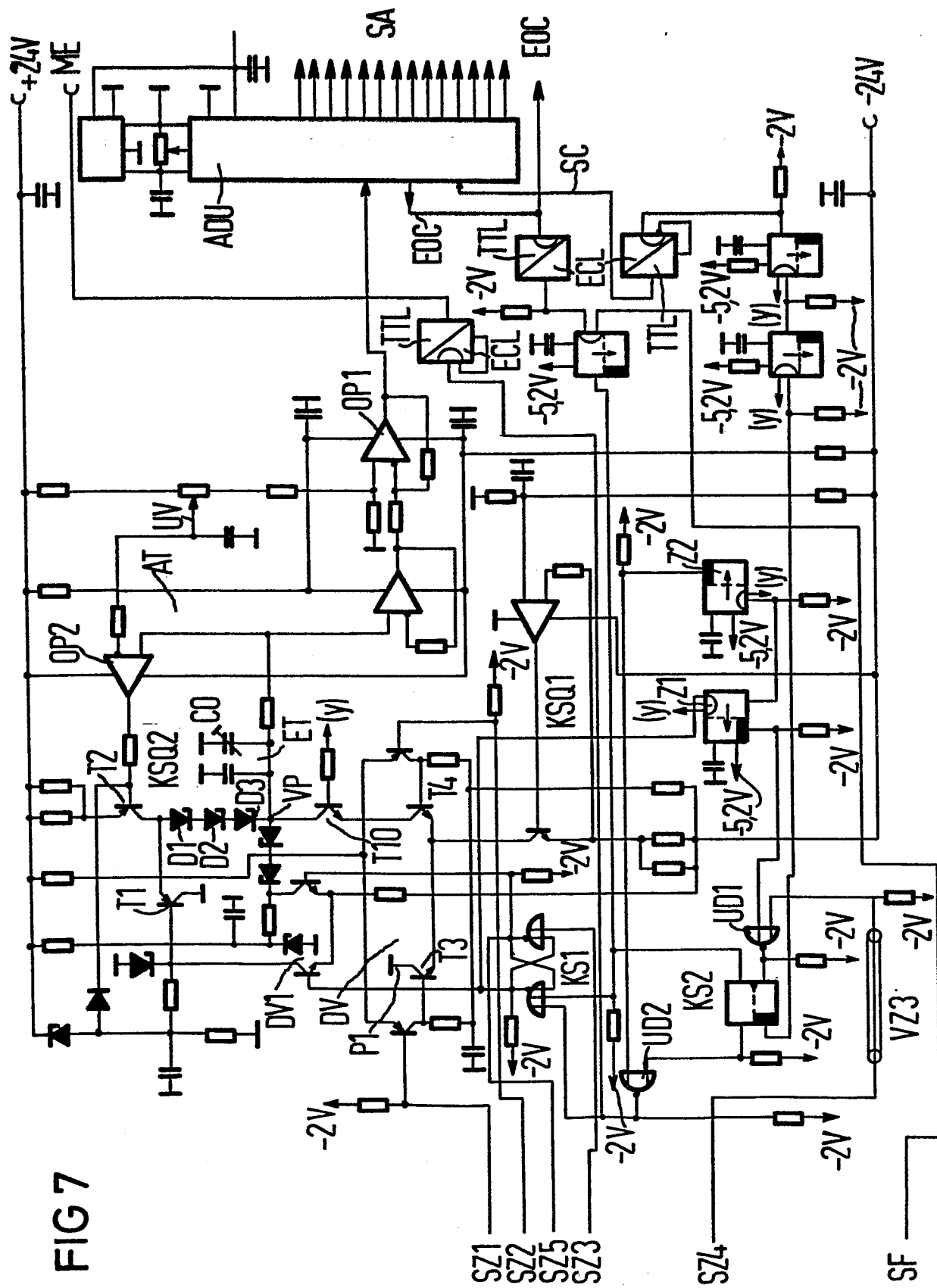


4/5

FIG 6



5/5





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

0141122

Nummer der Anmeldung

EP 84 11 0185

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
Y	IBM TECHNICAL DISCLOSURE BULLETIN, Band 10, Nr. 12, Mai 1968, Seiten 1888-1890, New York, US; E.H. MILLHAM et al.: "Propagation delay and pulse width tester" * Seite 1889, vorletzter Abschnitt; Figuren *	1	G 04 F 10/10
Y	--- EP-A-0 051 531 (ELECTRONIQUE MARCEL DASSAULT) * Seite 4, Zeilen 20-34; Figuren *	1,14	
A	--- US-A-3 553 582 (R.L. GOUILLON) * Spalte 3, Zeilen 6-19 *	1	
A	--- US-A-3 735 261 (R.E. VAHLSTROM et al.) * Figuren *	2,7,8	RECHERCHIERTE SACHGEBIETE (Int. Cl. 4) G 04 F
A	--- INSTRUMENTS AND EXPERIMENTAL TECHNIQUES, Band 23, Nr. 5, Teil 1, September/Okttober 1980, Seiten 1155-1157, Plenum Publishing Corp., New York, US; YU.K. AKIMOV et al.: "Nanosecond time-amplitude converter" * Insgesamt *	2,3,10 -13	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 14-12-1984	
		Prüfer EXELMANS U.G.J.R.	
KATEGORIE DER GENANNTEN DOKUMENTEN X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			



EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	NUCLEAR INSTRUMENTS AND METHODS, Band 78, Nr. 1, 1. Februar 1970, Seiten 109-114, North-Holland Publishing Co., NL; N. BALAUX u.a.: "Convertisseur temps-amplitude de haute resolution" * Seite 112, linke Spalte, letzter Abschnitt - rechte Spalte, Abschnitt 1 * -----	2,6	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 14-12-1984	Prüfer EXELMANS U.G.J.R.
KATEGORIE DER GENANNTEN DOKUMENTEN X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, überein- stimmendes Dokument			