

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer:

0 142 644
A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: 84110186.8

(51) Int. Cl.⁴: G 04 F 10/00

(22) Anmeldetag: 27.08.84

(30) Priorität: 08.09.83 DE 3332485

(43) Veröffentlichungstag der Anmeldung:
29.05.85 Patentblatt 85/22

(84) Benannte Vertragsstaaten:
AT CH DE FR GB IT LI

(71) Anmelder: Siemens Aktiengesellschaft
Berlin und München Wittelsbacherplatz 2
D-8000 München 2(DE)

(72) Erfinder: Welzhofer, Klaus
Ruffini-Allee 30
D-8032 Gräfelfing(DE)

(54) Schaltungsanordnung zur Messung von Zeiten.

(57) Mit der Schaltungsanordnung können sowohl sehr kurze Zeiten im Pikosekundenbereich als auch längere Zeiten gemessen werden. Ein den Beginn der zu messenden Zeit kennzeichnender Startimpuls (SE1) setzt nach Verzögerung durch ein Verzögerungsglied (ZG3) ein bistabiles Kippglied (FF), ein das Ende der zu messenden Zeit kennzeichnender Stopimpuls (SE2) setzt verzögert durch ein zweites Verzögerungsglied (ZG4) das bistabile Kippglied zurück. Durch das bistabile Kippglied (FF) wird ein Oszillator (OSZ) eingeschaltet und ausgeschaltet. Der Oszillator schwingt während der Einschaltzeit mit konstanter Periodendauer, allerdings hat der zum Zeitpunkt des Abschaltens abgegebene Oszillatorimpuls eine verkürzte Breite. Die Oszillatorimpulse ganzer Periodendauer werden gezählt, der Oszillatorimpuls verkürzter Breite wird dagegen einer Ladeschaltung zugeführt, die während der Zeit des verkürzten Impulses mit einem konstanten Strom aufgeladen wird. Die Ladespannung entspricht damit der Impulsdauer des verkürzten Oszillatorimpulses. Diese Ladespannung wird digitalisiert. Aus dem digitalisierten Wert der Ladespannung und der Anzahl der Oszillatorimpulse ganzer Periodendauer kann die zu messende Zeit festgestellt werden.

EP 0 142 644 A1

./...

FIG 2

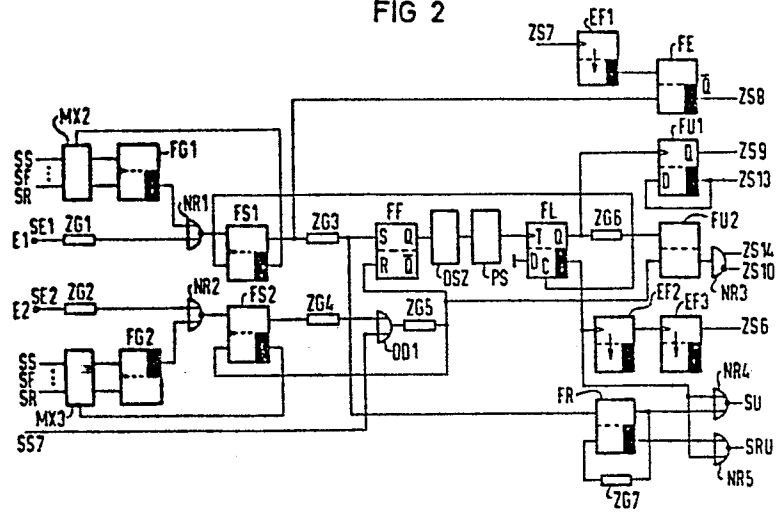
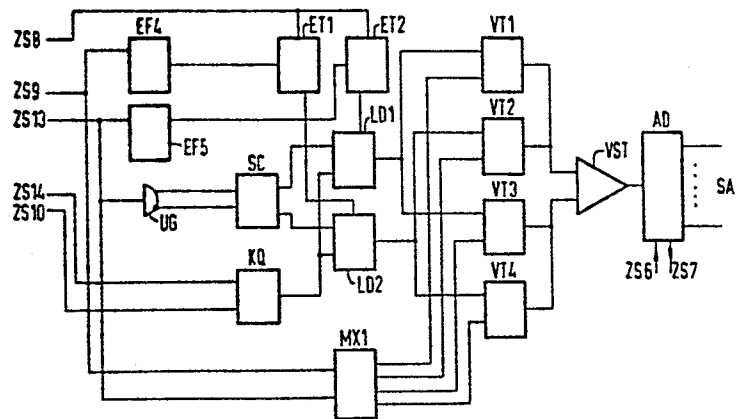


FIG 3



SIEMENS AKTIENGESELLSCHAFT
Berlin und München

Unser Zeichen
VPA 83 P 1657 E

Schaltungsanordnung zur Messung von Zeiten

Die Erfindung bezieht sich auf eine Schaltungsanordnung zur Messung von Zeiten, insbesondere auch sehr kurzer Zeiten, und zur Angabe der gemessenen Zeit in digitaler Form, der ein den Beginn der zu messenden Zeit angegebender Startimpuls und ein das Ende der zu messenden Zeit angegebender Stopimpuls zugeführt wird und bei der zwischen Startimpuls und Stopimpuls von einem Oszillator erzeugte Impulse gezählt werden.

Rechnergesteuerte Prüfsysteme benötigen zur vollautomatischen Prüfung von elektronischen Einzelkomponenten, z.B. SSI-, MSI-, LSI-, VLSI-Bausteinen usw. und bestückten Leiterplatten, z.B. Flachbaugruppen, neben Meßgeräten zur statischen Meßwerterfassung, z.B. für Pegelbewertung, Messung von Strömen und Spannungen usw., in zunehmendem Maße auch Meßgeräte zur dynamischen Meßwerterfassung, z.B. zur Messung der Periodendauer von Impulsen, der Impulsbreite usw.. Als Beispiel hierfür sei die Prüfung von ECL-LSI-Schaltkreisen angeführt, bei denen selbst statische Bausteinfehler nur noch durch hochauflösende Meßwerterfassung (im Picosekundenbereich) der Impulsflankenzeit bzw. der Verzögerungszeit am Prüflingsausgang erkannt werden können. Ferner ist es notwendig, diese Messungen im sog. Einzelschußbetrieb durchzuführen, bei dem nur ein einzelner Impuls ausgemessen wird. Die zunehmend komplexer werdenden logischen Inhalte derzeitiger oder zukünftiger VLSI-Schaltkreise lassen nämlich einen repetitorischen Betrieb mit ausreichend hohen Frequenzen nicht mehr zu, d.h. ein einzelner, an einem Prüflingsausgang stimulierter Impulsflankenwechsel muß in seiner dynamischen Meßgröße sofort erfaßt und bewertet werden können.

Zeitmessungen wurden bisher nur an streng repetitorischen Prüfvorgängen z.B. durch Einsatz von programmierbaren Sampling-Oszillographen durchgeführt. Die Meßwerterfassung nach diesem Verfahren erforderte mindestens 2000 Zyklen bei einer
5 Zykluszeit von $\geq 10\mu\text{s}$. Messungen im Einzelschußbetrieb konnten mit schnellen Zählern durchgeführt werden. Dieses Verfahren führte aber erst ab Zeiten größer $1\mu\text{s}$ zu Meßfehlern kleiner 1%. Aus diesen Gründen wurde bisher auf dynamische Messungen weitgehendst verzichtet.

10

Die der Erfindung zugrundeliegende Aufgabe besteht darin, eine Schaltungsanordnung zur Messung von Zeiten, insbesondere auch von sehr kurzen Zeiten, anzugeben, mit der auch dynamische Meßprobleme zu lösen sind, insbesondere
15 ein Einzelschußbetrieb möglich ist und die mit einer hohen Meßwertauflösung im Picosekundenbereich arbeitet. Diese Aufgabe wird bei einer Schaltungsanordnung der eingangs angegebenen Art dadurch gelöst, daß ein erstes Verzögerungsglied vorgesehen ist, dem der Startimpuls zugeführt
20 wird, daß ein zweites Verzögerungsglied mit einer gegenüber der Verzögerungszeit des ersten Verzögerungsgliedes größeren Verzögerungszeit vorgesehen ist, dem der Stopimpuls zugeführt wird, daß das erste Verzögerungsglied mit dem Setzeingang eines bistabilen Kippgliedes und das
25 zweite Verzögerungsglied mit dessen Rücksetzeingang verbunden ist, daß am Ausgang des bistabilen Kippgliedes der Oszillator angeschlossen ist, der einschaltet, wenn das bistabile Kippglied gesetzt wird und ausschaltet, wenn das bistabile Kippglied zurückgesetzt wird, daß eine erste
30 und eine zweite Ladeschaltung vorgesehen ist, die jeweils während der zu messenden Zeit abwechselnd jeweils für eine ganze oder beim Auftreten des Stoppimpulses verkürzte Periodendauer eines Oszillatorimpulses zur Erzeugung einer dazu proportionalen Ladespannung mit einer Konstantstromquelle
35 verbindbar sind und die abwechselnd im Gegentakt zur Ver-

bindung mit der Konstantstromquelle durch jeweils eine
Entladeschaltung entladbar sind, daß die Ausgänge der Lade-
schaltungen über einen ersten Multiplexer potentialmäßig
richtig mit einer Verstärkerschaltung verbunden sind, daß
5 der Ausgang der Verstärkerschaltung mit einem Analog-Digi-
tal-Wandler verbunden ist, der dann eingeschaltet wird,
wenn der Stoppimpuls aufgetreten ist, so daß nur die der
Dauer des verkürzten Oszillatorimpulses proportionale Lade-
spannung in einen digitalen Wert umgewandelt wird, und daß
10 eine Zähleinrichtung vorgesehen ist, die die vom Oszillator
abgegebenen Impulse ganzer Periodendauer zählt.

Da das erste und das zweite Verzögerungsglied verschiedene
Verzögerungszeit haben, ist es möglich, die Schaltungsan-
15 ordnung so zu justieren, daß die Toleranzen der Bausteine
der Schaltungsanordnung keinen Einfluß auf das Meßergebnis
haben und daß die Ladekennlinien der Ladeschaltungen erst
in deren linearen Bereich zur Meßwerterfassung herangezogen
werden.

20

Die Messung der sehr kurzen Zeiten erfolgt somit mit Hilfe
der Ladeschaltungen, die Messung längerer Zeiten erfolgt
mit Hilfe der Zählung der Oszillatorimpulse ganzer Perio-
dendauer.

25

Um die Meßzeit festlegen zu können, um insbesondere den
Einzelschußbetrieb zu ermöglichen, ist zwischen das erste
und zweite Verzögerungsglied und die Eingänge für den Start-
impuls und den Stopimpuls jeweils eine Vorstufe bestehend
30 aus einem Freigabeflipflop und einem über ein Sperrglied
mit dem Freigabeflipflop verbundenen Übernahmefflop an-
geordnet. Mit Hilfe des Freigabeflipflops, das durch Steuer-
signale einstellbar ist, kann somit festgelegt werden,
welche Start-bzw. Stopimpulse zum bistabilen Kippglied
35 übertragen werden.

Vorteilhaft ist es, wenn zwischen dem Eingang für den Startimpuls und dem ersten Übernahmeflipflop ein drittes Verzögerungsglied und zwischen dem Eingang für den Stopimpuls und dem zweiten Übernahmeflipflop ein viertes Verzögerungsglied verschiedener Verzögerungszeit angeordnet ist. Durch eine entsprechende Wahl der Verzögerungszeiten ist es möglich, zu verhindern, daß dem bistabilen Kippglied zuerst ein Stopimpuls und dann erst ein Startimpuls zugeführt wird.

10

Das Einschwingverhalten des Oszillators ist dann vernachlässigbar, wenn dieser aus einem NOR-Glied und einem zwischen dem einen Eingang und dem Ausgang des NOR-Gliedes angeordneten Koaxialleitungsstück besteht und wenn der andere Eingang des NOR-Gliedes mit dem Ausgang des bistabilen Kippgliedes verbunden ist. Der Oszillator startet dann sofort, wenn das bistabile Kippglied gesetzt wird und beendet seine Schwingung, wenn das bistabile Kippglied zurückgesetzt wird.

20

Für die weitere Auswertung der Oszillatorimpulse ist es zweckmäßig, wenn am Ausgang des Oszillators ein Übernahmeflipflop angeordnet wird. Um jedoch bei sehr kurzen Oszillatorimpulsen, wenn also der Stopimpuls sehr schnell auf den Startimpuls folgt, ein einwandfreies Setzen des Übernahmeflipflops zu gewährleisten, kann zwischen dem Oszillator und dem Übernahmeflipflop eine Schaltungsanordnung mit einer Tunnelodiode angeordnet werden.

30 Die Verbindung der Ladeschaltungen mit der Verstärkerschaltung erfolgt mit Hilfe eines analogen Multiplexers, der die Ladeschaltungen potentialmäßig richtig an die Eingänge der Verstärkerschaltung anschaltet. Zur taktrichtigen Steuerung dieses ersten Multiplexers, zur entsprechenden
35 taktrichtigen Anschaltung der Ladeschaltungen an die Kon-

stantstromquelle und zur taktrichtigen Entladung der Ladeschaltungen sind am Ausgang des Übernahmefflipflops ein erstes und ein zweites Umschaltfflipflop angeordnet. Diese geben am Ausgang die zeitrichtigen Steuersignale für den analogen Multiplexer und für die Ansteuerschaltkreise für die Ladeschaltungen und Entladeschaltungen ab.

Andere Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

10

Anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, wird die Erfindung weiter erläutert. Es zeigen

- Fig. 1 ein Blockschaltbild, das die Anordnung der Schaltungsanordnung innerhalb eines Zeitmessers zeigt,
Fig. 2 einen ersten Teil der Schaltungsanordnung,
Fig. 3 einen zweiten Teil der Schaltungsanordnung,
Fig. 4 ein Zeitdiagramm, bei dem Spannungen an verschiedenen Stellen der Schaltungsanordnung über der Zeit t aufgetragen sind,
Fig. 5, 6, 7, 8 eine detaillierte Ausführung der Schaltungsanordnung,
Fig. 9 die Lage der Figuren 5 bis 8 zueinander.

- Die Schaltungsanordnung gemäß der Erfindung ist in Fig. 1 mit KZM bezeichnet. Der Aufbau der Schaltungsanordnung KZM ist in den folgenden Figuren näher erläutert. Einem Prüfling PR, z.B. einer Flachbaugruppe, auf der elektronische Bauelemente angeordnet sind, wird am Eingang E ein Prüfungssignal zugeführt, das an dessen Ausgang A zu einem Prüflingausgangssignal führt. Wenn z.B. die zeitliche Verzögerung zwischen dem Auftreten des Prüfungssignals am Eingang E und dem Auftreten des Prüflingausgangssignals am Ausgang A gemessen werden soll, dann wird der Eingang E des Prüflings PR mit dem einen Eingang eines ersten Komparators CP1 und

der Ausgang A des Prüflings mit dem einen Eingang eines zweiten Komparators CP2 verbunden. Den Komparatoren CP1, CP2 werden Referenzspannungen UR1 und UR2 zugeführt, um festzulegen, welche Spannungsschwelle das Prüfsignal bzw.
5 das Prüflingsausgangssignal haben müssen, um am Ausgang der Komparatoren CP1 und CP2 zu einem Signal zu führen. Am Ausgang des Komparators CP1 tritt dann der sog. Startimpuls SE1 auf, am Ausgang des Komparators CP2 der sog. Stopimpuls SE2. Der Startimpuls SE1 und der Stopimpuls SE2
10 werden der Schaltungsanordnung KZM zugeführt, in der^{der} Oszillator enthalten ist. Der Oszillator wird dann gestartet, wenn der Startimpuls SE1 an die Schaltungsanordnung KZM angelegt worden ist. Er erzeugt dann Oszillatorimpulse festgelegter Periodendauer. Der Oszillator wird gestoppt,
15 wenn der Stopimpuls SE2 an die Schaltungsanordnung KZM angelegt wird. Aus der Anzahl der Oszillatorimpulse ganzer Periodendauer und aus der Messung der verkürzten Periodendauer bei Auftreten des Stopimpulses kann die zu messende Zeit ermittelt werden. Dazu gibt die Schaltungsanordnung
20 KZM Zählimpulse SU ab, die in der Anzahl der Anzahl der Oszillatorimpulse ganzer Periodendauer entsprechen. Diese werden mit Hilfe eines Binärzählers BZ gezählt. Die Zeit der verkürzten Periode des Oszillatorimpulses bei Auftreten des Stopimpulses SE2 wird mit Hilfe von Ladeschaltungen
25 in eine Spannung umgewandelt, die durch einen Analog-Digital-Wandler in einen digitalen Wert umgesetzt wird. Dieser Wert ist in Fig. 1 mit SA bezeichnet und wird zusammen mit dem Zählergebnis des Binärzählers BZ einem Addierer AD zugeführt, der aus dem Zählergebnis des Binärzählers BZ und
30 dem digitalen Wert SA ein der zu messenden Zeit entsprechenden digitalen Wert erzeugt. Der Schaltungsanordnung werden weiterhin Steuersignale SS, SF zugeführt, mit deren Hilfe das gewünschte Startsignal SE1 und das gewünschte Stoppsignal SE2 aus einer Mehrzahl von Start- und Stoppsignalen
35 ausgewählt werden können.

Der Aufbau der Komparatoren CP1, CP2, des Binärzählers BZ und des Addierers ADD sind nicht Gegenstand der Erfindung und werden daher nicht weiter erläutert. Diese können aus handelsüblichen Bausteinen bestehen. Im folgenden wird nur
5 noch der genaue Aufbau der Schaltungsanordnung KZM erläutert.

Nach Fig. 2 wird das Start signal SE1 an einem Eingang E1 zugeführt und über ein Verzögerungsglied ZG1 einem Sperr-
10 glied NR1, das als NOR-Glied realisiert ist, zugeführt. An das Sperrglied NR1 ist weiterhin ein Freigabeflipflop FG1 angeschlossen, durch das festgelegt wird, ob das Start-
signal SE1 zum Ausgang des Sperrgliedes NR1 gelangt oder nicht. Das Sperrglied NR1 ist mit dem Setzeingang eines
15 Übernahmefflipflops FS1 verbunden, das bei geöffneten Sperr-
glied NR1 den Startimpuls speichert.

Entsprechend wird der Stopimpuls SE2 an einem Eingang E2 zugeführt, über ein Verzögerungsglied ZG2 an ein Sperr-
20 glied NR2 angelegt, das ebenfalls mit einem Freigabeflipflop FG2 verbunden ist. Der Ausgang des Sperrgliedes NR2 ist mit dem Setzeingang eines Übernahmefflipflops FS2 verbunden, das bei geöffneten Sperrglied NR2 den Stopimpuls speichert.

25

Somit kann mit Hilfe der Freigabeflipflops FG1 und FG2, die über Multiplexer MX2 und MX3 durch Steuersignale SS, SF und SR gesetzt oder zurückgesetzt werden, festgelegt werden, ob der Startimpuls SE1 bzw. der Stopimpuls SE2 zum
30 Übernahmefflipflop FS1 bzw. FS2 gelangen kann und dort gespeichert werden kann.

Die Verzögerungszeit des Verzögerungsgliedes ZG1 ist kleiner als die Verzögerungszeit des Verzögerungsgliedes
35 ZG2. Damit wird erreicht, daß der Stopimpuls immer später

zum Übernahmefflipflop FS2 gelangt als der Startimpuls zum Übernahmefflipflop FS1. Sonst könnte ein Fehler auftreten, wenn die Laufzeit des Stopimpulses bis zum Eintreffen am Eingang E2 kleiner wäre als die Laufzeit des Startimpulses bis zum Eintreffen am Eingang E1.

Der Ausgang des Übernahmefflipflops FS1 ist über ein weiteres Verzögerungsglied ZG3 mit dem Setzeingang eines bistabilen Kippgliedes FF verbunden, das nach einer durch die Verzögerungszeit des Verzögerungsgliedes ZG3 bestimmten Zeit nach der Übernahme des Startimpulses in das Übernahmefflipflop FS1 gesetzt wird.

Entsprechend ist der Ausgang des Übernahmefflipflop FS2 über Verzögerungsglieder ZG4, ZG5 mit dem Rücksetzeingang R des bistabilen Kippgliedes FF verbunden, so daß das bistabile Kippglied FF nach einer durch die Verzögerungszeit der Verzögerungsglieder ZG4 und ZG5 festgelegten Zeit nach der Übernahme des Stopimpulses in das Übernahmefflipflop FS2 zurückgesetzt wird. Die Verzögerungszeit der Verzögerungsglieder ZG4 und ZG5 zusammen ist größer als die Verzögerungszeit des Verzögerungsgliedes ZG3. Die unterschiedlichen Verzögerungszeiten der Verzögerungsglieder im Eingangszweig des bistabilen Kippgliedes FF für den Startimpuls und den Stopimpuls ermöglicht ein Setzen des bistabilen Kippgliedes FF auch bei gleichzeitigem Auftreten von Startimpuls SE1 und Stopimpuls SE2. Für diesen Fall muß die Schaltungsanordnung so justiert sein, daß der Meßwert für die Zeit Null ist. Das heißt der von dem bistabilen Kippglied FF in diesem Fall erzeugte Impuls kann für die Justierung der weiteren Schaltungsanordnung herangezogen werden.

Über ein Signal SS7, das über ein ODER-Glied OD1 und das Verzögerungsglied ZG5 dem bistabilen Kippglied FF zuge-

führt wird, kann von außen das bistabile Kippglied FF zurückgesetzt werden.

Der Ausgang des bistabilen Kippgliedes FF ist mit einem
5 Oszillator OSZ verbunden, der mit dem Setzen des bistabilen
Kippgliedes FF eingeschaltet wird und Oszillatorimpulse
konstanter Periodendauer erzeugt. Der Oszillator OSZ wird
wieder abgeschaltet, wenn das bistabile Kippglied FF nach
Auftreten eines Stopimpulses SE2 wieder zurückgesetzt
10 wird. Die Anzahl der von dem Oszillator OSZ abgegebenen
Oszillatorimpulse ganzer Periodendauer und die Breite des
verkürzten Oszillatorimpulses bei Auftreten des Stopimpulses
SE2 geben ein Maß für die Zeit, die zwischen dem Auftreten
des Startimpulses SE1 und dem Auftreten des Stopimpulses
15 SE2 verstreicht. Die weitere Schaltung ist somit derart
aufgebaut, daß sie am Ausgang Zählimpulse entsprechend der
Anzahl der Oszillatorimpulse ganzer Periodendauer abgibt
und daß sie weiterhin ein der Breite des verkürzten Oszil-
latorimpulses bei Auftreten des Stopimpulses entsprechen-
20 des Signal abgibt.

Die Oszillatorimpulse werden über eine Schaltung PS einem
weiteren Übernahmefflipflop FL zugeführt. Das Übernahme-
fflipflop FL ist derart geschaltet, daß es am Ausgang den
25 Oszillatorimpulsen entsprechende Impulse abgibt. Der eine
Ausgang des Übernahmefflipflops FL ist dabei über ein Ver-
zögerungsglied ZG6 mit dem Rücksetzeingang C verbunden,
während der D Eingang mit einem festen Potential, z.B.
Masse verbunden ist. Die Schaltungs PS ist so aufgebaut,
30 daß auch bei sehr kurzen zeitlichen Abstand zwischen dem
Startimpuls und dem Stopimpuls und damit bei einem Oszil-
latorimpuls sehr kleiner Breite von der Schaltung PS ein
Impuls erzeugt wird, der ausreichend ist zum Setzen des
Übernahmefflipflops FL.

- Die Zählimpulse SU, die in der Anzahl den Oszillatorimpulsen ganzer Periodendauer entsprechen, werden von dem Übernahmeflipflop FL abgeleitet und über ein NOR-Glied NR4 geführt. Der andere Eingang des NOR-Gliedes NR4 ist mit einem bistabilen Kippglied FR verbunden, das das NOR-Glied NR4 freigibt, wenn die Oszillatorimpulse der ganzen Periodendauer auftreten, sonst aber sperrt. Der Setzeingang des bistabilen Kippgliedes FR ist mit dem Ausgang des Verzögerungsgliedes ZG3 verbunden und wird somit in Abhängigkeit des Auftretens des Startimpulses SE1 gesetzt. Der Rücksetzeingang des bistabilen Kippgliedes FR ist mit dem Ausgang über ein Verzögerungsglied ZG7 verbunden. Mit dem Auftreten des Startimpulses am Ausgang des Verzögerungsgliedes ZG3 wird somit die bistabile Kippschaltung FR gesetzt und das NOR-Glied NR4 für Impulse am Ausgang des Übernahmeflipflops FL gesperrt. Erst nachdem über das Verzögerungsglied ZG7 das bistabile Kippglied FR wieder zurückgesetzt worden ist, können die Impulse am Ausgang des Übernahmeflipflops FL durch das NOR-Glied NR4 hindurchlaufen.
- 20 Mit dem bistabilen Kippglied FR wird damit erreicht, daß der erste Impuls am Ausgang des Übernahmeflipflops FL nicht als Zählimpuls SU verwendet wird. Damit ist die Anzahl der Zählimpulse SU pro Meßvorgang immer um einen Impuls kleiner als die Anzahl der Impulse, die vom Übernahmeflipflop FL abgegeben werden. Dies ist notwendig, da die Anzahl der vom Übernahmeflipflop FL abgegebenen Impulse aus den Oszillatorimpulsen ganzer Periodendauer und einem Oszillatorimpuls verkürzter Dauer besteht.
- 30 Das bistabile Kippglied FR kann auch dazu verwendet werden, ein am Ausgang des NOR-Gliedes NR4 angeschaltetes binären Zähler zurückzusetzen. Dann muß der invertierende Ausgang des bistabilen Kippgliedes FR zu einem weiteren NOR-Glied NR5 geführt werden, das außerdem mit dem Ausgang des Übernahmeflipflops FL verbunden ist. Am Ausgang des

NOR-Gliedes NR5 erscheint dann ein Rücksetzsignal SR4 für einen binären Zähler, so daß dieser vor jedem Zählvorgang in den Ausgangszustand zurückgesetzt werden kann.

- 5 Zur Messung des verkürzten Oszillatorimpulses nach Auftreten des Stopimpulses SE2 ist der Ausgang des Übernahme-
flipflops FL mit einem ersten Umschaltflipflop FU1 und
einem zweiten Umschaltflipflop FU2 verbunden. Das erste Um-
schaltflipflop FU1 untersetzt die Ausgangsimpulse des Über-
10 nahmefflipflops FL 2 : 1 und gibt am Ausgang die Signale
ZS9 und ZS13 ab. Diese Signale ZS9 und ZS13 werden nach
Figur 3 über ein UND-Glied UG einer Schalteinrichtung SC
zugeführt, die abwechselnd eine erste Ladeschaltung LD1
und eine zweite Ladeschaltung LD2 mit einer konstanten
15 Stromquelle KQ verbinden. Somit wird z.B. zunächst die
erste Ladeschaltung LD1 während einer Periodendauer eines
Oszillatorimpulses aufgeladen, anschließend für den näch-
sten Oszillatorimpuls die Ladeschaltung LD2. Im Gegenteil
dazu werden die Ladeschaltungen LD1 und LD2 durch Entlade-
20 schaltungen ET1 und ET2 entladen. Dazu wird wiederum das
Signal ZS9 bzw. ZS13 herangezogen, das über Impulsformer-
schaltungen EF4 bzw. EF5 den Entladeschaltungen ET1 bzw. ET2
zugeführt wird. Die jeweilige Entladung der Ladeschaltung
LD1 und LD2 erfolgt immer im Gegenteil zu der Aufladung
25 über die Konstantstromquelle KQ.

Die Konstantstromquelle KQ darf nur dann an die Ladeschal-
tungen LD1 und LD2 angelegt werden, wenn der Startimpuls
SE1 aufgetreten ist und muß dann wieder abgeschaltet wer-
30 den, wenn der Stopimpuls SE2 aufgetreten ist. Dies er-
folgt mit Hilfe von vom Umschaltflipflop FU2 abgegebenen
Signalen ZS14 und ZS10, die der Konstantstromquelle KQ zu-
geführt werden.

35 Die Ladeschaltungen LD1 und LD2 erzeugen Spannungen, die

proportional sind der Breite der Oszillatorimpulse vom Oszillator OSZ. Die Ladespannungen der Ladeschaltungen LD1 und LD2 müssen potentialmäßig richtig einer Verstärkerschaltung VST zugeführt werden, die z.B. als Operationsverstärker realisiert ist. Zu diesem Zwecke sind die
5 Ausgänge der Ladeschaltungen LD1 und LD2 durch von einem Multiplexer MX1 angesteuerte Sperrglieder VT1 bis VT4 an die Eingänge der Verstärkerschaltung VST anschließbar. Wenn also die Ladeschaltung LD1 aufgeladen worden ist
10 und die Ladeschaltung LD2 entladen worden ist, dann steuert der Multiplexer MX1 das Sperrglied VT1 und das Sperrglied VT4 auf, so daß die Ladeschaltung LD1 mit dem einen Eingang der Verstärkerschaltung VST und die Ladeschaltung LD2 mit dem anderen Eingang der Verstärkerschaltung verbunden
15 wird. Entsprechendes gilt für den umgekehrten Fall. Somit liegt am einen Eingang der Verstärkerschaltung VST immer die Ladeschaltung LD, die aufgeladen ist, während am anderen Eingang der Verstärkerschaltung VST die Ladeschaltung LD angeschlossen ist, die entladen ist. Der Multiplexer
20 MX1 entwickelt die Steuersignale für die Sperrglieder VT1 bis VT4 aus den Signalen ZS9 und ZS13, die von dem Umschaltflipflop FU1 abgegeben werden.

Der Ausgang der Verstärkerschaltung VST, an dem eine der Zeit
25 des verkürzten Oszillatorimpulses proportionale Spannung abgegeben wird, ist mit einem Analog-Digital-Wandler AD verbunden, der die analoge Spannung in einen digitalen Wert SA umwandelt, der nach Fig. 1 dem Addierer ADD zugeführt wird. Dem Analog-Digital-Wandler wird ein Start-
30 signal ZS6 zugeführt, durch das der Analog-Digital-Wandler ADD eingeschaltet wird. Dieses Startsignal ZS6 wird aus den von dem Übernahmeflipflop FL abgegebenen Impulsen mit Hilfe von Zeitschaltungen EF2 und EF3 abgeleitet. Diese
Zeitschaltungen IF2 und IF3 sind derart aufgebaut, daß das
35 Startsignal ZS6 nur dann abgegeben wird, wenn eine festge-

legte Zeit nach Auftreten des letzten Impulses vom Übernahmeflipflop FL verstrichen ist. Dann nämlich ist bereits der Stopimpuls SE2 aufgetreten. Nur für diesen Fall muß die Ladespannung einer der Ladeschaltungen LD1 und LD2 durch den Analog-Digital-Wandler AD in den digitalen Wert SA umgewandelt werden. Die sonstigen Ladespannungen der Ladeschaltungen LD1 und LD2 sind für den Meßwert uninteressant und werden darum von dem Analog-Digital-Wandler AD nicht in einen digitalen Wert SA umgesetzt. Der Analog-Digital-Wandler AD gibt seinerseits ein Endesignal ZS7 ab, wenn die Umwandlung vom analogen Wert in den digitalen Wert SA beendet ist. Dieses Endesignal ZS7 wird über eine Zeitschaltung EF1 einem Entladeflipflop FE zugeführt. Dieses gibt am Ausgang ein Signal ZS8 ab, das an die Entladeschaltungen ET1 und ET2 angelegt wird. Das Entladeflipflop FE ist weiterhin mit dem Ausgang des Übernahme-
flippflops FS1 verbunden, über das es bei Auftreten des Startimpulses SE1 zurückgesetzt wird. Durch das Signal ZS8 werden die Entladeschaltungen ET1 und ET2 eingeschaltet.

Aus Fig. 2 ergibt sich weiterhin, daß der Rücksetzeingang des Übernahmeflipflops FS1 mit dem Ausgang des Verzögerungsgliedes ZG6 verbunden ist, während der Rücksetzeingang des Übernahmeflipflops FS2 mit dem Ausgang des Verzögerungsgliedes ZG5 verbunden ist. Das Übernahmeflipflop FS1 wird somit dann zurückgesetzt, wenn der erste Oszillatorimpuls das Übernahmeflipflop FL gesetzt hat, während das Übernahmeflipflop FS2 zurückgesetzt wird, wenn der Stopimpuls SE2 zum Ausgang des Verzögerungsgliedes ZG5 gelangt ist. Das Umschaltflipflop FU2 wird durch ein Signal zurückgesetzt, das vom Stopimpuls SE2 abgeleitet wird. Dazu ist der Ausgang des Verzögerungsgliedes ZG5 mit dem Rücksetzeingang des Umschaltflipflops FU2 verbunden. Wenn das Umschaltflipflop FU2 zurückgesetzt wird, dann wird die Konstantstromquelle KQ von den Ladeschaltungen LD1 und

LD2 abgeschaltet. Zur Erzeugung der erforderlichen Signale ist das Umschaltflipflop FU2 mit einem NOR Glied NR3 verbunden, an dessen Ausgang die Signale ZS14 und ZF10 für die Konstantstromquelle KQ abgegeben werden.

5

Die Funktion der Schaltungsanordnung nach Fig. 2 und Fig. 3 wird in Verbindung mit dem Zeitdiagramm der Fig. 4 erläutert. In Zeile 1 ist der Startimpuls SE1 und in Zeile 2 der Stopimpuls SE2 gezeigt. Ausgewertet werden jeweils die Vorderflanken der beiden Impulse. Die Vorderflanke des Startimpulses SE1 führt dazu, daß das bistabile Kippglied FF gesetzt wird. Am invertierenden Ausgang \bar{Q} des bistabilen Kippgliedes FF erscheint somit die der Zeile 3 gezeigte Rückflanke. Die Verzögerung zwischen der Vorderflanke des Startimpulses SE1 und der Rückflanke des invertierenden Ausgangs Q des bistabilen Kippgliedes FF ist durch die Verzögerungsglieder ZG1, ZG3 und die Laufzeit der im Übertragungsweg angeordneten Bauelemente bedingt. Mit der Rückflanke am invertierenden Ausgang \bar{Q} des bistabilen Kippgliedes FF wird der Oszillator OSZ gestartet und erzeugt die Oszillatorimpulse konstanter Frequenz. Diese Oszillatorimpulse verursachen ein ständiges Setzen des Übernahmeflipflops FL, dessen Ausgang Q in der Zeile 4 des Zeitdiagramms dargestellt ist.

25

Solange das bistabile Kippglied FF gesetzt bleibt, führen die Oszillatorimpulse zu einem ständigen Umschalten des Übernahmeflipflops FL, so daß an dessen Ausgang Q ein Impulszug konstanter Periodendauer erscheint. Dieser Impulszug wird mit Hilfe des Umschaltflipflops FU1 (in Zeile 5 gezeigt) 2 : 1 umgesetzt und abwechselnd den Ladeschaltungen LD1 und LD2 zugeführt. Aus Zeile 12 und Zeile 13 ist zu entnehmen, daß während der am Ausgang Q des Umschaltflipflops FU1 abgegebenen Impulse entweder die Ladeschaltung LD1 aufgeladen wird oder die Ladeschaltung LD2. Nach

35

Beendigung der Aufladung der einen Ladeschaltung LD wird die andere Ladeschaltung aufgeladen, während die eine Ladeschaltung wieder entladen wird. Dazu werden den Entladeschaltungen ET1 bzw. ET2 Signale zugeführt, die in den 5 Zeilen 7 und 8 des Zeitdiagramms dargestellt sind. Immer wenn diese Signale ein niederes Potential haben, wird die zugeordnete Entladeschaltung entladen.

In Zeile 15 sind die Zählimpulse SU dargestellt, die in der Anzahl 10 der Anzahl der Oszillatorimpulse ganzer Periodendauer entsprechen. Im Ausführungsbeispiel der Figur 4 sind die Ladeschaltungen LD1 und LD2 5 mal bis zum maximalen Wert aufgeladen worden und dementsprechend sind in Zeile 15 5 Zählimpulse dargestellt.

15

Die wechselweise Aufladung der Ladeschaltungen LD1 und LD2 wird dann beendet, wenn der Stopimpuls SE2 erschienen ist. Dann nämlich wäre das bistabile Kippglied FF (Zeile 3) zurückgesetzt und am invertierenden Ausgang \bar{Q} erscheint die 20 Vorderflanke. Dies führt dazu, daß der Oszillator OSZ gestoppt wird. Dementsprechend gibt der Oszillator

am Ausgang noch einen verkürzten Impuls ab. Dies führt im Ausführungsbeispiel der Figur 4 nur noch zu einer teilweisen Aufladung der Ladeschaltung LD2. Die Ladespannung 25 der Ladeschaltung LD2 wird nach Auftreten des Startimpulses ZS6 (Zeile 14) durch den Analog-Digital-Wandler AD in den digitalen Wert SA umgewandelt. Damit ist der Meßvorgang beendet und aus der Anzahl der Zählimpulse SU (Zeile 15) und dem der Ladespannung der Ladeschaltung LD2 entsprechenden 30 digitalen Wert SA kann die gemessene Zeit festgestellt werden.

In Figur 4 ist in Zeile 6 noch das Verhalten des invertierenden Ausgangs \bar{Q} des Entladeflipflops dargestellt, 35 das vom Endesignal ZS7 und vom Ausgang des Übernahmeflip-

flops FS1 beeinflußt wird. Aus Zeile 9 ergibt sich der Verlauf des Signals ZS14, aus Zeile 10 und 11 der Verlauf der Signale ZS11 und ZS12, die in Figur 6 und 7 dargestellt sind, aus Zeile 16 das Endesignal ZS7 und aus
5 Zeile 17 das Rücksetzsignal SRU.

Die Figuren 5 bis 8 zeigen eine ausführlichere Realisierung der Schaltungsanordnung nach Figur 2 und Figur 3. Das Startsignal SE1 wird über das Verzögerungsglied ZG1,
10 das zwischen Verstärker angeordnet ist, und das Sperrglied NR1 dem Übernahmefflop FS1 zugeführt. Entsprechend wird das Stoppsignal SE2 über das Verzögerungsglied ZG2, das ebenfalls zwischen Verstärkern angeordnet ist, und das Sperrglied NR2 dem Übernahmefflop FS2 zugeführt. Das
15 Sperrglied NR1 wird durch das Freigabefflop FG1 freigegeben, dessen Setz- und Rücksetzeingang durch über einen Multiplexer MX2 zugeführte Steuersignale beeinflußt wird. Entsprechendes gilt für das Übernahmefflop FS2. Hier ist das Freigabefflop FG2 vorgesehen, dem über einen
20 Multiplexer MX3 die zum Setzen und Zurücksetzen erforderlichen Steuersignale zugeführt werden. Diese Steuersignale sind in Figur 5 eingezeichnet und sollen im folgenden kurz erläutert werden.

25 Das Steuersignal SR setzt die Freigabefflops FG1 und FG2 in den Ausgangszustand zurück. Mit Hilfe der Steuersignale SF1 bzw. SF2 kann das Freigabefflop FG1 bzw. FG2 gesetzt werden und damit die Übernahmefflops FS1 bzw. FS2 zur Übernahme des Startimpulses bzw. Stopimpulses
30 freigegeben werden. Durch die Steuersignale SF3 bzw. SF4 ist es möglich, das Setzen des Freigabefflops FG1 bzw. FG2 vom Zustand des Übernahmefflops FS2 bzw. FS1 abhängig zu machen. Durch das Steuersignal SS1 bzw. SS2 kann das Freigabefflop FG1 bzw. FG2 zurückgesetzt werden und damit die zugeordneten Sperrglieder NR1 bzw. NR2
35

gesperrt werden. Mit Hilfe des Steuersignals SS3 bzw. SS4 kann das Freigabeflipflop FG1 bzw. FG2 vom zugeordneten Übernahmefflipflop FS1 bzw. FS2 beeinflusst werden. In diesem Falle werden die Freigabeflipflops FG1 und FG2 zurückge-
5 setzt, wenn das zugeordnete Übernahmefflipflop FS1 bzw. FS2 gesetzt worden ist. Schließlich kann mit Hilfe des Steuersignals SS5 bzw. SS6 das Rücksetzen des Freigabeflipflops FG1 bzw. FG2 abhängig sein vom Zustand des Übernahmefflipflops FS2 bzw. FS1, d.h. das Freigabeflipflop FG1 wird
10 dann zurückgesetzt, wenn das Übernahmefflipflop FS2 für den Stopimpuls gesetzt worden ist. Entsprechendes gilt für das Freigabeflipflop FG2 und das Übernahmefflipflop FS1.

Das Verzögerungsglied ZG3 und das Verzögerungsglied ZG4
15 besteht in Figur 5 aus mehreren Zeitgliedern, zwischen denen Verstärker angeordnet sind. Dadurch wird erreicht, daß die Flanken der Impulse die erforderliche Steilheit
trotz Verzögerung aufweisen. Durch den Kondensator CV1 veränderlicher Kapazität kann zu dem die Verzögerungszeit des Verzögerungsgliedes ZG4 eingestellt werden.
20 Damit ist es möglich, die Verzögerungszeit des Verzögerungsgliedes ZG4 im Verhältnis zur Verzögerungszeit des Verzögerungsgliedes ZG3 zu verändern.

25 Am Ausgang und zwar am invertierenden Ausgang \bar{Q} des bistabilen Kippgliedes FF ist der Oszillator OSZ angeschlossen. Dieser besteht aus einem NOR-Glied oder Sperrglied NR6 und einem Koaxialleitungsstück KX. Der Ausgang des NOR-Gliedes NR6 ist über das Koaxialleitungsstück KX zum Eingang zurückgekoppelt, wobei der andere Eingang des NOR-Gliedes NR6 mit dem Ausgang des bistabilen Kippgliedes FF verbunden ist. Erscheint am Ausgang des bistabilen Kippgliedes das Signal ZS1, d.h. wird dieses Signal ZS1 logisch
30 0, dann erscheint am Ausgang des NOR-Gliedes NR6 eine logische 1, die über das Koaxialleitungsstück KX verzögert
35

wiederum zum Eingang des NOR-Gliedes NR6 zurückgeführt wird. Dadurch liegt nun am Eingang des NOR-Gliedes NR6 eine logische 1 und am Ausgang des NOR-Gliedes NR6 erscheint wiederum eine logische 0. Auf diese Weise beginnt
5 der Oszillator OSZ ohne Einschwingzeit zu schwingen und schwingt solange, bis das Signal ZS1 vom bistabilen Kippglied FF wieder logisch 1 wird. Dadurch wird das NOR-Glied NR6 gesperrt, so daß der Ausgang des NOR-Gliedes NR6 im folgenden logisch 0 bleibt. Der Oszillator OSZ gibt so-
10 mit in der Zeit zwischen dem Start- und dem Stopimpuls Oszillatorimpulse konstanter Frequenz- oder Periodendauer ab. Dabei kann der beim Abschalten des Oszillators OSZ abgegebene letzte Oszillatorimpuls verkürzt sein. Die Periodendauer der Oszillatorimpulse kann mit Hilfe eines Kon-
15 densators CV2 veränderlicher Kapazität justiert werden.

Bei sehr kurzen zeitlichem Abstand zwischen dem Start- und dem Stopimpuls gibt der Oszillator OSZ einen entsprechenden, kurzen Oszillatorimpuls ab. Dann ist es möglich, daß
20 das Übernahmeflipflop FL durch den verkürzten Oszillatorimpuls in einen metastabilen Zustand gelangt, also nicht sicher ist, welche Lage das Übernahmeflipflop FL annimmt. Um diesen unerwünschten Zustand des Übernahmeflipflops FL zu vermeiden, ist zwischen dem Ausgang des Oszillators OSZ
25 und dem Eingang des Übernahmeflipflops FL eine Schaltung PS angeordnet, die aus einem sehr schmalen Oszillatorimpuls einen ausreichenden Impuls zum Setzen des Übernahmeflipflops FL erzeugt. Die Schaltung PS enthält dazu eine Tunnelodiode TD, die an einen Emitterfolger angeschlossen
30 ist. Die Tunnelodiode TD ist weiterhin mit einem Komparator OP1 verbunden. Auch ein kurzer Oszillatorimpuls ist ausreichend, um die Tunnelodiode TD durchlässig zu steuern und damit das Potential am Eingang des Komparators OP1
so zu ändern, daß dieser am Ausgang einen genügend
35 langen Impuls abgibt.

Das Übernahmeflipflop FL gibt am Ausgang Impulse ab, die in Frequenz und in Anzahl derjenigen der Oszillatorimpulse entspricht. Diese Impulse können somit dazu herangezogen werden, um die Ladeschaltungen LD1 und LD2 (Figur 7) zu steuern. Dazu ist zunächst der Ausgang des Übernahmeflipflops FL mit dem ersten Umschaltflipflop FU1 verbunden. Der eine Ausgang des Umschaltflipflops FU1, und zwar der invertierende führt zu einem UND-Glied UG, von dem aus zwei Steuersignale ZS11 und ZS12 den Differenztransistoren T6 und T7 eines als Differenzverstärker realisierten Schalters SC zugeführt werden. Im Ausgangskreis des Schalters SC ist ein weiterer Differenzverstärker DV1 angeordnet, in dessen Ausgangskreis die Ladeschaltungen LD1 und LD2 angeordnet sind. Mit Hilfe der Steuersignale ZS11 und ZS12 werden somit über den Schalter SC und den Differenzverstärker DV1 abwechselnd die Ladeschaltungen LD1 und LD2 an eine Konstantstromquelle KQ angeschlossen.

Bevor jedoch ein Strom durch eine der Ladeschaltungen LD1 und LD2 fließen kann, muß die Konstantstromquelle KQ an den Differenzverstärker DV1 und dann an eine der Ladeschaltungen LD1 und LD2 angeschlossen werden. Diese erfolgt über einen Differenzverstärker DV2, in dessen Emitterkreis die Konstantstromquelle KQ angeordnet ist, und in dessen Ausgangskreis der Differenzverstärker DV1 liegt. Dieser Differenzverstärker DV2 wird von einem weiteren Differenzverstärker DV5 angesteuert, dessen Transistoren T5 und T8 Steuersignale ZS10 und ZS14 zugeführt werden. Diese Steuersignale ZS10 und ZS14 werden von dem zweiten Umschaltflipflop FU2 abgeleitet, das über das Verzögerungsglied ZG6 mit dem Ausgang des Übernahmeflipflops FL verbunden ist. Zeitlich später als das erste Umschaltflipflop FU1 wird somit das zweite Umschaltflipflop FU2 gesetzt und erzeugt mit Hilfe des logischen Gliedes NR3 die Steuersignale ZS10 und ZS14. Wenn das zweite Umschaltflipflop FU2 gesetzt wor-

den ist, dann wird das Steuersignal ZS10 erzeugt und damit der Differenztransistor T8 leitend gesteuert. Dies hat zur Folge, daß der Differenzverstärker DV2 die Konstantstromquelle KQ an den Differenzverstärker DV1 anschaltet. Mit Hilfe der Steuersignale ZS11 und ZS12 von dem ersten Umschaltflipflop FU1 wird dann festgelegt, über welche der beiden Ladeschaltungen LD1 und LD2 der Konstantstrom von der Konstantstromquelle KQ fließen soll. Die Zeitdauer des Stromflusses und damit das Maß der Aufladung der Ladeschaltungen LD1 und LD2 wird durch die Periodendauer der von dem Umschaltflipflop FU1 abgegebenen Steuersignale festgelegt. Die entsprechenden Zeitverhältnisse ergeben sich aus dem Zeitdiagramm der Figur 4 und zwar aus Zeile 10 und Zeile 11. In Zeile 10 ist das Steuersignal ZS12, in Zeile 11 das Steuersignal ZS11 dargestellt. Aus Zeile 9 des Zeitdiagramms ergibt sich der Verlauf des Steuersignals ZS14 vom zweiten Umschaltflipflop FU2. Es ist zu sehen, daß die Verzögerungszeit des Verzögerungsgliedes ZG6, die mit Hilfe des Kondensators CV3 veränderbar ist, derart eingestellt ist, daß die Steuersignale ZS14, ZS12 und ZS11 sich in etwa zum gleichen Zeitpunkt ändern.

Die Aufladung einer der Ladeschaltungen LD1 oder LD2 muß auf jeden Fall dann beendet werden, wenn der Stopimpuls erschienen ist und dem bistabilen Kippglied FF zugeführt wird. In diesem Fall wird durch das Steuersignal ZS4, das dem bistabilen Kippglied FF zugeführt wird, gleichzeitig das zweite Umschaltflipflop FU2 zurückgesetzt und damit die Konstantstromquelle KQ durch den Differenzverstärker DV2 von den Ladeschaltungen abgeschaltet. Damit wird die Aufladung der Ladeschaltung, die vom Differenzverstärker DV1 zuletzt an die Konstantstromquelle KQ angelegt worden ist, beendet. Die Folge ist, daß mit Erscheinen des Stopimpulses diese Ladeschaltung, in Figur 4 die Ladeschaltung LD2, nur noch teilweise aufgeladen wird. Die dabei

in der Ladeschaltung gegebene Ladespannung, in Figur 4 mit UD bezeichnet, ist dann ein Maß für die Zeitdauer des letzten verkürzten Oszillatorimpulses. Diese Ladespannung UD wird dann weiter ausgewertet.

5

Da die Ladeschaltungen LD1 und LD2 abwechselnd an die Konstantstromquelle KQ im Rhythmus der Steuersignale ZS11 und ZS12 vom ersten Umschaltflipflop FU1 angeschaltet werden, müssen diese in Gegentakt entladen werden. Das heißt, wenn
10 die Ladeschaltung LD1 an die Konstantstromquelle KQ angeschaltet wird, muß die Ladeschaltung LD2 gleichzeitig entladen werden. Dies erfolgt mit Hilfe der Entladeschaltungen ET1 und ET2, die jeweils aus einem Differenzverstärker und einem parallel zu den Kondensatoren der Lade-
15 schaltungen LD1 und LD2 angeordneten Transistor TE bestehen. Mit Hilfe der Differenzverstärker der Entladeschaltungen ET1 und ET2 werden diese Transistoren TE jeweils im Gegentakt zur Aufladung einer der Ladeschaltungen leitend gesteuert und damit die parallel liegenden Kondensatoren der Ladeschaltungen sehr schnell entladen. Die An-
20 steuerung der Entladeschaltung ET1 und ET2 erfolgt ebenfalls von dem ersten Umschaltflipflop FU1 aus. Die Ausgänge des Umschaltflipflops FU1 sind dazu mit einer monostabilen Kippschaltung EF4 und einer zweiten monostabilen
25 Kippschaltung EF5 verbunden. Am Ausgang der ersten monostabilen Kippschaltung EF4 erscheint das Steuersignal ZS15, das der Entladeschaltung ET1 zugeführt wird. Am Ausgang der monostabilen Kippschaltung EF5 erscheint das Steuersignal ZS16, das der Entladeschaltung ET2 zugeführt wird.
30 Die Steuersignale ZS15 und ZS16 sind in Zeile 7 und Zeile 8 des Zeitdiagramms der Figur 4 dargestellt. Aus Figur 4 ist zu ersehen, daß immer jeweils eine Ladeschaltung aufgeladen wird und gleichzeitig die andere Ladeschaltung mit Hilfe der zugeordneten Entladeschaltung ET entladen
35 wird.

- Die Ladeschaltungen LD1 bzw. LD2 bestehen jeweils aus Kondensatoren CL1, CL2, die in Kollektorzweigen der Transistoren des Differenzverstärkers DV1 liegen. Dabei kann die Ladeschaltung LD2 aus der Parallelschaltung von zwei Kondensatoren bestehen, von denen der eine einen festen Wert und der andere einen variablen Wert hat. Mit Hilfe des Kondensators variabler Kapazität kann dann die Kapazität CL2 justiert werden.
- 10 Die Ladespannungen der Ladeschaltungen LD1 bzw. LD2, die mit ZS17 bzw. ZS18 bezeichnet sind, werden nach Figur 8 einem Analog-Multiplexer MUX1 zugeführt. Mit Hilfe des Multiplexers MX1 werden die Ladespannungen ZS18 und ZS17 derart mit den Eingängen der Verstärkerschaltung VST, die als Operationsverstärker realisiert ist, angeschlossen, daß jeweils die Ladespannung der aufgeladenen Ladeschaltung LD an den einen Eingang der Verstärkerschaltung VST angelegt wird und die Ladespannung der entladenen Ladeschaltung an den anderen Eingang der Verstärkerschaltung VST. Dazu wird die Ladespannung ZS18 einem ersten Operationsverstärker VT1 und einem dritten Operationsverstärker VT3 und die Ladespannung ZS17 einem zweiten Operationsverstärker VT2 und einem vierten Operationsverstärker VT4 zugeführt. Im Ausgangszweig jedes Operationsverstärkers VT ist eine Diodenschaltung aus zwei gegensinnig geschalteten Dioden angeordnet und das Ende des Ausgangszweiges wird auf den invertierenden Eingang des zugeordneten Operationsverstärkers VT zurückgeführt. Der Ausgang des Operationsverstärkers VT1 und der des Operationsverstärkers VT2 sind weiterhin miteinander verbunden und führen zum einen Eingang der Verstärkerschaltung VST. Entsprechend sind die Ausgänge der Operationsverstärker VT3 und VT4 miteinander verbunden und führen zum anderen Eingang der Verstärkerschaltung VST. Somit ist es möglich, die Ladespannung ZS17 sowohl an den einen als auch den

anderen Eingang der Verstärkerschaltung VST anzulegen und entsprechendes gilt auch für die Ladespannung ZS18.

Die Anschaltung zweier der Operationsverstärker VT an die
5 Eingänge der Verstärkerschaltung VST erfolgt mit Hilfe
des Multiplexers MUX1, der aus zwei Differenzverstärker
DV3 und DV4 besteht. Der eine Ausgang des Differenzver-
stärkers DV3 ist mit dem Verbindungspunkt VP1 der Dioden
im Ausgangszweig des Operationsverstärkers VT1 verbunden,
10 der andere Ausgang des Differenzverstärkers DV3 mit dem
Verbindungspunkt VP2 der Dioden im Ausgangszweig des Opera-
tionsverstärkers VT2. Der eine Ausgang des Differenzver-
stärkers DV4 ist mit dem Verbindungspunkt VT3 der Dioden
im Ausgangszweig des Operationsverstärkers VP3 und der
15 andere Ausgang des Differenzverstärkers DV4 mit dem Ver-
bindungspunkt VP4 im Ausgangszweig des Operationsverstär-
kers VT4 verbunden. Die Verbindungspunkte VP1 bis VP4 sind
weiterhin jeweils mit einer Konstantstromquelle KS1 bis
KS4 verbunden. Mit Hilfe der Differenzverstärker DV3 und
20 DV4 kann erreicht werden, daß der Strom der Konstantstrom-
quelle KS entweder über die Dioden im Ausgangszweig des
zugeordneten Operationsverstärkers fließen und damit diese
Dioden durchlässig werden oder über den Transistor des
Differenzverstärkers. Im letzteren Fall sind die Dioden
25 im Ausgangszweig des Operationsverstärkers gesperrt, da
über eine am Emitter des Transistors angeschlossene Diode
DC Sperrpotential an den Dioden liegt.

Die Ansteuerung der Differenzverstärker DV3 und DV4 des
30 Multiplexers MX1 erfolgt durch Steuersignale ZS9 und ZS13.
Diese Steuersignale werden vom ersten Umschaltflipflop
FU1 abgeleitet. Durch das erste Umschaltflipflop FU1 wird
festgelegt, welche der Ladeschaltungen LD1 oder LD2 gerade
aufgeladen werden und welche nicht. Dadurch ist auch fest-
35 gelegt, welche Ladespannung ZS17 oder ZS18 an den einen

- Eingang der Verstärkerschaltung und welche Ladespannung ZS18, ZS17 an den anderen Eingang der Verstärkerschaltung VST anzuschließen ist. Damit wird gewährleistet, daß am Ausgang der Verstärkerschaltung VST immer die Differenz der Ladespannungen ZS17, ZS18 vorliegt.
- 5

- Da von dem Analog-Digital-Wandler AD nur die Ladespannung UD, die dem verkürzten Oszillatorimpuls zugeordnet ist, in den digitalen Wert SA umgewandelt werden soll, wird dem
- 10 Analog-Digital-Wandler AD das Startsignal ZS6 zugeführt. Dieses Startsignal ZS6 wird vom Ausgang des Übernahmeflipflops FL abgeleitet. Durch die monostabile Kippschaltung EF2 mit verhältnismäßig großer Zeitkonstante wird erreicht, daß sich eine Änderung am Ausgang des Übernahme-
- 15 flipflops FL an ihrem Ausgang nur dann auswirkt, wenn der Oszillator OSZ wieder abgeschaltet worden ist. Aus dem Impuls am Ausgang der monostabilen Kippschaltung EF2 wird mit Hilfe der Kippschaltung EF3 das Signal ZS6, also das Startsignal für den Analog-Digital-Wandler entwickelt.
- 20 Das Startsignal ZS6 ist in Figur 4 in Zeile 14 dargestellt. Es ist zu sehen, daß es nach Auftreten des Stopimpulses und nach Beendigung der Aufladung der Ladeschaltung LD2 auftritt.

- 25 Die Beendigung der Umwandlung der Ladespannung in einen digitalen Wert SA durch den Analog-Digital-Wandler AD zeigt dieser durch ein Endesignal ZS7 an, das zum Zurücksetzen des Entladeflipflops FE benutzt wird. Über das Signal ZS8 werden dann die Entladeschaltungen ET1 und ET2
- 30 abgeschaltet. Das Signal ZS8 wird in Zeile 6 der Figur 4 dargestellt.

- Das Endesignal ZS7 wird einer Impulsformerstufe EF1 zugeführt und kann von dort als Signal ME zum Ausgang geführt werden. Dieses Signal ME gibt an, daß ein Meßvorgang be-
- 35 endet ist.

In den Figuren 5 bis 8 sind eine Reihe von Potentialen, die mit P bezeichnet sind, angegeben. Sie können z.B. sein:

P1 = -5,2 Volt,

P2 = -2 Volt,

5 P3 = -0,8 Volt $\hat{=}$ ECL log."1"

P4 = 5 Volt,

P5 = 15 Volt,

P6 = -15 Volt.

Die übrigen nicht weiter beschriebenen Bauelemente in den
10 Figuren 5 bis 8 dienen zur Einstellung der Arbeitspunkte.

Die Bausteine SQ1 und SQ2 sind Spannungskonverter,

0142644

-26-

VPA

83 P 1657 E

Bausteinliste

OP1 = SP 9685

Operationsverstärker VT = AM 405-2

5 Konstantstromquelle KS = CR 470

Analog-Digital-Wandler AD = ADC-EH 10 B1

Spannungsversorgung SQ1 = DC/DC Konverter 546, $\pm 5/15$ Volt

SQ2 entspricht Spannungsversorgung SQ1

Patentansprüche

1. Schaltungsanordnung zur Messung von Zeiten, insbesondere auch von sehr kurzen Zeiten, und zur Angabe der gemessenen Zeit in digitaler Form, der ein den Beginn der zu messenden Zeit angegebender Startimpuls und ein das Ende der zu messenden Zeit angegebender Stopimpuls zugeführt wird und bei der zwischen Startimpuls und Stopimpuls von einem Oszillator erzeugte Impulse gezählt werden, dadurch gekennzeichnet, daß ein erstes Verzögerungsglied (ZG3) vorgesehen ist, dem der Startimpuls (SE1) zugeführt wird, daß ein zweites Verzögerungsglied (ZG4, ZG5) mit einer gegenüber der Verzögerungszeit des ersten Verzögerungsgliedes (ZG3) größeren Verzögerungszeit vorgesehen ist, dem der Stopimpuls (SE2) zugeführt wird, daß das erste Verzögerungsglied (ZG3) mit dem Setzeingang eines bistabilen Kippgliedes (FF) und das zweite Verzögerungsglied (ZG4, ZG5) mit dem Rücksetzeingang des bistabilen Kippgliedes verbunden ist, daß am Ausgang des bistabilen Kippgliedes (FF) der Oszillator (OSZ) angeschlossen ist, der einschaltet, wenn das bistabile Kippglied gesetzt wird und der ausschaltet, wenn das bistabile Kippglied zurückgesetzt wird, daß eine erste und eine zweite Ladeschaltung (LD1, LD2) vorgesehen sind, die während der zu messenden Zeit abwechselnd jeweils für eine ganze oder bei Auftreten des Stopimpulses verkürzte Periode des Oszillatorimpulses zur Erzeugung einer dazu proportionalen Ladespannung (ZS17, ZS18) mit einer Konstantstromquelle (KQ) verbindbar sind und die abwechselnd im Gegentakt zur Verbindung mit der Konstantstromquelle durch jeweils eine Entladeschaltung (ET1, ET2) entladbar sind, daß die Ausgänge der Ladeschaltungen (LD1, LD2) durch einen ersten Multiplexer (MX1) potentialmäßig richtig mit einer Verstärkerschaltung (VST) verbindbar sind, daß der Ausgang der Verstärkerschaltung (VST) mit einem

Analog-Digital-Wandler (AD) verbunden ist, der durch ein Startsignal (ZS6) eingeschaltet wird, wenn der Stopimpuls (SE2) aufgetreten ist, so daß nur die der Dauer des verkürzten Oszillatorimpulses proportionale Ladespannung (UD) in einen digitalen Wert umgewandelt wird, und daß eine Zähl-
einrichtung (FL, FR, NR4, NR5, BZ) vorgesehen ist, die die vom Oszillator (OSZ) abgegebenen Impulse ganzer Periode zählt.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen dem ersten und zweiten Verzögerungsglied (ZG3, ZG4, ZG5) und die Eingänge (E1, E2) für den Startimpuls und den Stopimpuls jeweils eine Vorstufe bestehend aus einem Freigabeflipflop (FG1, FG2) und einem über ein Sperrglied (NR1, NR2) mit dem Freigabeflipflop verbundenen Übernahmefflipflop (FS1, FS2) angeordnet ist, und daß mit Hilfe der Freigabeflipflops (FG1, FG2) festlegbar ist, welche Start- bzw. Stopimpuls zum bistabilen Kippglied (FF) gelangt.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß zwischen dem Eingang (E1) für den Startimpuls (SE1) und dem ersten Übernahmefflipflop (FS1) ein drittes Verzögerungsglied (ZG1) und zwischen dem Eingang (E2) für den Stopimpuls (SE2) und dem zweiten Übernahmefflipflop (FS2) ein viertes Verzögerungsglied (ZG2) mit einer gegenüber der Verzögerungszeit des dritten Verzögerungsgliedes größeren Verzögerungszeit angeordnet ist.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die erste Ladeschaltung (LD1) aus einem im Kollektorzweig des einen Transistors eines ersten Differenzverstärkers (DV1) angeordneten ersten Kondensator (CL1) und die zweite

Ladeschaltung (LD2) aus einem im Kollektorzweig des anderen Transistors des ersten Differenzverstärkers (DV1) angeordneten zweiten Kondensator (CL2) besteht.

5 5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß der Kondensator der zweiten Ladeschaltung (LD2) aus einer Parallelschaltung eines Kondensators fester Kapazität und eines Kondensators variabler Kapazität besteht.

10

6. Schaltungsanordnung nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß die Basiselektroden des einen und des anderen Transistors des ersten Differenzverstärkers (DV1) in den Kollektorzweigen der Transistoren (T6, T7) eines zweiten Differenzverstärkers (SC) angeordnet sind, und daß an den Basiselektroden der Transistoren des zweiten Differenzverstärkers ein die Ladeschaltungen (LD1, LD2) abwechselnd einschaltendes Umschaltssignal (ZS11, ZS12) anliegt.

20

7. Schaltungsanordnung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß die miteinander verbundenen Emitter der Transistoren des ersten Differenzverstärkers (DV1) im Kollektorzweig des einen Transistors eines dritten Differenzverstärkers (DV2) angeordnet sind, dessen anderer Transistor mit seinem Kollektor mit einem festen Potential verbunden ist, und daß die Emitter der Transistoren des dritten Differenzverstärkers (DV2) mit der Konstantstromquelle (KQ) verbunden sind und an die Basiselektroden der Transistoren ein erstes Einschaltssignal (ZS10, ZS14) anlegbar ist.

30

8. Schaltungsanordnung nach einem der Ansprüche 4 bis 7, dadurch gekennzeichnet, daß die erste Entladeschaltung (ET1) aus einem parallel zu dem ersten

35

Kondensator (CL1) der ersten Ladeschaltung (LD1) angeordneten Entladetransistor (TE) und aus einem vierten Differenzverstärker besteht, dessen einer Ausgang mit der Basis-
elektrode des Entladetransistors (TE) verbunden ist und
5 dessen Eingänge ein zweites Einschaltssignal (ZS15)
zuführbar ist.

9. Schaltungsanordnung nach einem der Ansprüche 4 bis 7,
dadurch gekennzeichnet, daß die zweite
10 Entladeschaltung (ET2) aus einem parallel zu dem zweiten
Kondensator (CL2) der zweiten Ladeschaltung (LD2) ange-
ordneten Entladetransistor (TE) und aus einem fünften
Differenzverstärker besteht, dessen einer Ausgang mit der
Basiselektrode des Entladetransistors verbunden ist und
15 an dessen Eingängen ein drittes Einschaltssignal (ZS16)
anlegbar ist.

10. Schaltungsanordnung nach einem der Ansprüche 6 bis 9,
dadurch gekennzeichnet, daß am Ausgang
20 des Oszillators (OSZ) ein drittes Übernahmeflipflop (FL)
angeordnet ist, dessen einer Ausgang mit einem ersten Um-
schaltflipflop (FU1) verbunden ist, das am Ausgang das Um-
schaltssignal (ZS11, ZS12) abgibt.

25 11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß zur Erzeugung des zweiten
Einschaltssignals (ZS15) eine erste monostabile Kippschal-
tung (EF4) vorgesehen ist, die mit dem einen Ausgang des
ersten Umschaltflipflops (FU1) verbunden ist.

30

12. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß zur Erzeugung des dritten
Einschaltssignals (ZS16) eine zweite monostabile Kippschal-
tung (EF5) vorgesehen ist, die mit dem anderen Ausgang
35 des ersten Umschaltflipflops (FU1) verbunden ist.

13. Schaltungsanordnung nach einem der Ansprüche 10 bis 12, dadurch gekennzeichnet, daß am einen Ausgang des dritten Übernahmefflipflops (FL) ein zweites Umschaltfflipflop (FU2) angeschlossen ist, das am Ausgang
5 das erste Einschaltsignal (ZS10, ZS14) abgibt.
14. Schaltungsanordnung nach Anspruch 13, dadurch gekennzeichnet, daß der Rücksetzeingang des zweiten Umschaltfflipflops (FU2) mit dem Ausgang des zweiten
10 Verzögerungsgliedes (ZG4, ZG5) verbunden ist.
15. Schaltungsanordnung nach einem der Ansprüche 10 bis 14, dadurch gekennzeichnet, daß zwischen Oszillator (OSZ) und dritten Übernahmefflipflop (FL) eine
15 Schaltungsanordnung (PS) mit einer Tunneldiode (TD) angeordnet ist, die auch bei einem Oszillatorimpuls sehr kurzer Dauer ein zum Setzen des dritten Übernahmefflipflops ausreichenden Impuls erzeugt.
- 20 16. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Oszillator (OSZ) aus einem NOR-Glied (NR6) und einem zwischen dem Eingang und dem Ausgang des NOR-Gliedes angeordneten Koaxialleitungsstück (KX) besteht, und daß der
25 andere Eingang des NOR-Gliedes (NR6) mit dem Ausgang des bistabilen Kippgliedes (FF) verbunden ist.
17. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den
30 ersten Multiplexer (MX1) aus jeweils zwei Operationsverstärker (VT) pro Ausgang der ersten und der zweiten Ladeschaltung (LD1, LD2), deren Ausgang jeweils zum invertierenden Eingang des eigenen Operationsverstärkers zurückgekoppelt ist, wobei im Ausgangszweig jedes Operationsver-
35 stärkers (VT) zwei gegensinnig angeordnete Dioden liegen,

und wobei jeweils der Ausgang des einen einer Ladeschaltung zugeordneten Operationsverstärkers (VT) mit dem einen Eingang der als Operationsverstärker realisierten Verstärkerschaltung (VST) und der Ausgang des anderen der Ladeschaltung zugeordneten Operationsverstärkers mit dem anderen Eingang der Verstärkerschaltung verbunden ist, aus einem sechsten Differenzverstärker (DV3), dessen einer Ausgang mit dem Verbindungspunkt (VP1) der Dioden des zwischen der ersten Ladeschaltung (LD1) und dem einen Eingang der Verstärkerschaltung (VST) liegenden Operationsverstärker (VT1) verbunden ist, dessen zweiter Ausgang mit dem Verbindungspunkt (VP2) der Dioden des zwischen der zweiten Ladeschaltung (LD2) und dem einen Eingang der Verstärkerschaltung liegenden Operationsverstärker (VT2) verbunden ist und dessen Eingänge mit den Ausgängen des ersten Umschalteflipflops (FU1) verbunden ist, aus einem siebten Differenzverstärker (DV4), dessen einer Ausgang mit dem Verbindungspunkt (VP3) der Dioden des zwischen der ersten Ladeschaltung (LD1) und dem zweiten Eingang der Verstärkerschaltung (VST) liegenden Operationsverstärker (VT3) verbunden ist, dessen anderer Ausgang mit dem Verbindungspunkt (VP4) der Dioden des zwischen der zweiten Ladeschaltung (LD2) und dem zweiten Eingang der Verstärkerschaltung liegenden Operationsverstärker (VT4) verbunden ist und dessen Eingänge so mit den Ausgängen des ersten Umschalteflipflops (FU1) verbunden sind, daß jeweils die geladenen Ladeschaltungen (LD1, LD2) an den ersten Eingang der Verstärkerschaltung und die entladenen Ladeschaltungen an den zweiten Eingang der Verstärkerschaltung angeschlossen sind, aus an den Ausgängen des sechsten und siebten Differenzverstärkers (DV3, DV4) angeordneten Dioden (DC) und aus Konstantstromquellen (KS1 - KS4) pro Operationsverstärker (VT), die jeweils an den Verbindungspunkt (VP) der Dioden der Operationsverstärker angeschlossen sind.

18. Schaltungsanordnung nach einem der vorhergehenden Ansprüche gekennzeichnet durch die Zähl-
einrichtung aus einem bistabilen Kippglied (FR), dessen
nicht invertierender Ausgang über ein sechstes Verzögerungs-
glied (ZG7) mit dem Rücksetzeingang verbunden ist
5 und dessen Setzeingang an den Ausgang des ersten Verzögerungs-
gliedes (ZG3) angeschlossen ist, aus einem vierten NOR-Glied (NR4), dessen einer Eingang mit dem dritten
Übernahmeflipflop (FL) und dessen anderer Eingang mit dem
10 bistabilen Kippglied (FR) verbunden ist und das am Ausgang
die der Anzahl der Oszillatorimpulse ganzer Periodendauer
entsprechenden Zählimpulse (SU) abgibt, aus einem fünften
NOR-Glied (NR5), dessen einer Eingang mit dem Ausgang des
dritten Übernahmeflipflops (FL), dessen anderer Eingang
15 mit dem invertierenden Ausgang des bistabilen Kippgliedes
(FR) verbunden ist und das am Ausgang einen zu Beginn je-
des Meßvorganges auftretenden Rücksetzimpuls (SRU) abgibt
und aus einem Binärzähler (BZ), dessen Zähleingang mit
dem Ausgang des vierten NOR-Gliedes (NR4) und dessen Rück-
20 setzeingang mit dem Ausgang des fünften NOR-Gliedes (NR5)
verbunden ist.

19. Schaltungsanordnung nach Anspruch 2 oder 3, dadurch
gekennzeichnet, daß vor den Freigabeflip-
25 fops (FG1, FG2) weitere Multiplexer (MX2, MX3) angeordnet
sind, durch die Steuersignale an die Eingänge der Frei-
gabeflipflops anlegbar sind.

FIG 1

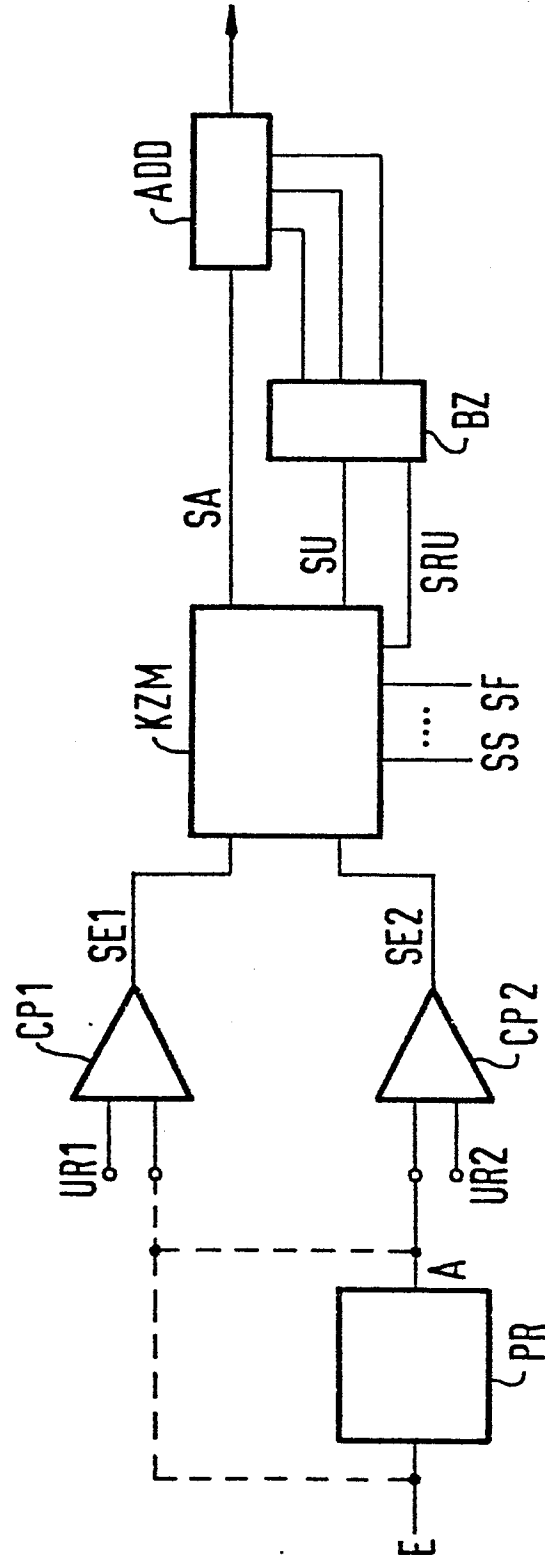
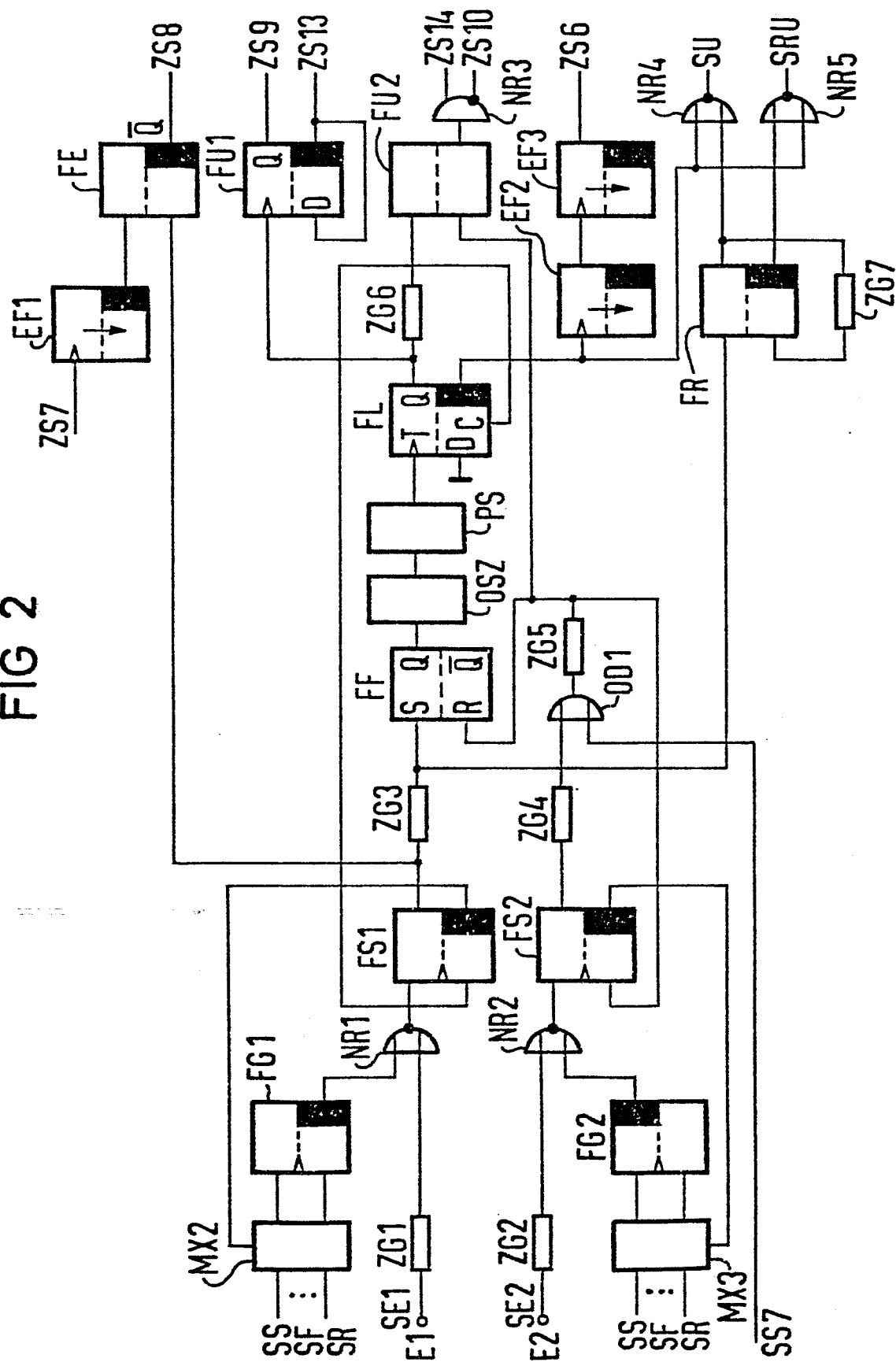
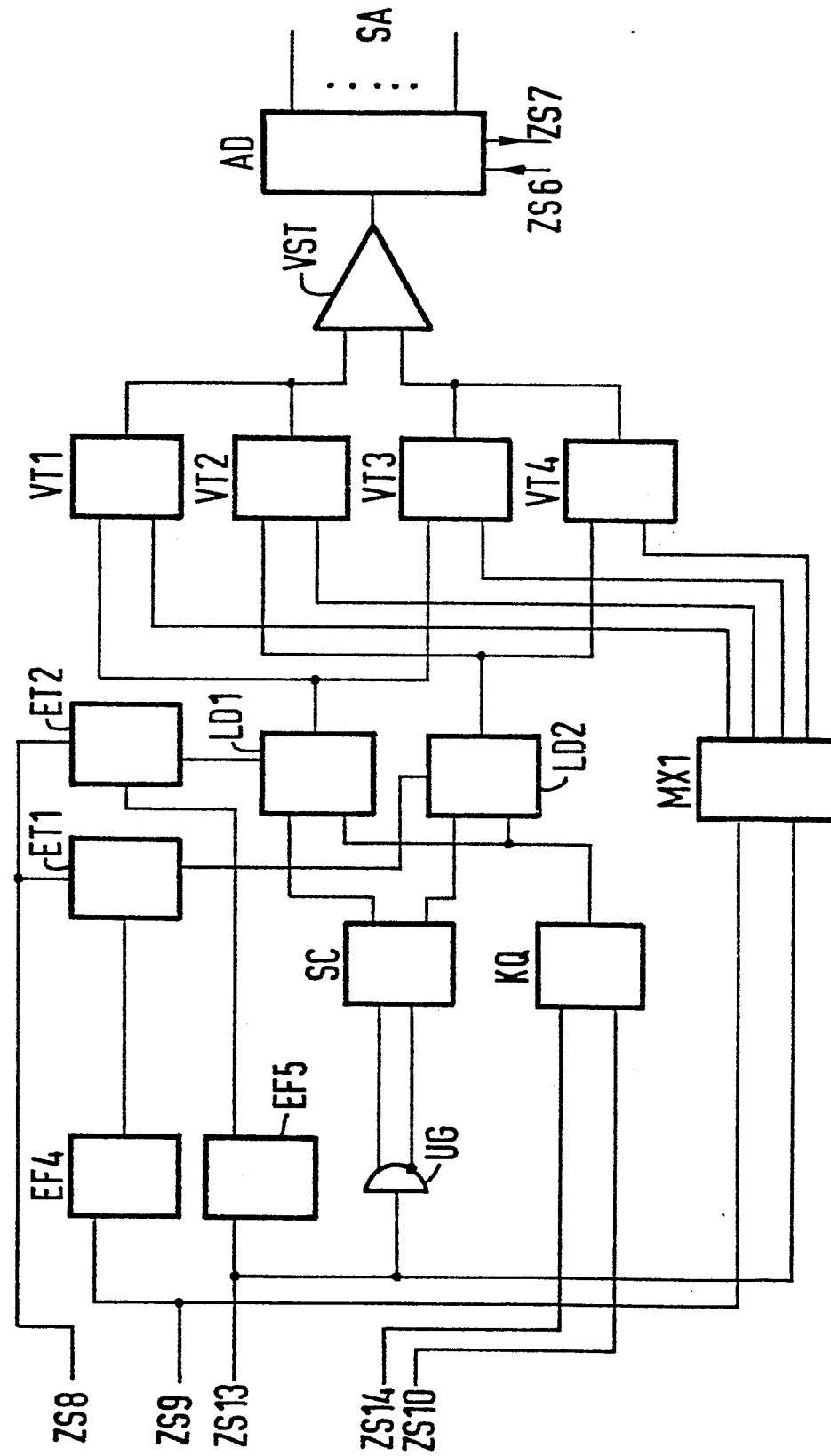


FIG 2



3/9

FIG 3



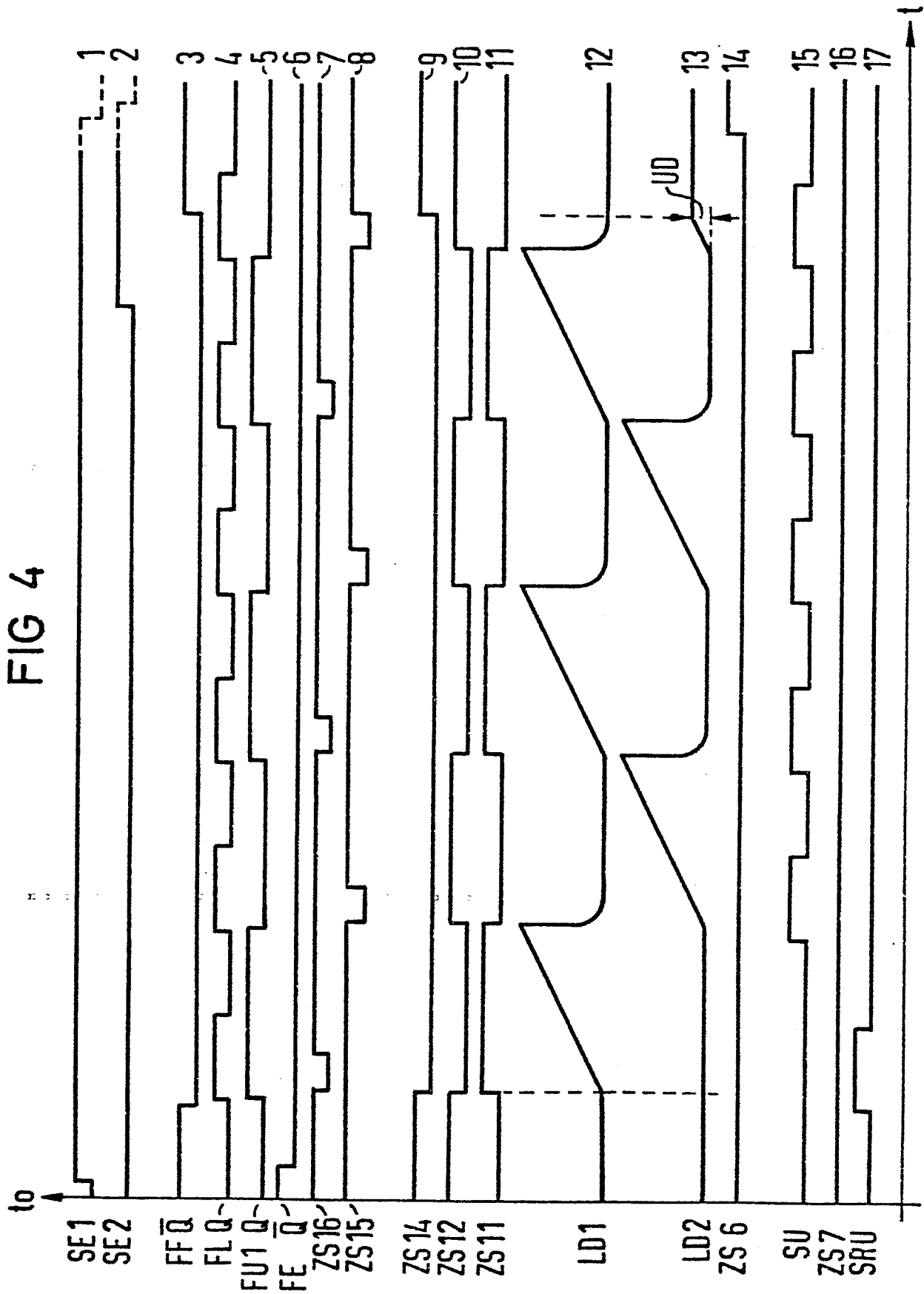
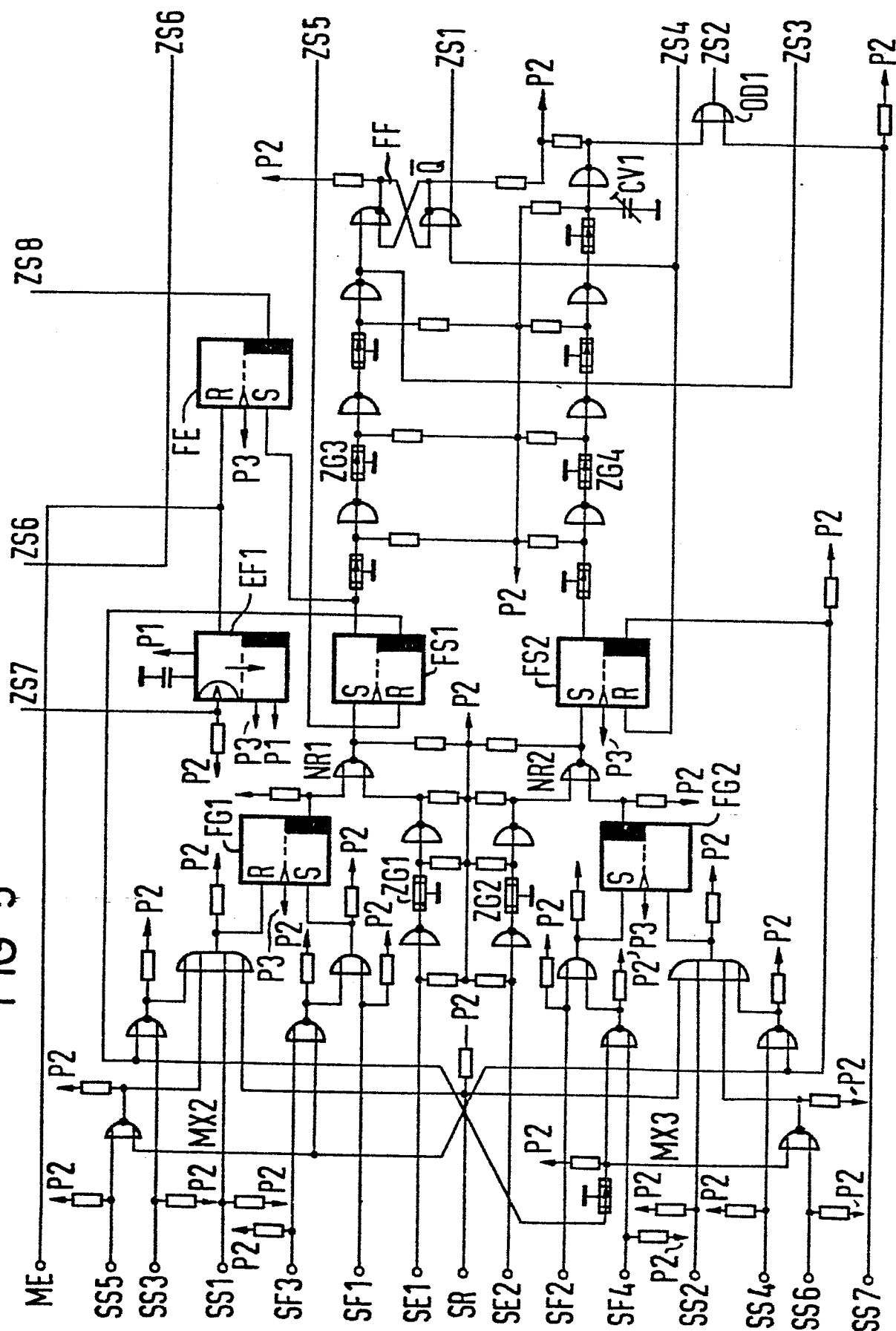
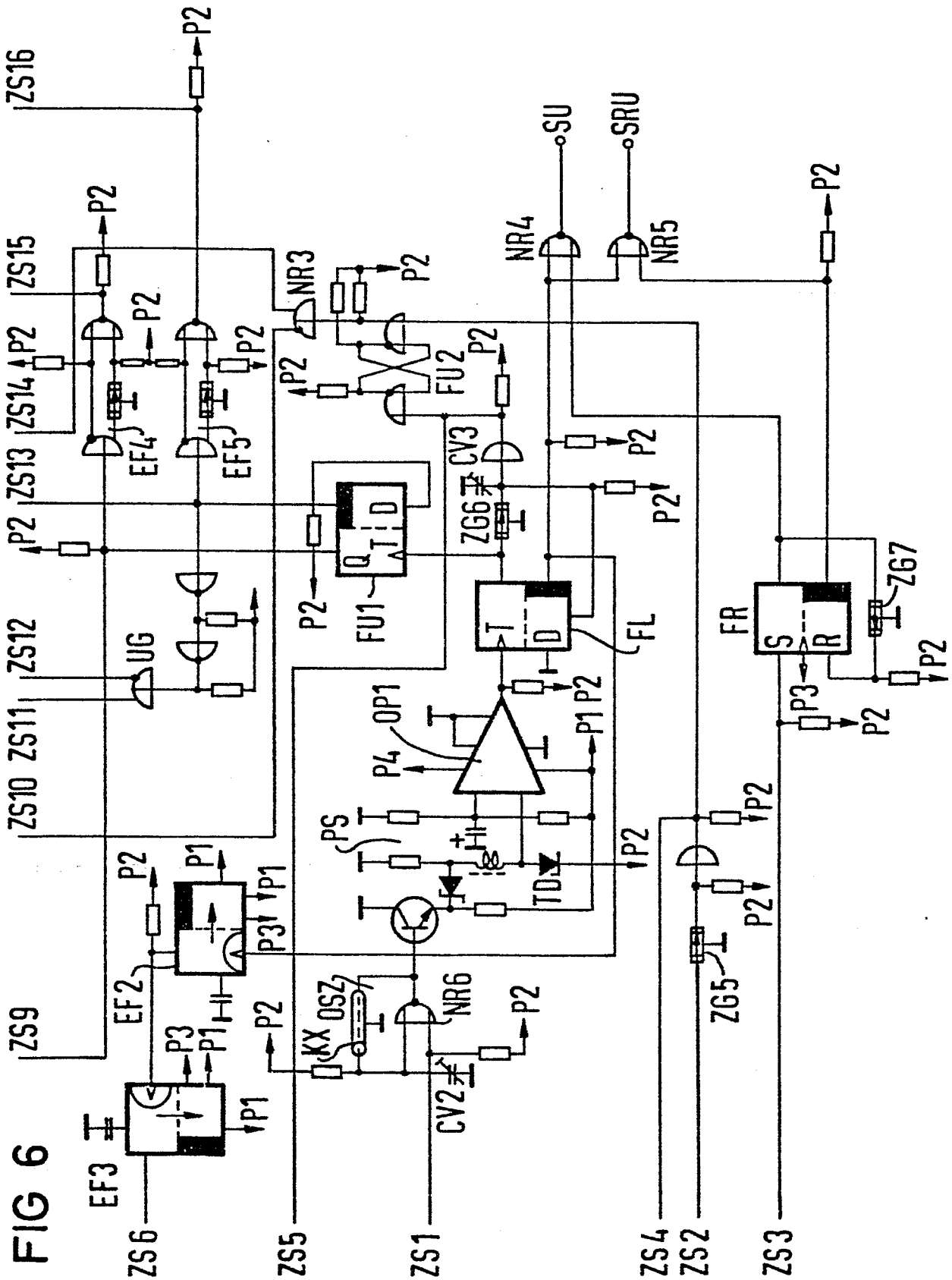
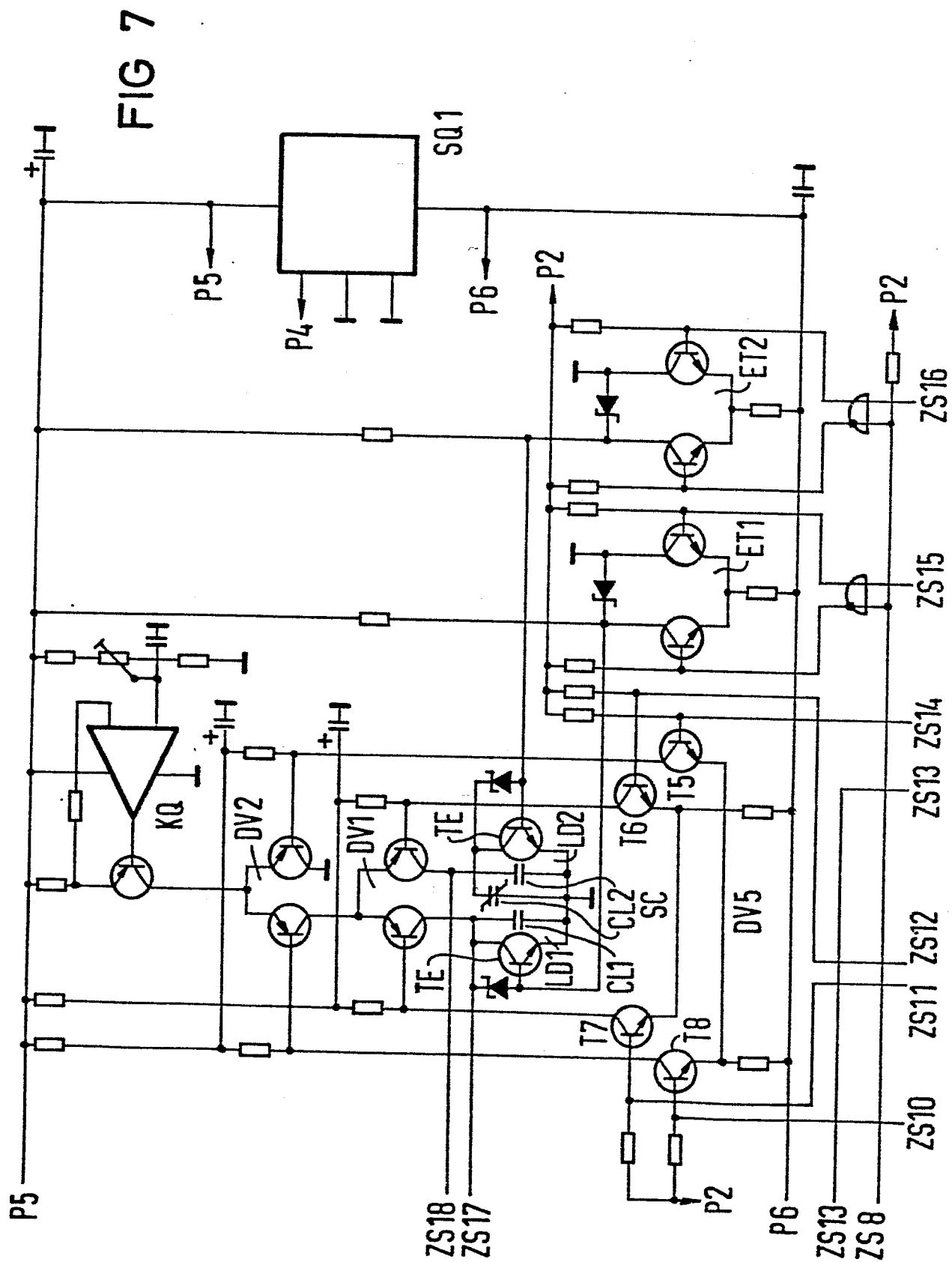


FIG 5



6/9





8/9

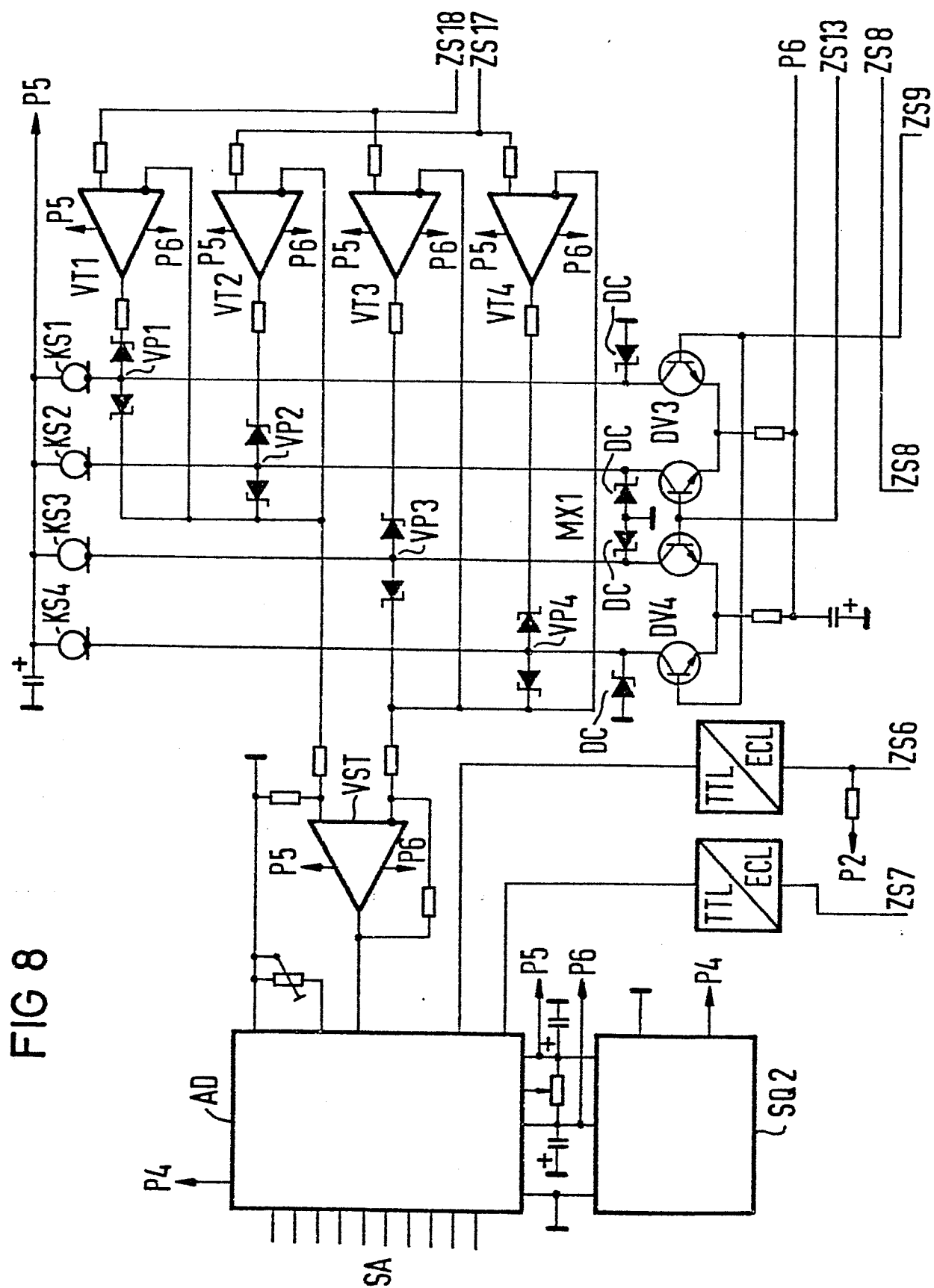


FIG 2	FIG 3
-------	-------

FIG 9

FIG 8	FIG 7
FIG 5	FIG 6



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

0142644

Nummer der Anmeldung

EP 84 11 0186

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	DE-A-2 855 819 (TAKEDA RIKEN KOGYO K.K.) * Seite 16, letzter Abschnitt - Seite 17, letzter Abschnitt; Figuren *	1-4	G 04 F 10/00
A	EP-A-O 051 531 (ELECTRONIQUE MARCEL DASSAULT) * Seite 4, Zeilen 4-34; Figuren *	1-4, 6-8	
A	IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT, Band IM-21, Nr. 4, November 1972, pages 409-412, IEEE, New York, US; R.A. BENSON u.a.: "The folded ramp: a new technique for computer-controlled time-interval measurement" * Figuren 1,2 *	1	
A	INSTRUMENTS AND EXPERIMENTAL TECHNIQUES, Band 17, Nr. 6, Teil 1, November-Dezember 1974, Seiten 1647-1651, New York, US; S.G. BASILADZE u.a.: "A digital meter of time intervals with picosecond resolution and a wide dynamic range" * Seite 1647, letzter Abschnitt *	1	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4) G 04 F
Recherchenort DEN HAAG		Abschlußdatum der Recherche 14-12-1984	Prüfer EXELMANS U.G.J.R.
<p>KATEGORIE DER GENANNTEN DOKUMENTEN</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze</p> <p>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			

EINSCHLÄGIGE DOKUMENTE

Seite 2

EINSCHLÄGIGE DOKUMENTE			Seite 2
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	<p>ELECTRONICS INTERNATIONAL, Band 50, Nr. 23, November 1977, Seiten 89-95, New York, US; D.C. CHU u.a.: "Ovenless oscillators will resolve 20-picosecond pulses"</p> <p>* Figur 2 *</p> <p>-----</p>	16	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG	Abschlußdatum der Recherche 14-12-1984	Prüfer EXELMANS U.G.J.R.	
<p>KATEGORIE DER GENANNTEN DOKUMENTEN</p> <p>X : von besonderer Bedeutung allein betrachtet</p> <p>Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie</p> <p>A : technologischer Hintergrund</p> <p>O : mündliche Offenbarung</p> <p>P : Zwischenliteratur</p> <p>T : der Erfindung zugrunde liegende Theorien oder Grundsätze</p>		<p>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist</p> <p>D : in der Anmeldung angeführtes Dokument</p> <p>L : aus andern Gründen angeführtes Dokument</p> <p>& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>	