

12

DEMANDE DE BREVET EUROPEEN

21 Numéro de dépôt: 85400398.5

51 Int. Cl.⁴: **G 06 G 7/184**

22 Date de dépôt: 01.03.85

30 Priorité: 05.03.84 FR 8403356

71 Demandeur: **THOMSON-CSF, 173, Boulevard Haussmann, F-75379 Paris Cedex 08 (FR)**

43 Date de publication de la demande: 09.10.85
Bulletin 85/41

72 Inventeur: **Berger, Jean-Luc, THOMSON-CSF SCPO 173, bld Haussmann, F-75379 Paris Cedex 08 (FR)**
Inventeur: **Coutures, Jean-Louis, THOMSON-CSF SCPO 173, bld Haussmann, F-75379 Paris Cedex 08 (FR)**

84 Etats contractants désignés: **DE GB NL**

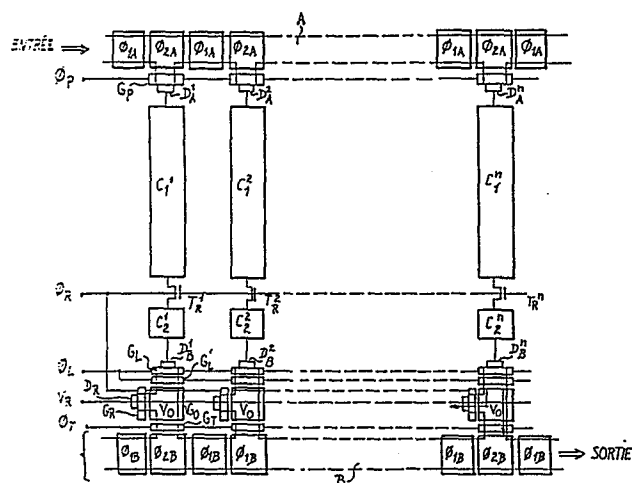
74 Mandataire: **Ruellan-Lemonnier, Brigitte et al, THOMSON-CSF SCPI 173, boulevard Haussmann, F-75379 Paris Cedex 08 (FR)**

54 Intégrateur analogique non récursif.

57 La présente invention concerne un intégrateur analogique non récursif réalisant l'intégration d'un signal analogique échantillonné $V_{n,m}$ sur M séquences.

Cet intégrateur comporte un démultiplexeur d'entrée (A) série parallèle pour envoyer successivement sur N capacités de stockage ($C^1, C^2, \dots, C^N$), reliées en parallèle au démultiplexeur d'entrée, M fois le signal analogique échantillonné, chaque capacité de stockage réalisant pour les M séquences la sommation sous forme de charge ($\sum_m, Q_{n,m}$) de l'échantillon de rang correspondant du signal analogique $V_{n,m}$. Il comporte, de plus, un multiplexeur (B) parallèle-série de sortie relié aux N moyens de stockage pour délivrer en sortie, à la fin de M séquences, un signal analogique ($\sum_{m=1, M} V_{n,m}$).

Cet intégrateur s'applique notamment à la détection des raies d'un spectre récurrent en sortie d'un analyseur à onde acoustique de surface.



INTEGRATEUR ANALOGIQUE NON RECURSIF

La présente invention concerne un intégrateur analogique non récursif, notamment un intégrateur utilisant le transfert de charge pour réaliser l'intégration d'un signal analogique échantillonné sur M séquences.

Les intégrateurs sont en général utilisés dans le traitement de
5 signaux analogiques pouvant être définis comme une séquence répétitive et à variation lente soit pour diminuer l'énergie du signal émis soit pour extraire du bruit le signal reçu. En effet, l'intégration de ces séquences répétitives permet d'améliorer le rapport signal/-
bruit d'un facteur $\sqrt{M}$ si l'intégration porte sur M séquences. Ainsi
10 des intégrateurs peuvent être utilisés, par exemple, pour la détection des raies d'un spectre recurrent en sortie d'un analyseur à onde accoustique de surface.

Les intégrateurs employés pour ce type de traitement peuvent être des intégrateurs numériques ou analogiques, récursifs ou non-
15 récursifs.

Les intégrateurs numériques présentent l'inconvénient de nécessiter un temps de traitement très long. D'autre part, la fréquence d'échantillonnage analogique et la dynamique sont limitées par le convertisseur analogique-numérique d'entrée.

20 Il existe aussi différents types d'intégrateurs analogiques récursifs ou non-récursifs utilisant des dispositifs à transfert de charge.

Comme représenté schématiquement sur la figure 1, les intégrateurs analogiques récursifs sont en général constitués par un registre à décalage à transfert de charge 1 dont le signal de sortie S
25 est rebouclé sur le signal d'entrée E auquel il vient s'ajouter dans le sommateur Σ . Toutefois, du fait de la détérioration de l'intégration due à l'inefficacité de transfert dans le registre à transfert de charge 1, le nombre de rebouclage est limité. D'autre part, la génération thermique de charges dans le registre 1 entraîne une
30 saturation rapide dudit registre et est un facteur d'instabilité dans la boucle.

Comme représenté sur la figure 2, un intégrateur analogique non-récuratif est constitué essentiellement par N registres à décalage à transfert de charge $R_1, R_2, \dots, R_N$, à entrée série et sorties parallèles, chaque registre comportant M étages pour intégrer les M échantillons de rang n (n variant entre 1 et N) du signal d'entrée, les N registres $R_1, R_2, \dots, R_N$ étant montés entre un registre d'adressage d'entrée R_A et un registre d'adressage de sortie R_B adressant successivement, en commutant des portes analogiques $G_1, \dots, G_N$ et $G'_1, \dots, G'_N$, les entrées ou les sorties des N registres à décalage $R_1, R_2, \dots, R_N$ pour d'abord entrer dans les registres à décalage $R_1, R_2, \dots, R_N$ M fois le signal d'entrée échantillonné E puis pour sortir un signal analogiques correspondant à la somme des signaux entrés. Toutefois, la génération thermique des registres à décalage du type à transfert de charge limite le temps d'intégration.

La présente invention a pour but de remédier à ces inconvénients en proposant un intégrateur analogique non récuratif dans lequel la génération thermique au niveau des sites d'intégration est relativement faible, ce qui permet un temps d'intégration élevé.

La présente invention a, en conséquence, pour objet un intégrateur analogique non récuratif réalisant l'intégration d'un signal analogique échantillonné $V_{n,m}$ sur M séquences, caractérisé en ce qu'il comporte un démultiplexeur d'entrée série-parallèle pour envoyer successivement sur N capacités dont une électrode est à un potentiel flottant par rapport à un potentiel de référence, les capacités étant reliées en parallèle au démultiplexeur d'entrée, M fois le signal analogique échantillonné, chaque capacité réalisant pour les M séquences la sommation sous forme de charges de l'échantillon de rang correspondant au signal analogique $V_{n,m}$ et en ce qu'il comporte un multiplexeur parallèle-série de sortie relié aux N moyens de stockage pour délivrer en sortie, à la fin des M séquences, un signal analogique $\sum_{m=1, M} V_{n,m}$.

Selon un mode de réalisation préférentiel, le démultiplexeur d'entrée est constitué par un registre à décalage à transfert de charge ou registre CCD (pour charge coupled device en langue

anglaise) à entrée série et sorties parallèles et le multiplexeur de sortie par un registre CCD à entrée parallèles et sortie série. L'utilisation de deux registres CCD comme démultiplexeur d'entrée et multiplexeur de sortie permet d'avoir une fréquence de fonctionnement élevée pour l'intégrateur. En effet, le transfert des charges à l'intérieur du registre de sortie vers l'étage de lecture est réalisé pendant au moins une partie du cycle d'intégration suivant. D'autre part, la fréquence de transfert dans le registre de sortie peut être relativement lente par rapport à la fréquence de transfert dans le registre d'entrée. En effet, la relation entre ces deux fréquences doit être

$$F_B \geq \frac{1}{M} F_A$$

dans laquelle :

F_B est la fréquence de transfert du registre de sortie

F_A est la fréquence de transfert du registre d'entrée, et

M est le nombre de séquences.

D'autre part, la charge transférable par un registre à décalage de type CCD étant limitée ($\approx 10^7$ électrons), de préférence, les capacités de stockage ou sites d'intégration sont constitués chacun par deux capacités dont une électrode est à un potentiel flottant, interconnectées par une porte analogique, avec de plus entre les capacités et le registre à décalage de sortie un dispositif d'aiguillage permettant d'envoyer les charges soit vers le registre à décalage de sortie soit vers un moyen d'évacuation des charges.

Selon un autre mode de réalisation, le multiplexeur de sortie peut être constitué par des portes analogiques connectées respectivement entre chaque moyen de stockage et l'étage de lecture, lesdites portes étant commandées successivement par une impulsion envoyée par un registre d'adressage. Dans ce cas, toutefois, il est nécessaire de réaliser la lecture de tous les moyens de stockage avant de recommencer l'intégration suivante au niveau desdits moyens de stockage.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description de différents modes de

réalisation d'intégrateurs analogiques non récurifs conformes à la présente invention, faite avec référence aux dessins ci-annexés dans lesquels :

- la figure 1, déjà décrite, est une vue schématique d'un intégrateur analogique récurif de l'art antérieur,
- 5 - la figure 2, déjà décrite, est une vue schématique d'un intégrateur analogique non récurif de l'art antérieur,
- la figure 3 est une vue schématique d'un intégrateur analogique non-récurif conforme à la présente invention,
- la figure 4 est une vue schématique d'un autre mode de
- 10 réalisation d'un intégrateur analogique non-récurif conforme à la présente invention,
- la figure 5 est une vue en plan de dessus d'un mode de réalisation d'un intégrateur analogique non-récurif conforme à la présente invention,
- 15 - les figures 6a à 6e sont respectivement une vue en coupe schématique par VI - VI de figure 5 et des schémas représentant l'évolution des potentiels de surface en fonction du temps,
- les figures 7a et 7b sont des diagrammes des différentes tensions de commande appliquées sur l'intégrateur de la figure 5.

20 Dans les figures, les mêmes éléments portent les mêmes références. Toutefois, pour des raisons de clarté, les cotes et proportions des divers éléments n'ont pas été respectées.

Les figures 3 et 4 sont des schémas de principe de deux modes de réalisation d'un intégrateur analogique récurif conforme à la

25 présente invention. Les intégrateurs décrits ci-après permettent de réaliser l'intégration sur M séquences, la résolution de chaque séquence se faisant sur N points pour une durée T_A donnant ainsi un signal analogique d'entrée échantillonné $V_{n, m}$ avec

- 30 m = rang de la séquence
- n = rang de l'échantillon dans la séquence
- $1 \leq n \leq N$.

L'intégrateur de la figure 3 comporte tout d'abord un étage 10 de conversion tension-charge présentant une capacité $1/C_e$ et

transformant le signal analogique échantillonné $V_{n, m}$ en une quantité de charge $Q_{n, m}$. L'étage 10 est suivi d'un registre à décalage à transfert de charge A qui reçoit les N quantités de charge correspondant aux N échantillons d'une séquence. Le registre A est constitué par une série de N étages de transfert e_1 à e_N introduisant chacun un même retard τ_A qui est donné par la période du potentiel appliqué aux électrodes assurant le transfert de charge.

Le retard τ_A est choisi tel que :

$N\tau_A = T_A =$ la durée d'une séquence d'entrée.

Après chaque durée T_A , on a en sortie de chaque étage de rang n (avec $1 \leq n \leq N$) une quantité de charge $Q_{n, m}$ correspondant à l'échantillon de rang n de la séquence d'entrée considérée. Sur la figure 3, on a représenté uniquement les sorties des N étages et symbolisé par des carrés référencés τ_A , le retard entre les différents étages.

Conformément à la présente invention, la sortie de chaque étage du registre à décalage A est connectée à des moyens de stockage des charges constitués par des capacités $C^1, C^2, \dots, C^N$ à potentiel flottant, dont le fonctionnement sera décrit de manière plus détaillée ci-après. Chaque capacité $C^1, C^2, \dots, C^N$ réalise pour l'ensemble des M séquences la sommation des charges en sortie de l'étage correspondant du registre A. De ce fait, à la fin des M séquences, c'est-à-dire après une durée MT_A correspondant à un cycle d'intégration, chaque capacité C^n de rang n (avec n variant de 1 à N) contient une quantité de charge $Q_{In} = \sum_m Q_{n, m}$.

Les capacités de stockage sont connectées à un étage de lecture unique par l'intermédiaire de portes analogiques $P_1, P_2, \dots, P_N$ dont la fermeture est commandée par un registre d'adressage RDA qui envoie cycliquement à la fin d'un cycle d'intégration un niveau logique "1" sur chaque sortie, les autres sorties se trouvant à cet instant au niveau logique "0". Cela permet la lecture successive des quantités de charge $\sum_m Q_{n, m}$ intégrées dans chaque capacité $C^1, C^2, \dots, C^N$ et l'obtention en sortie d'un signal échantillonné $\sum_m V_{n, m}$. Un inconvénient de cet intégrateur réside dans le fait que le

transfert des charges du registre A dans les capacités $C^1, C^2, \dots C^N$ ne peut être réalisé que lorsque l'ensemble des capacités $C^1, C^2, \dots C^N$ a été lu. En conséquence, le temps de lecture de l'ensemble des capacités doit être inférieur à T_A .

La figure 4 représente un mode de réalisation préférentiel de la présente invention. Dans ce mode de réalisation, le démultiplexeur d'entrée est identique à celui de l'intégrateur de la figure 3. En conséquence, il ne sera pas redécrit. L'intégrateur de la figure 4 diffère de l'intégrateur de la figure 3 par le fait que le multiplexeur de sortie est aussi constitué par un registre à décalage B à transfert de charge de type CCD. Ce registre à décalage à entrées parallèles et sortie série comporte N étages de transfert introduisant chacun un même retard τ_B qui est donné par la période du potentiel appliqué aux électrodes assurant le transfert de charge. Comme expliqué de manière plus détaillée ci-après, le retard τ_B est le plus souvent différent du retard τ_A . Chaque entrée du registre B est connectée à une des capacités $C^1, C^2, \dots C^N$ par l'intermédiaire d'une grille de passage non-représentée. La sortie du registre B est connectée à un étage de conversion charge-tension 11 présentant une capacité C_S . D'autre part, la charge transférable par un registre CCD étant limitée, pour pouvoir intégrer une quantité importante de charge, les moyens de stockage $C^1, C^2, \dots C^N$ sont constitués chacun par deux capacités $C_1^1, C_1^2, \dots C_1^N$ et $C_2^1, C_2^2, \dots C_2^N$ interconnectées dont les dimensions ont été choisies de manière à n'envoyer qu'une fraction α des échantillons de charge $\sum_m Q_{n,m}$, comme cela sera expliqué de manière plus détaillée ci-après.

Avec l'intégrateur de la figure 4, après avoir intégré pendant la durée MTA , des échantillons de charge $Q_{In} = \sum_m Q_{n,m}$ sur chaque capacité $C^1, C^2, \dots C^N$, on transfère simultanément l'ensemble des échantillons αQ_{In} dans les étages correspondants du registre à décalage B de sortie. Pendant le début d'une nouvelle intégration dans les capacités $C^1, C^2, \dots C^N$, le registre B de sortie transfère les échantillons de charges $\alpha \sum_m Q_{n,m}$ en série vers l'étage de conversion charge-tension qui donne un signal analogique

de sortie échantillonné $\sum_m V_{n,m}$.

Dans ce cas le gain du système est donné par l'équation suivante

$$\frac{\sum V_{n,m}}{V_{n,m}} = \alpha_M \frac{C_e}{C_S}$$

D'autre part, le temps d'intégration sur les M séquences étant MT_A , la durée de la séquence de sortie doit être :

$$T_B \leq MT_A$$

En conséquence, les retards élémentaires τ_B du registre de sortie B doivent être :

$$\tau_B = T_B / N \leq MT_A / N = M\tau_A.$$

Il résulte que la fréquence relative de transfert entre les registres d'entrée et de sortie doit satisfaire à l'équation suivante

$$F_B \geq \frac{1}{M} F_A$$

On décrira maintenant avec référence aux figures 5 à 7, un mode de réalisation détaillé d'un intégrateur analogique non-récuratif du type de l'intégrateur de la figure 4. Cet intégrateur a été réalisé sous forme intégrée en utilisant la technologie N MOS - CCD sur un substrat en silicium de type P. Il est évident pour l'homme de l'art que cet intégrateur peut être réalisé sur d'autres substrats tels qu'un substrat en silicium de type N, en arséniure de gallium ou similaire. De même, l'intégrateur peut être réalisé sur une zone N prévue dans le substrat P de manière à effectuer le transfert des charges en volume. De préférence, l'intégrateur est entièrement intégré sur une seule puce et même plusieurs intégrateurs identiques ou non peuvent être intégrés sur la même puce. Toutefois, on peut envisager un intégrateur conforme à la présente invention constitué de plusieurs parties connectées entre elles.

Comme représenté sur la figure 5, le démultiplexeur d'entrée est constitué par un registre à décalage A de type CCD fonctionnant en biphasé. De façon connue, chaque étage du registre est constitué par deux couples d'électrodes comprenant chacun une électrode de

transfert et une électrode de stockage. Chaque couple d'électrodes est relié à un potentiel de commande ϕ_{1A} et ϕ_{2A} alternatif et en opposition de phase. D'autre part, l'électrode de stockage du couple d'électrodes commandé par ϕ_{2A} est utilisée comme sortie et elle est
 5 référencée G_A sur la figure 6a. L'électrode G_A de chaque étage du registre à décalage A est séparée du moyen de stockage des charges par une grille de passage G_P reliée à un potentiel ϕ_P .

Les moyens de stockage ou sites d'intégration comprennent des diodes $D_A^1, D_A^2, \dots, D_A^N$ réalisées de manière connue par une
 10 diffusion de type N lorsque le substrat est de type P. Chaque diode D_A^n est reliée à une première capacité C_1^n réalisée par le substrat, une couche d'isolant, de préférence en oxyde de silicium et une grille, de préférence en aluminium ou en silicium polycristallin. Les premières capacités C_1^1, C_1^2, C_1^N sont interconnectées par des
 15 transistors MOS $T_R^1, T_R^2, \dots, T_R^N$ à des secondes capacités $C_2^1, C_2^2, \dots, C_2^N$ réalisées comme les premières capacités. La grille des transistors MOS T_R^1 est connectée à un potentiel ϕ_R pour bloquer ou rendre passant lesdits transistors. Les secondes capacités $C_2^1, C_2^2, \dots, C_2^N$ sont connectées à des diodes D_B^1, D_B^2, D_B^N réalisées
 20 par une diffusion de type N.

Les diodes D_B^n sont reliées aux entrées du multiplexeur de sortie par l'intermédiaire d'un dispositif d'aiguillage. Le dispositif d'aiguillage est constitué pour chaque moyen de stockage ou site d'intégration par deux grilles adjacentes G_L, G'_L commandées par
 25 le même potentiel ϕ_L, G'_L se trouvant sur une surépaisseur d'oxyde pour obtenir des potentiels de canal sans charge étagés sous G_L et G'_L , par une grille de passage intermédiaire G_O reliée à un potentiel fixe V_O , par deux grilles de transfert G_R et G_P prévues sur deux cotés de la grille G_O et séparant la grille G_O respectivement du
 30 multiplexeur B et d'un drain d'évacuation D_R constitué par une diffusion de type N. La grille G_T est reliée à un potentiel ϕ_T , la grille G_R à un potentiel ϕ_R .

Le multiplexeur B de sortie est constitué par un registre à décalage à transfert de charge de type CCD biphasé. Ce registre à

une structure identique au registre A.

Il est commandé par des potentiels de commande ϕ_{1B} et ϕ_{2B} en opposition de phase. D'autre part, l'électrode de stockage du couple d'électrodes commandé par ϕ_{2B} est utilisée comme entrée. Elle est référencée G_B sur la figure 6a.

5 On décrira maintenant en se référant plus particulièrement aux figures 6b à 6e et aux figures 7a et 7b, le fonctionnement de l'intégrateur analogique non récursif des figures 5 et 5a.

La figure 7a représente le diagramme fonction du temps des potentiels ϕ_{2A} , ϕ_p , ϕ_R , ϕ_L , ϕ_T et ϕ_{2B} appliqués sur les différentes
10 grilles de l'intégrateur pendant un cycle d'intégration, à savoir pendant une durée MTA. On voit qu'après chaque durée T_A , il y a transfert des charges du registre A dans les capacités de stockage. A la fin du temps d'intégration total, à savoir de la durée MTA, il y a transfert dans le registre à décalage B.

15 La figure 7b représente de manière agrandie le diagramme fonction du temps des potentiels ϕ_p , ϕ_R , ϕ_L , et ϕ_T . Ce diagramme correspond à la partie entourée de tirets sur la figure 7a. De ce fait, on se référera plus particulièrement aux figures 6a à 6e et à la figure 7b pour expliquer le fonctionnement de l'intégrateur.

20 Ainsi, pendant le temps t_1 , lorsque chaque séquence m a été entièrement introduite dans le registre CCD A et que les échantillons de rang n sont sur les électrodes de stockage G_A au niveau des capacités de stockage de même rang, le potentiel ϕ_p passe au niveau haut. Comme représenté sur la figure 6b, la charge $Q_{n, m}$ sous G_A est transférée vers le moyen de stockage et se répartit sur
25 les capacités C_1^n et C_2^n interconnectées par le transistor T_R^n en régime triode, car le potentiel ϕ_R est à l'état haut.

La somme des charges arrivant successivement après M séquences d'entrée sur les capacités C_1^n et C_2^n s'accompagne d'une
30 variation de potentiel ΔV_n à partir d'un potentiel initial $V_{\phi n}$ défini ci-après.

En fin d'intégration, on a

$$\Delta V_n = \sum_m Q_{n, m} / (C_1^n + C_2^n) \quad (1)$$

avec $\Delta V_n = V_{DB}(t_1) - V_{\phi n}$.

Pendant le temps t_2 , le potentiel ϕ_p étant revenu à un niveau bas pour permettre l'entrée d'une nouvelle séquence dans le registre A, le potentiel ϕ_R passe à un niveau bas. Simultanément le transistor T_R^n se bloque isolant la capacité C_2^n de la capacité C_1^n tandis que la grille G_R passe à un potentiel bas isolant le canal sous la grille G_O du drain D_R .

Ensuite, simultanément ou non, les potentiels ϕ_L et ϕ_T passent au niveau haut. La grille G_L définit un potentiel de canal sans charge correspondant au potentiel de référence $V_{\phi n}$ et la grille G_T permet le passage des charges de la capacité C_2^n vers l'étage G_B correspondant du registre de sortie B. Pour cela, les potentiels au niveau haut sous G_L , G_O , G_T et G_B doivent être tels que

$$V_{\phi n} = \phi_{LS} < V_{OS} < \phi_{TS} < \phi_{BS},$$

V_{OS} , ϕ_L , ϕ_{TS} , ϕ_{BS} étant les potentiels de canal sans charge sous les grilles G_L , G_O , G_T et G_B .

Les charges stockées sur l'électrode de la capacité C_2^n sont évacuées dans le canal CCD du registre B comme représenté sur la figure 6c.

Les charges évacuées vers le registre B répondent à l'équation

$$Q_{Ln} = [V_{DB}(t_1) - V_{\phi n}] C_2^n \quad (2)$$

avec $V_{DB}(t_1) = V_{DA}(t_1) = V_D$.

Pendant le temps t_3 , le potentiel ϕ_T appliqué sur la grille G_T passe à l'état bas isolant le registre B de sortie de la grille de passage G_O .

Ensuite le potentiel ϕ_R passe à l'état haut permettant simultanément d'interconnecter les deux capacités C_1^n et C_2^n et de ramener le canal sous la grille G_R à un niveau haut pour interconnecter les capacités avec le drain d'évacuation des charges D_R .

En effet, les potentiels au niveau haut sous G_R , G_O et G_L étant choisis tels que

$$V_{\phi n} = \phi_{LS} < V_{OS} < \phi_{RS}$$

une quantité de charge présente sur la capacité C_1^n est évacuée vers le drain D_R comme représenté sur la figure 6d.

Cette quantité de charge correspond à

$$Q_{En} = [V_{DB}(t_1) - V_{\phi n}] C_1^n \quad (3)$$

Lorsque cette charge est évacuée, le potentiel des capacités C_1^n et C_2^n est défini par le potentiel du canal sans charge $V_{\phi n}$ sous la grille G_L tel que

$$V_{\phi n} = \phi_{L \text{ haut}} - V_{Tn}$$

Ce potentiel de référence $V_{\phi n}$ est fonction du seuil V_{Tn} du MOS induit de grille G_{Ln} .

En fait, une dispersion des seuils V_{Tn} entre étages n ne modifie pas le rapport de charge $Q_{Ln} / \sum_m Q_{n,m}$.

En effet, pour un même étage, $V_{\phi n}$ est le même aux temps t_2 et t_3 , car il est défini par le même MOS induit de grille G_L .

En partant des équations (1), (2) et (3), on a :

$$\begin{aligned} \sum_m Q_{n,m} &= (V_D - V_{\phi n}) (C_1^n + C_2^n) \\ Q_{Ln} &= (V_D - V_{\phi n}) C_2^n \\ Q_{En} &= (V_D - V_{\phi n}) C_1^n \end{aligned}$$

La charge évacuée vers le registre de sortie est donc

$$Q_{Ln} = \alpha \sum_m Q_{n,m}$$

$$\text{avec } \alpha = \frac{C_2^n}{C_1^n + C_2^n}$$

La charge éliminée par le drain D_R est donc :

$$Q_{En} = (1 - \alpha) \sum_m Q_{n,m}$$

Pendant le temps t_4 , le potentiel ϕ_L passe à l'état bas séparant les capacités C_1^n et C_2^n du système d'aiguillage. Comme représenté sur la figure 6e, le potentiel des capacités C_1^n et C_2^n est à $V_{\phi n}$. Le système est prêt à réaliser l'intégration suivante.

D'autre part, les charges thermiques générées sous la grille de passage G_O sont évacuées vers le drain D_R pendant tout le temps d'intégration des charges sur C_1^n et C_2^n puisque ϕ_R reste au niveau haut.

Avec l'intégrateur décrit ci-dessus, le temps de fractionnement et de transfert des charges vers le registre de sortie peut être relativement long vis à vis de la période d'échantillonnage

d'entrée. Il peut durer le temps d'une séquence d'entrée.

De même, comme déjà mentionné avec référence à la figure 4, la fréquence d'échantillonnage de sortie peut être M fois plus faible que celle d'entrée avec $M = \text{nombre de séquences intégrées}$.

5 D'autre part, l'intégrateur peut avoir un temps d'intégration élevé, car la génération thermique sur les sites d'intégration est faible et due uniquement au courant de fuite des diodes D_A et D_B .

Il est aussi possible de monter plusieurs intégrateurs du type ci-dessus en parallèle avec un multiplexage sur les entrées et les
10 sorties. Cela permet de multiplier par p ($p \geq 2$), la fréquence maximale de fonctionnement tout en multipliant par p , le nombre de points de résolution de chaque séquence.

Il est évident pour l'homme de métier qu'un certain nombre de modifications peut être apporté aux intégrateurs décrits ci-dessus
15 sans sortir du cadre de la présente invention. Par exemple, les registres CCD peuvent être à quatre phases de commande et non biphasés.

RE V E N D I C A T I O N S

1. Intégrateur analogique non-récuratif réalisant l'intégration d'un signal analogique échantillonné $V_{n, m}$ sur M séquences, caractérisé en ce qu'il comporte un démultiplexeur d'entrée (A) série parallèle pour envoyer successivement sur N capacités ($C^1, C^2, \dots C^N$) dont une électrode est à un potentiel flottant par rapport à un potentiel de référence, les capacités étant reliées en parallèle au démultiplexeur d'entrée, M fois le signal analogique échantillonné, chaque capacité de stockage réalisant pour les M séquences la sommation sous forme de charge ($\sum_m Q_{n, m}$) de l'échantillon de rang correspondant du signal analogique $V_{n, m}$ et en ce qu'il comporte un multiplexeur (B) parallèle-série de sortie relié aux N moyens de stockage pour délivrer en sortie, à la fin des M séquences, un signal analogique $\sum_{m=1, M} V_{n, m}$.

2. Intégrateur selon la revendication 1, caractérisé en ce que le démultiplexeur d'entrée (A) est constitué par un registre à décalage à transfert de charge à entrée série et sorties parallèles à N étages dont chaque étage est connecté à un moyen de stockage ($C^1, C^2, \dots C^N$) par l'intermédiaire d'un commutateur (ϕ_p) qui est fermé après chaque séquence.

3. Intégrateur selon l'une quelconque des revendications 1 et 2, caractérisé en ce que le multiplexeur de sortie (B) est constitué par un registre à décalage à transfert de charge à entrées parallèles et sortie série comportant N étages reliés chacun à un des moyens de stockage ($C^1, C^2, \dots C^N$) par l'intermédiaire d'un commutateur (ϕ_T) fermé périodiquement après chaque période de M séquences.

4. Intégrateur selon l'une quelconque des revendications 1 et 2, caractérisé en ce que le multiplexeur de sortie est constitué par des portes analogiques ($P_1, P_2, \dots P_N$) connectées respectivement entre chaque moyen de stockage ($C^1, C^2, \dots C^N$) et l'étage de lecture, les portes étant commandées successivement par une impulsion envoyée par un registre d'adressage (RDA).

5. Intégrateur selon l'une quelconque des revendications 2 à 3, caractérisé en ce que les fréquences de transfert des registres à décalage (A) et (B) répondent à l'équation suivante

$$F_B \geq \frac{1}{M} F_A$$

5 dans laquelle :

F_B est la fréquence de transfert du registre à décalage (B) de sortie ;

F_A est la fréquence de transfert du registre à décalage (A) d'entrée ;

10 M est le nombre de séquence.

6. Intégrateur selon l'une quelconque des revendications 1 à 5, caractérisé en ce que les capacités ($C^1, C^2, \dots, C^N$) sont constituées de deux capacités ($C_1^1, C_1^2, \dots, C_1^N$ et $C_2^1, C_2^2, \dots, C_2^N$) interconnectées par un moyen de commutation (T_R^N).

15 7. Intégrateur selon la revendication 6, caractérisé en ce qu'il comporte de plus entre les capacités de stockage et le multiplexeur de sortie, un dispositif d'aiguillage (G_L, G_O, G_T et G_R) pour connecter les capacités soit vers un drain d'évacuation (D_R) soit vers le multiplexeur (B) de sortie.

20 8. Intégrateur selon la revendication 7, caractérisé en ce que le dispositif d'aiguillage est constitué par une grille de passage (G_O) portée à un potentiel fixe, prévue entre chaque moyen de stockage ($C^1, C^2, \dots, C^N$) et l'étage d'entrée correspondant du multiplexeur de sortie (B), la grille de passage étant séparée des moyens de
25 stockage, des drains d'évacuation et du multiplexeur de sortie par des grilles (G_2, G_R , et G_T) portées à des potentiels variables.

9. Intégrateur selon la revendication 8, caractérisé en ce que les niveaux hauts des potentiels appliqués sur (G_L, G_R, G_O et G_T) ont les relations suivantes :

30 $V_{\phi_n} = \phi_{LS} < V_{OS} < \phi_{TS} < \phi_{BS}$

et $V_{\phi_n} = \phi_{LS} < V_{OS} < \phi_{RS}$

dans lequel

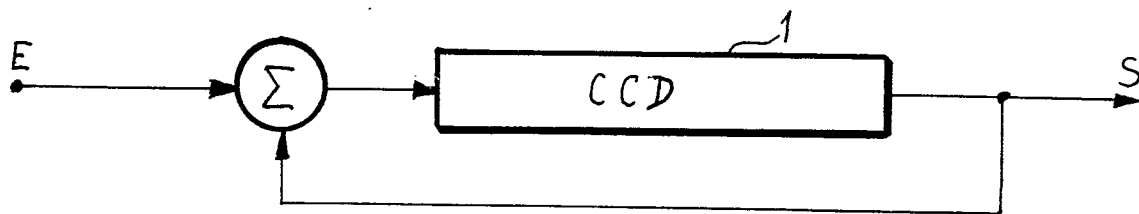
$V_{\phi_n} = \phi_{LS}$ correspond au potentiel haut de canal dans charge sous G_L

$V_{\phi S}$ correspond au potentiel de canal sans charge sous G_O
 ϕ_{TS} correspond au potentiel haut de canal sans charge sous G_T
 ϕ_{RS} correspond au potentiel haut de canal sans charge sous G_R
 ϕ_{BS} correspond au potentiel haut de canal sans charge sous G_B du
 5 multiplexeur B.

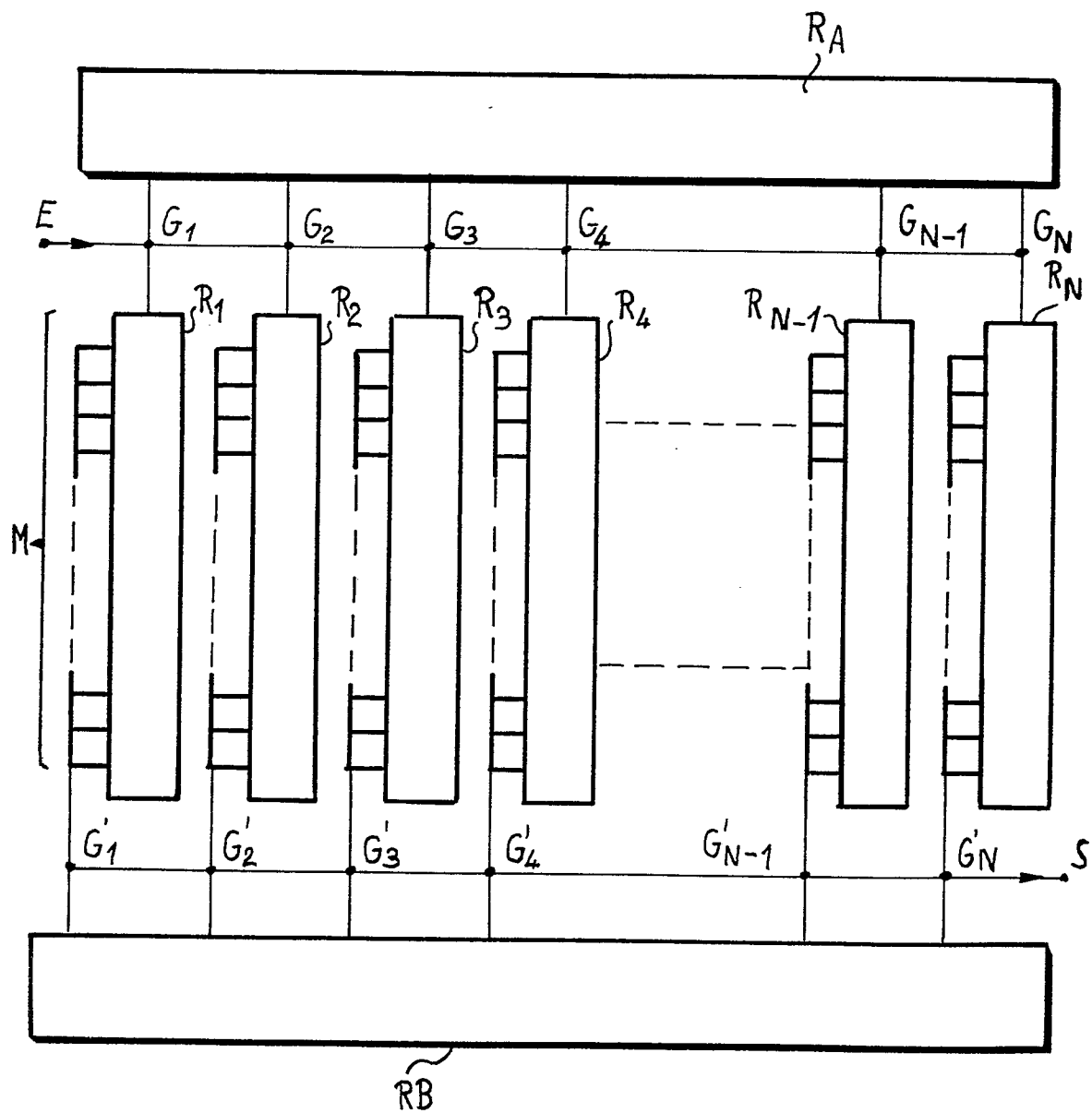
10. Intégrateur selon la revendication 9, caractérisé en ce que
 le potentiel de référence des capacités de stockage est donné par le
 potentiel haut de canal sans charge sous la grille G_L .

10 11. Intégrateur analogique non récursif constitué par p inté-
 grateurs selon l'une quelconque des revendications 1 à 10 avec $p > 1$
 dont les entrées et les sorties sont multiplexées.

FIG_1

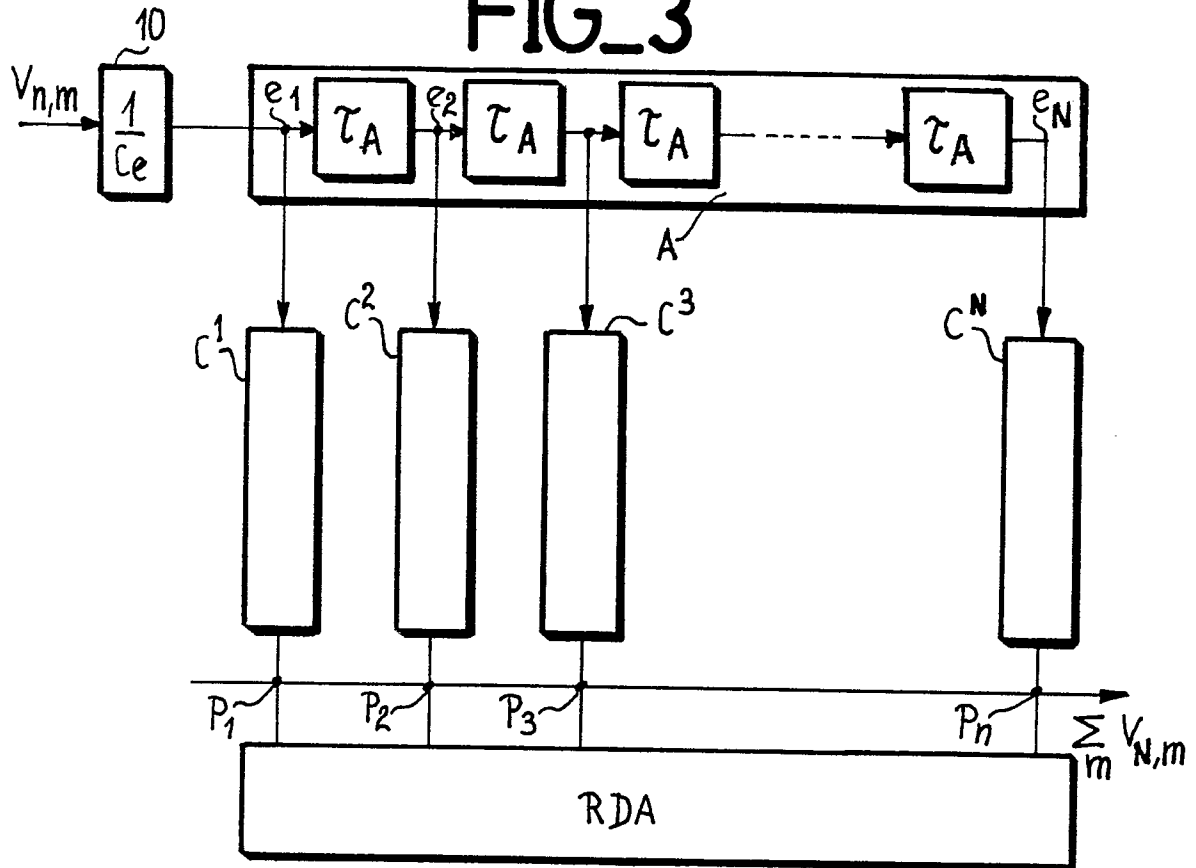


FIG_2

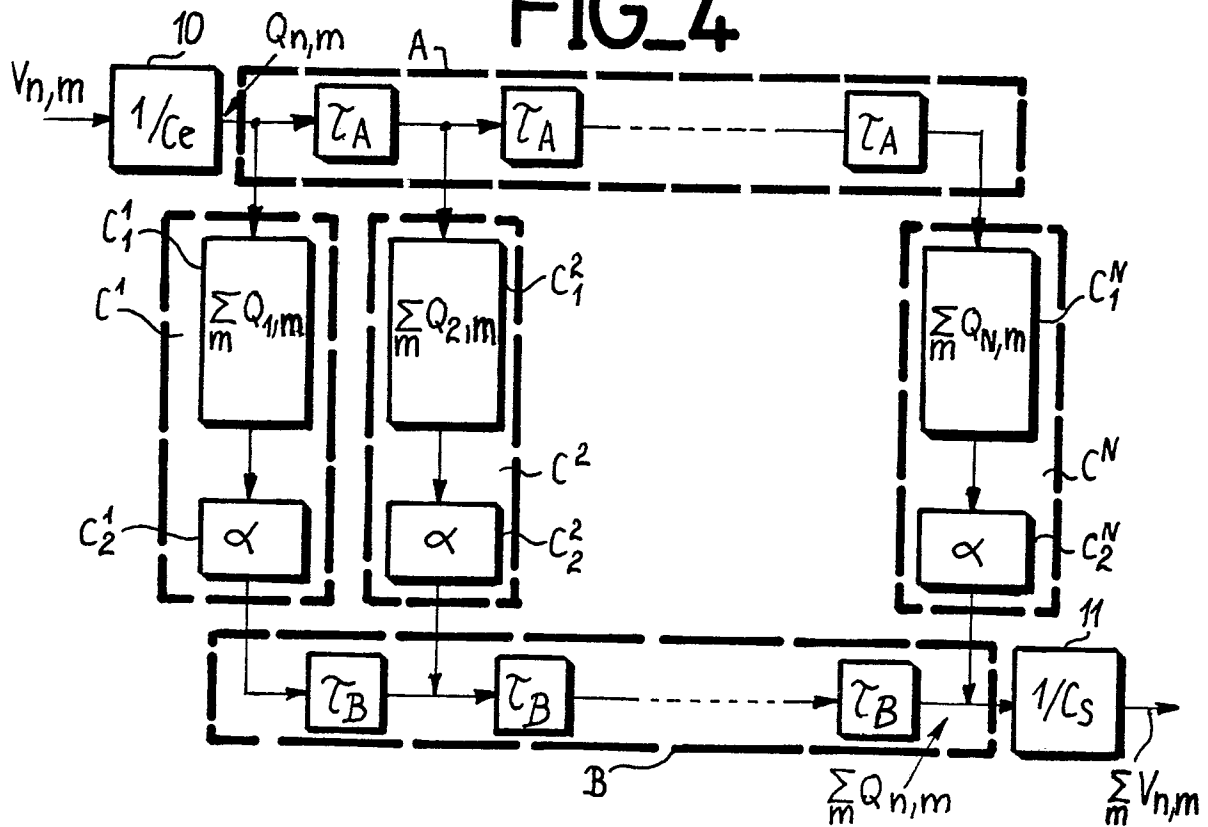


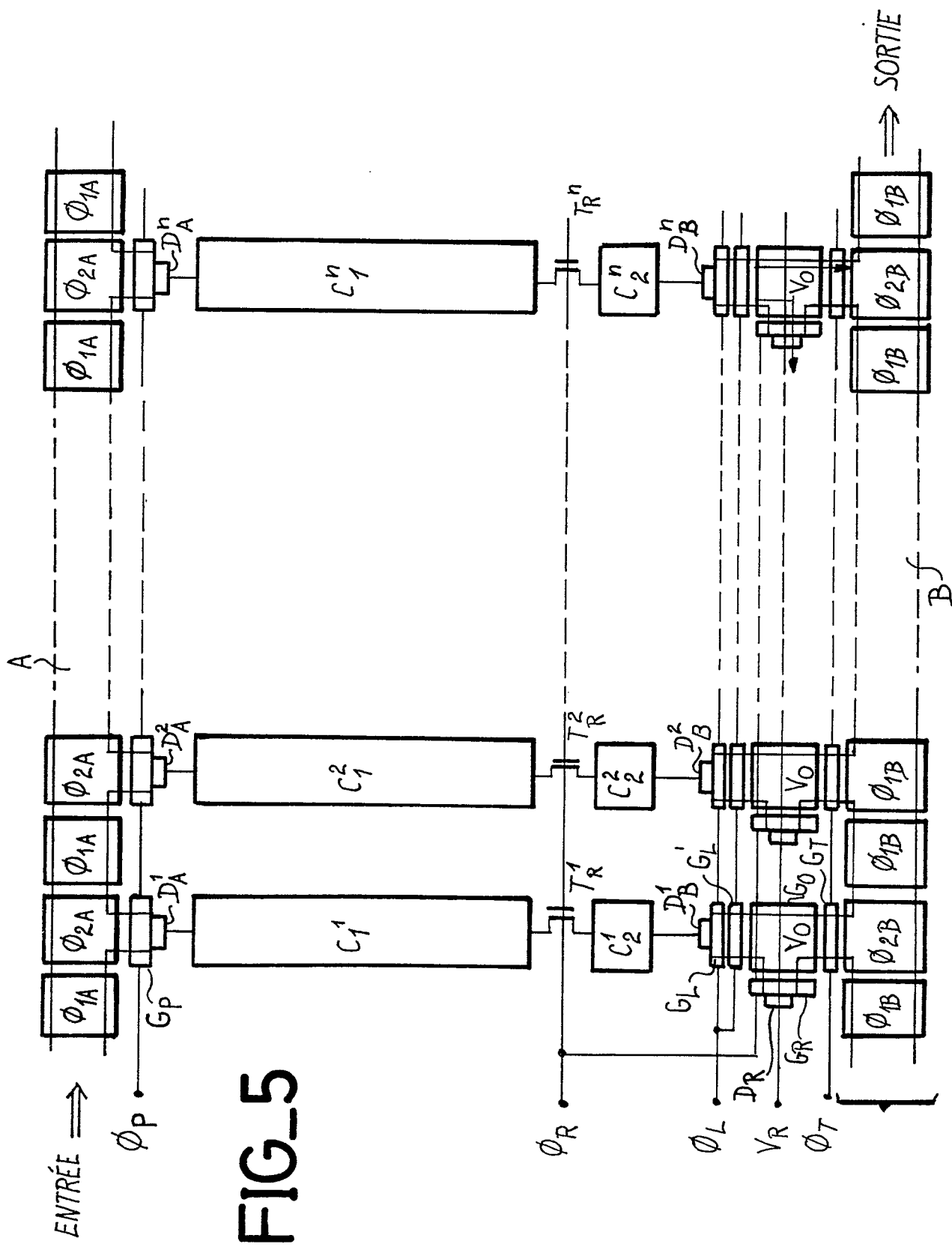
2/5

FIG_3



FIG_4

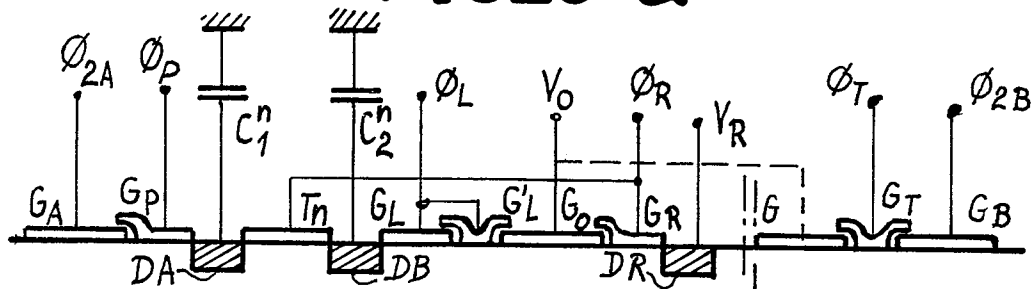




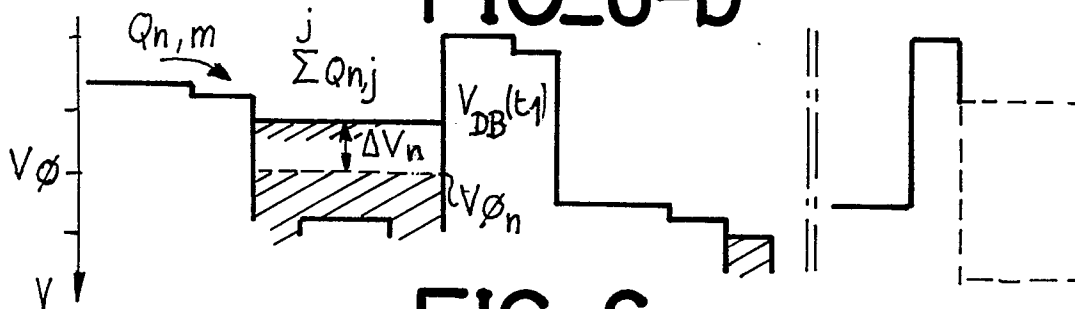
FIG_5

4/5

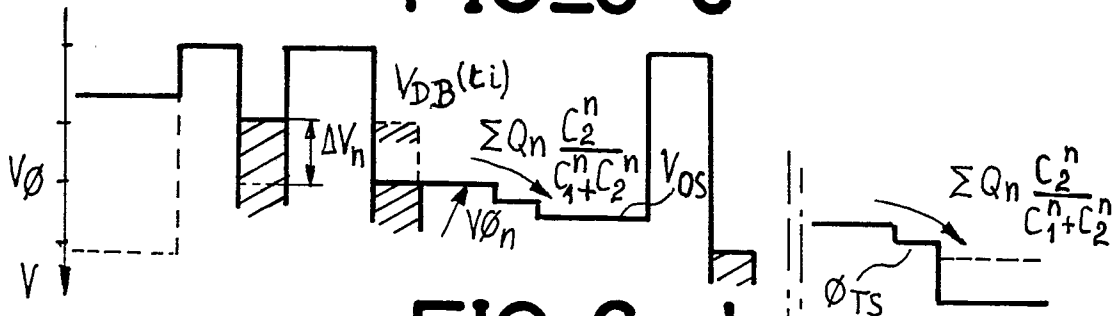
FIG_6-a



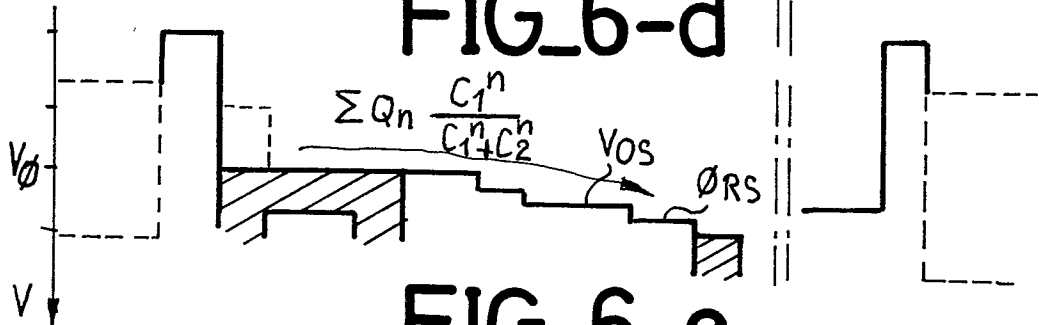
FIG_6-b



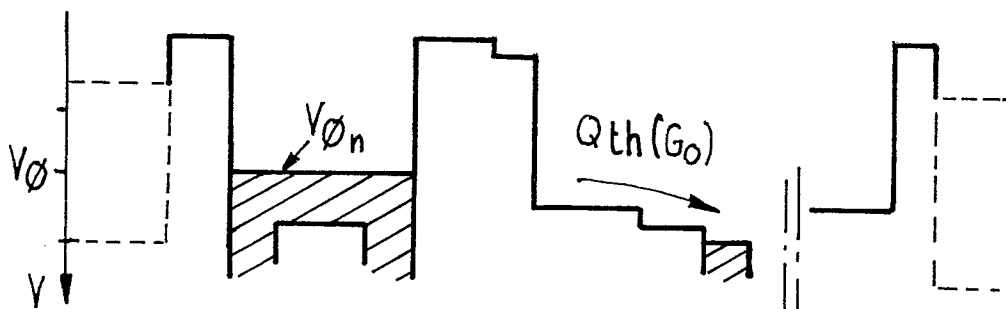
FIG_6-c

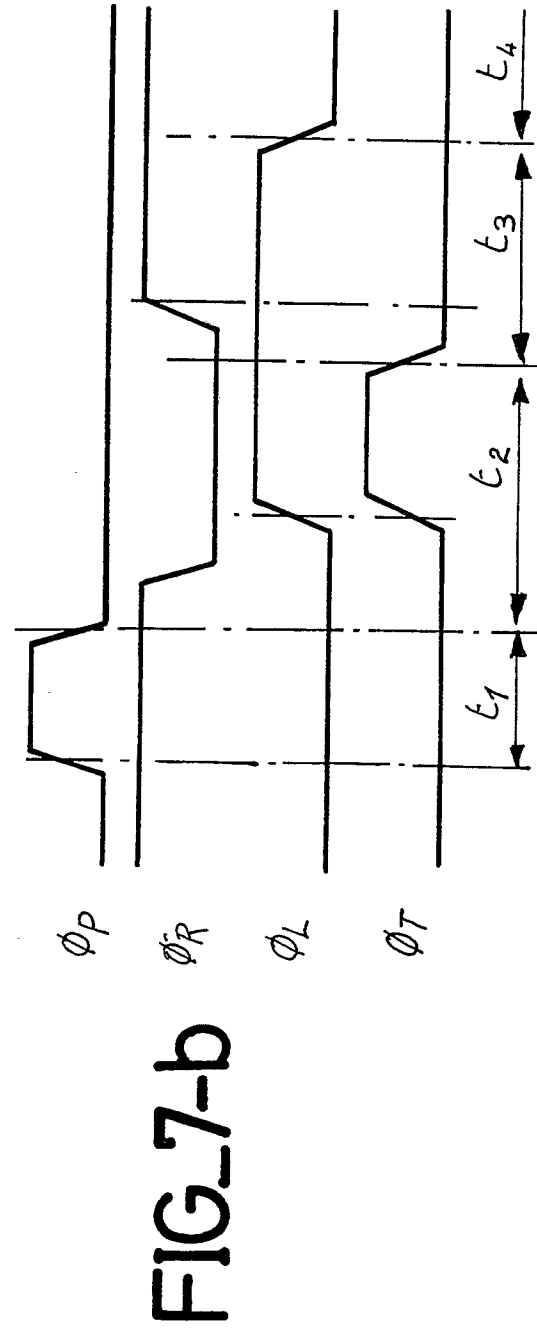
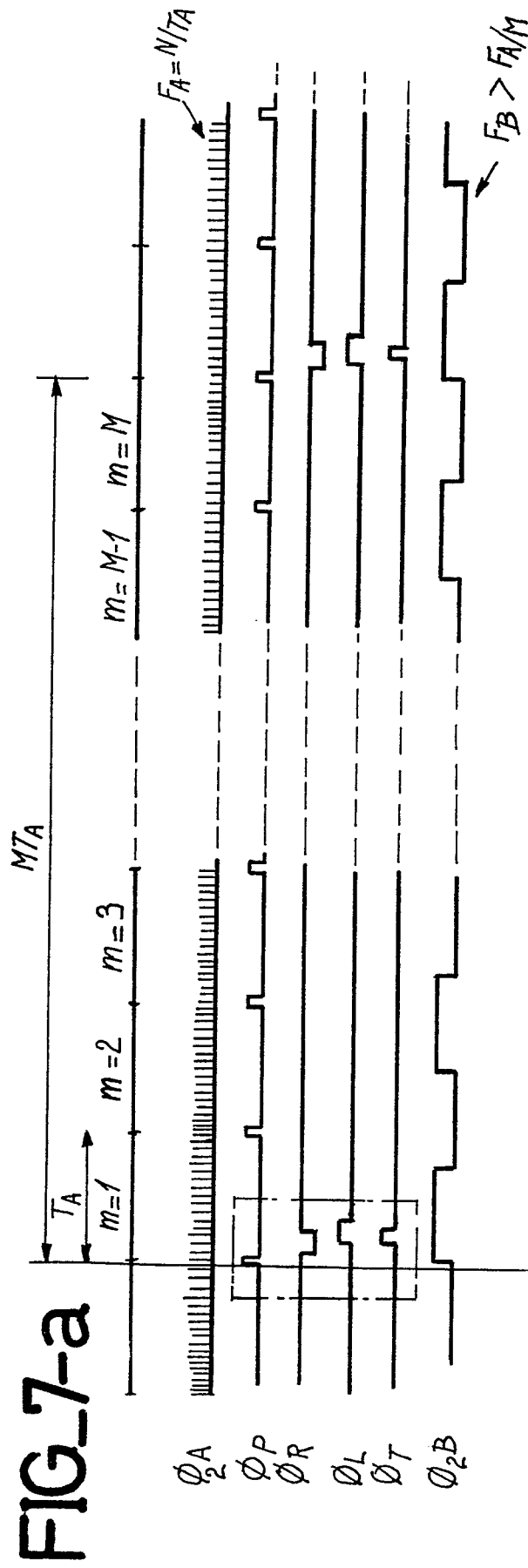


FIG_6-d



FIG_6-e







Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

0157668

Numero de la demande

EP 85 40 0398

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
Y	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. SC-13, no. 1, février 1978, pages 34-51, IEEE, New York, US; D.F. BARBE et al.: "Signal processing with charge-coupled devices" * Figures 1,2,28; page 35, colonne de gauche, alinéa 3 - colonne de droite, alinéa 4; page 49, colonne de gauche, alinéas 2-3 *	1,2	G 06 G 7/184
A	IDEM	3,5	
Y	IEEE TRANSACTIONS ON ELECTRON DEVICES, vol. ED-26, no. 4, avril 1979, pages 596-603, IEEE, New York, US; D.A. GANDOLFO et al.: "Analog-binary CCD correlator: A VLSI signal processor" * Figures 1,2,6; page 597, colonne de gauche, ligne 3 - page 601, colonne de gauche, ligne 4 *	1,2	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
			G 06 G 7/184 G 06 G 7/19
A	IDEM	4,6-8	
	---	-/-	
Le present rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 13-06-1985	Examineur LEDRUT P.
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	



DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
Y	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. SC-14, no. 4, août 1979, pages 742-746, IEEE, New York, US; C.P. TRAYNAR et al.: "A nonrecursive signal integrator using a parallel CCD structure" * Figures 1,2; page 742, colonne de gauche, avant-dernière ligne - colonne de droite, alinéa 2 *	1,2	
A	IDEM	4	
Y	DE-A-2 838 279 (CSELT) * Figure 3; page 11, dernier alinéa - page 12, premier alinéa *	1	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 13-06-1985	Examineur LEDRUT P.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			