

①② **DEMANDE DE BREVET EUROPEEN**

②① Numéro de dépôt: 85400590.7

⑤① Int. Cl.<sup>4</sup>: **H 04 N 7/167**

②② Date de dépôt: 26.03.85

③① Priorité: 30.03.84 FR 8405043

④③ Date de publication de la demande:  
06.11.85 Bulletin 85/45

⑧④ Etats contractants désignés:  
BE CH DE GB IT LI NL

⑦① Demandeur: **SOCIETE D'ELECTRONIQUE DE LA REGION PAYS de LOIRE - SEREL**  
74, rue du Surmelin  
F-75020 Paris(FR)

⑦② Inventeur: **Guillon, Jean-Claude**  
**THOMSON-CSF SCPI 173, bld Haussmann**  
F-75379 Paris Cedex 08(FR)

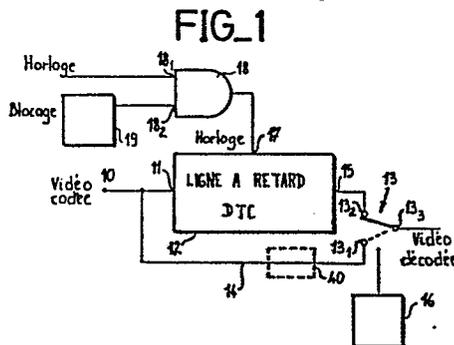
⑦② Inventeur: **Maheo, Jean-Yves**  
**THOMSON-CSF SCPI 173, bld Haussmann**  
F-75379 Paris Cedex 08(FR)

⑦④ Mandataire: **Grynwald, Albert et al,**  
**THOMSON-CSF SCPI 173, Bld Haussmann**  
F-75379 Paris Cedex 08(FR)

⑤④ **Circuits de codage et de décodage d'un signal vidéo codé par un décalage du signal d'image par rapport au signal de synchronisation.**

⑤⑦ A l'émission le signal de télévision est codé, pour chaque ligne, par décalage pseudo-aléatoire du signal d'image par rapport au signal de synchronisation ligne. Le circuit de décodage comprend une ligne à retard (12) dont le retard est commandé pour rétablir le décalage correct entre le signal de synchronisation et le signal d'image.

La ligne à retard est du type à transfert de charge (DTC). Elle a la capacité d'une ligne de signal vidéo de durée P. La fréquence du signal d'horloge est telle qu'une ligne vidéo est retardée d'une valeur du même ordre de grandeur que la durée d'une telle ligne vidéo. Un moyen (18, 19) est prévu pour bloquer le signal d'horloge pendant un temps qui, à chaque ligne, est fonction du décalage à effectuer pour rétablir la phase correcte entre le signal de synchronisation et le signal d'image.



CIRCUITS DE CODAGE ET DE DECODAGE D'UN SIGNAL  
VIDEO CODE PAR UN DECALAGE DU SIGNAL  
D'IMAGE PAR RAPPORT AU SIGNAL DE SYNCHRONISATION.

L'invention est relative à des circuits de codage et de décodage d'un signal vidéo codé par un décalage (avance ou retard) du signal d'image par rapport au signal de synchronisation ligne.

5 Dans les systèmes de télévision dits "à péage", c'est-à-dire les systèmes où on désire transmettre des émissions télévisées seulement à des personnes autorisées - ayant par exemple payé un abonnement -, à l'émission le signal est codé de manière que le signal ne puisse être reçu correctement que par ces personnes autorisées. Dans un tel système le récepteur<sup>o</sup> comporte donc un  
10 circuit décodeur pour effectuer, sur le signal reçu, une transformation inverse de la transformation effectuée à l'émission.

Dans le brevet français n° 2 330 236 est décrit un procédé de codage et de décodage d'émissions de télévision qui consiste, pour chaque ligne, à l'émission, à décaler le signal d'image par rapport au  
15 signal de synchronisation et, à la réception, à conférer un décalage complémentaire rétablissant l'intervalle de temps correct entre le signal de synchronisation et le signal d'image. Ce retard varie d'une ligne à une autre ou d'un groupe de lignes à un autre groupe de lignes afin que l'image reçue par un récepteur sans décodeur soit déformée  
20 et ainsi pénible à regarder.

Dans ce brevet antérieur le circuit de décodage comporte une ligne à retard du type à transfert de charge (DTC ou CCD) et un commutateur commandé et monté de façon telle que seul le signal d'image traverse la ligne à retard, le signal de synchronisation ligne  
25 étant transmis directement. Le circuit de codage de ce brevet antérieur - à retard de l'ordre de 5 microsecondes - ne permet que le décodage de signaux qui, à l'émission, sont codés avec un intervalle séparant le signal de synchronisation du signal d'image qui est plus

petit que l'intervalle correspondant du signal non codé. Autrement dit le décodage consistant à conférer un retard il ne peut être utilisé que pour désembrouiller un signal codé par une avance. De plus le montage de la ligne à retard DTC du document antérieur est  
5 complexe et la ligne à retard utilisée n'est pas d'un usage courant et est donc d'un prix élevé.

L'invention ne présente pas ces inconvénients.

Elle est caractérisée en ce que le circuit de décodage comprend une seule ligne à retard DTC capable d'emmagasiner les  
10 informations d'une ligne vidéo de durée P (ayant une capacité voisine de celle d'une ligne) et qui est commandée par un signal d'horloge de fréquence telle que le retard apporté par la ligne à retard ait une valeur  $P_1 - B$ , du même ordre de grandeur que la  
15 durée P d'une ligne vidéo, des moyens étant prévus pour interrompre le fonctionnement de l'horloge, ou pour diminuer (par exemple diviser par deux) sa fréquence, pendant un temps qui est fonction du retard ou de l'avance à corriger.

On rappelle ici qu'une ligne à retard DTC est un registre à  
20 décalage dont chaque case contient un signal analogique qui est un échantillon du signal d'entrée. Le contenu d'une case passe dans la suivante à chaque signal d'horloge. La fréquence d'horloge est la fréquence d'échantillonnage du signal vidéo. Elle doit donc être supérieure au double de la fréquence maximale du signal vidéo c'est-  
25 à-dire doit être supérieure à douze MHz. Le retard est égal au nombre d'étages, ou cases, multiplié par la durée de la période d'horloge.

Pendant le blocage du générateur d'horloge, ou même entre  
30 deux impulsions d'horloge, les signaux gardent leurs valeurs dans les divers étages de la ligne à retard.

Pour expliquer le fonctionnement du circuit de décodage de l'invention on supposera que  $P_1 = P$ . Dans ce cas si le signal vidéo d'image est codé avec un retard B (par exemple de  $1 \mu s$ ) le signal en sortie de la ligne à retard DTC aura le retard suivant :

$$B + (P - B) = P$$

P étant la durée d'une ligne, on assure ainsi le décodage car, dans ce cas, le signal à la sortie de la ligne à retard est en phase avec la vidéo nominale à une période P d'une ligne près.

5 Dans cette situation il n'est nécessaire ni d'interrompre le fonctionnement de l'horloge ni de diminuer la fréquence de cette dernière.

10 Par contre si le signal vidéo émis est en phase avec le signal nominal, si l'horloge n'était pas bloquée pendant un certain temps, à la sortie de la ligne à retard on obtiendrait un signal avec un retard  $P - B$  c'est-à-dire, à une période de ligne près, avec une avance de B par rapport au signal nominal. C'est pourquoi on bloque l'horloge pendant un temps B pour rétablir, à la réception, la phase correcte du signal.

15 Enfin si, à l'émission, le signal est codé en avance d'une valeur B, c'est-à-dire avec un retard de  $-B$ , si l'horloge n'était pas bloquée à la sortie de la ligne à retard on obtiendrait un retard total de  $P - 2B$ , c'est-à-dire une avance de  $2B$ . On bloque donc l'horloge de commande de la ligne à retard DTC pendant un temps  $2B$ .

20 Le dispositif de décodage selon l'invention peut être utilisé avec tous les systèmes de télévision en couleurs. Il est cependant plus particulièrement avantageux pour le système PAL ou NTSC où l'on effectue une modulation en amplitude et en phase car le signal vidéo ne subit de distorsions différentielles (de ligne à ligne) ni en amplitude ni en phase, notamment en raison de l'unicité de la ligne à retard. De plus la ligne à retard est d'un type très courant; elle est donc d'un bas prix.

25 Si la période du signal d'horloge et/ou le nombre de cases du registre à décalage DTC sont tels qu'il n'est possible d'effectuer la correction qu'à une valeur  $\Delta t$  (par exemple 1 microseconde) près par excès on prévoit alors une autre ligne à retard, ou un monostable apportant un retard  $\Delta t$  du seul signal de synchronisation.

30 D'autres caractéristiques et avantages de l'invention apparaîtront avec la description de certains de ses modes de réalisation,, celle-ci étant effectuée en se référant aux dessins ci-annexés sur lesquels :

- la figure 1 est un schéma d'un circuit de décodage selon l'invention, et

- les figures 2<sub>a)</sub> à 2<sub>f)</sub> sont des diagrammes de signaux apparaissant en divers points du schéma de la figure 1 et permettant de comprendre son fonctionnement.

5

Le signal vidéo codé est appliqué sur l'entrée 10 du circuit de décodage, laquelle est connectée, d'une part, à l'entrée 11 d'une ligne à retard du type à transfert de charge DTC 12 et, d'autre part, au premier contact 13<sub>1</sub> d'un commutateur 13 par l'intermédiaire d'un conducteur 14. Le second contact 13<sub>2</sub> du commutateur 13 est relié à la sortie 15 de la ligne à retard DTC 12. Sur le point milieu 13<sub>3</sub> du commutateur 13 on recueille le signal vidéo décodé; ce contact 13<sub>3</sub> constitue donc la sortie du circuit de décodage.

10

15

Le commutateur 13 est commandé par un circuit 16 fournissant des impulsions du type de celles représentées sur la figure 2<sub>e)</sub>. Ce circuit 16 est lui-même commandé par le signal de synchronisation ligne et pendant le retour trame. Une liaison est établie entre les points 13<sub>1</sub> et 13<sub>3</sub> lors de l'impulsion de synchronisation ligne 20 (figure 2<sub>a)</sub>) de manière que cette impulsion de synchronisation ligne soit transmise sans retard. Par contre lorsqu'apparaît le signal d'image la liaison est établie entre les contacts 13<sub>2</sub> et 13<sub>3</sub>. Dans ce cas le signal sur la sortie est le signal qui a traversé la ligne à retard 12.

20

25

L'entrée d'horloge 17 de la ligne 12 est connectée à la sortie d'une porte ET 18 à deux entrées 18<sub>1</sub> et 18<sub>2</sub> dont la première, 18<sub>1</sub>, reçoit le signal d'horloge et la seconde, 18<sub>2</sub>, est connectée à la sortie d'un circuit 19 générateur d'impulsions de blocage permettant, comme on le verra ci-après, de faire varier le retard apporté par la ligne 12. Le circuit 19 est commandé en synchronisme avec le circuit de codage de l'émetteur. Ce sont les signaux qu'il émet qui permettent de compenser les avances ou retards du signal d'image par rapport au signal de synchronisation ligne qui ont été apportés par le codage.

30

On comprend aisément le fonctionnement du circuit de décodage selon l'invention si, tout d'abord, on rappelle qu'une ligne à retard DTC est analogue à un registre à décalage comprenant N étages. L'étage d'entrée emmagasine le signal appliqué sur son entrée au moment de l'application d'un signal d'horloge sur l'entrée 17. A ce moment les signaux emmagasinés dans chaque étage sont transférés dans l'étage suivant. Le signal sur la sortie 15 est celui du dernier étage. Le retard  $\tau$  apporté par la ligne 12 est donc :

$$\tau = N.T + B.$$

Dans cette formule T est la période du signal d'horloge, N, comme déjà indiqué, est le nombre d'étages et B est la durée de blocage de l'horloge.

Dans l'exemple la fréquence d'horloge est choisie de façon telle que, lorsque cette ligne a emmagasiné le signal vidéo d'une ligne de balayage (de durée  $64 \mu s$ ), le retard apporté par cette ligne 12 est inférieur d'une durée déterminée  $B_1$  à la durée P de la ligne vidéo, et cela sans blocage du signal d'horloge. Ainsi :

$$N.T = P - B_1.$$

Sur le diagramme de la figure 2<sub>a</sub>) le signal d'image 21, qui correspond à une ligne, n'a pas subi de décalage par rapport à l'impulsion 20 de synchronisation ligne.

Pour que cette ligne vidéo soit reçue correctement sur le téléviseur il faut bloquer le signal d'horloge pendant une durée  $B_1$  car, s'il n'en était pas ainsi, le signal 21 serait, à une ligne près, en avance de  $B_1$ .

Ce blocage de l'horloge pendant la durée  $B_1$  a été représenté par l'intervalle 21<sub>1</sub> sur la figure 2<sub>b</sub>). Ce retard n'aura d'effet que sur la ligne suivante comme le montre les diagrammes des figures 2<sub>d</sub>) et 2<sub>f</sub>) où la figure 2<sub>d</sub>) représente le signal sur la sortie 15 de la ligne à retard 12 et la figure 2<sub>f</sub>) le signal sur la sortie 13<sub>3</sub> du circuit de la figure 1. La figure 2<sub>c</sub>) représente le signal de synchronisation ligne d'émission et la figure 2<sub>e</sub>) représente le signal sur la sortie du circuit 16, c'est-à-dire l'état du commutateur 13.

Le niveau bas, 30, du diagramme de la figure 2<sub>e</sub>) correspond à la liaison entre les contacts 13<sub>1</sub> et 13<sub>3</sub>, c'est-à-dire à la connexion directe de l'entrée 10 du circuit de décodage à la sortie 13<sub>3</sub> de ce circuit, tandis que le niveau haut 31 correspond à la connexion entre les contacts 13<sub>2</sub> et 13<sub>3</sub>, c'est-à-dire au passage du signal d'image à travers la ligne à retard 12.

A chaque ligne vidéo le niveau 30 est appliqué pendant un temps déterminé, 6  $\mu$  s environ pour la norme française, le signal 31 pendant le reste du temps, c'est-à-dire 58  $\mu$  s environ.

Etant donné que la ligne à retard 12 reçoit en permanence des signaux sur son entrée 11, même le signal de synchronisation sera retardé dans cette ligne 12; ce signal de synchronisation est également déformé. Mais ce retard et cette déformation du signal de synchronisation sont sans effet, en raison du commutateur 13 et de sa commande : le signal de synchronisation transmis par la ligne 12 n'est pas pris en compte car? au moment où il apparaît sur la sortie 15? le contact 13<sub>2</sub> est "en l'air", c'est-à-dire non connecté à la sortie 13<sub>3</sub>.

Le signal 21<sub>2</sub> (figure 2<sub>d</sub>) sur la sortie 15 et le signal 21<sub>3</sub> (figure 2<sub>f</sub>) sur la sortie 13<sub>3</sub> sont ainsi en phase avec le signal de synchronisation d'émission.

Le signal d'image 22 (figure 2<sub>a</sub>) est en retard d'une durée B<sub>1</sub> par rapport au signal non codé. Il est restitué avec sa phase correcte par la ligne 12 sans blocage de l'horloge de cette dernière car le signal 22<sub>2</sub> apparaissant sur la sortie 15 de la ligne 12 a un retard de :

$B_1 + (P - B_1) = P$ , ce qui correspond exactement au retard d'une ligne.

Le signal d'image 23, qui s'étend également sur une ligne, est en avance de B<sub>1</sub> par rapport au signal non codé. Pour le décodage le signal d'horloge est bloqué pendant 2B<sub>1</sub> (figure 2<sub>b</sub>), intervalle 23<sub>1</sub>).

Le codage est effectué à l'émission à l'aide d'un générateur pseudo-aléatoire délivrant des signaux binaires qui, pour chaque ligne, représentent soit un signal d'image en phase avec le signal correct, soit en retard de B<sub>1</sub> soit en avance de B<sub>1</sub>. Ce générateur

pseudo-aléatoire ayant par exemple une sortie à deux bits, le signal 01 correspond à une absence de décalage, 10 à un retard  $B_1$ , 11 à une avance  $B_1$ , et 00 aussi à une absence de décalage.

5           A la réception le circuit 19 comporte également un générateur pseudo-aléatoire fonctionnant en synchronisme avec celui de l'émission pour compenser les avances et retards. Le signal de départ du générateur pseudo-aléatoire du circuit 19 est bien entendu fourni par l'émetteur.

10           Dans un exemple la séquence de variation des avances et retards a une période de six trames.

15           Lorsqu'une émission non codée est reçue le commutateur 13 est constamment dans la position de connexion des contacts  $13_1$  et  $13_3$ . Dans le cas d'une émission non codée on peut également conserver la commande par le circuit 16, ce qui donne alors une possibilité de réglage, par la durée de blocage  $B_1$ , du décalage du signal d'image par rapport au signal de synchronisation ligne.

20           En variante, au lieu de bloquer le signal d'horloge pendant un temps déterminé, on modifie la fréquence de ce signal d'horloge, au moins pendant une fraction de la durée de chaque ligne. Cette variante est nécessaire lorsqu'on dispose d'une ligne à retard DTC dont le fonctionnement est perturbé en cas de blocage ou lorsqu'on utilise plusieurs lignes à retard montées en série. Dans un exemple  
25           on applique sur l'entrée d'horloge 17, pendant une fraction de chaque ligne, des signaux d'horloge à la fréquence moitié de la fréquence nominale d'horloge.

          Le calcul de la durée pendant laquelle ces signaux d'horloge à fréquence moitié doivent être appliqués est le suivant :

30           On rappelle tout d'abord que le retard total  $\tau$  apporté par la ligne à retard 12 est :  $\tau = N.T + B$ , N étant le nombre d'étages de la ligne et T la période du signal d'horloge (non ralenti) et B le temps de blocage de l'horloge.

          Le temps de blocage B est équivalent à un nombre n de périodes d'horloge T :  $B = n.T$ .

Ainsi :  $\zeta = NT + nT$

Par ailleurs, si au lieu de bloquer l'horloge pendant le temps B on lui applique m périodes d'horloge 2T (fréquence moitié), alors :

$\zeta = (N - m)T + m \cdot 2T$ , soit, pour obtenir le même retard :

$\zeta = NT + nT = (N - m)T + m \cdot 2T$ .

5 D'où on déduit :  $n = m$ .

On applique ainsi à la ligne à retard un nombre m de périodes d'horloge de fréquence moitié qui est égal au nombre n de périodes d'horloge équivalent au temps de blocage.

10 Quel que soit le mode de réalisation, la fréquence du signal d'horloge nominal est supérieure à 12 MHz pour que le signal échantillonné par le registre à décalage DTC 12 ne soit pas perturbé.

Le décalage  $B_1$  est, de préférence, de l'ordre d'une microseconde.

15 Il n'est pas indispensable que le retard apporté par la ligne 12, sans blocage de l'horloge, soit inférieur à la durée P d'une ligne vidéo. Ce retard pourrait être égal ou même supérieur à la durée P. Dans ce cas il est nécessaire de prévoir une ligne à retard ou un monostable 40, représenté en traits interrompus sur la figure 1, entre l'entrée 10 et le contact  $13_1$  pour retarder le signal de  
20 synchronisation d'une durée qui permet de rétablir l'intervalle correct entre la synchronisation et le signal d'image. Par exemple si la ligne 12 apporte un retard de  $65 \mu s$ , l'élément 40 apportera un retard de  $1 \mu s$ .

25 L'invention n'est bien entendu pas limitée au cas où le signal vidéo d'image est à chaque ligne soit en phase avec le signal nominal, soit en avance, soit en retard. Elle s'applique également dans le cas où le signal d'image est soit en phase avec le signal nominal, soit en retard d'une valeur R, soit en retard d'une valeur 2 R.

REVENDEICATIONS

1. Circuit de décodage d'un signal de télévision qui, à l'émission, a été codé pour chaque ligne par décalage pseudo-aléatoire du signal vidéo (21) par rapport au signal de synchronisation ligne (20), ce circuit de décodage comprenant une ligne à retard (12) dont le retard est commandé pour rétablir le décalage correct entre le signal de synchronisation et le signal d'image, et un commutateur (13) commandé pour que le signal de synchronisation ligne (20) traverse une voie de dérivation (14), caractérisé en ce que la ligne à retard étant du type à transfert de charge (DTC), celle-ci a une capacité voisine d'une ligne de signal vidéo de durée P, la fréquence du signal d'horloge de commande de cette ligne (DTC) est telle qu'une ligne vidéo est retardée d'une valeur  $P_1 - B$ , du même ordre de grandeur que la durée P d'une ligne vidéo, et le circuit de décodage comprend un moyen (18, 19) pour bloquer le signal d'horloge, ou diminuer la fréquence de ce signal d'horloge, pendant un temps qui, à chaque ligne, est fonction du décalage à effectuer.

2. Circuit selon la revendication 1, caractérisé en ce que  $P_1$  est égal à la durée P d'une ligne vidéo.

3. Circuit selon la revendication 2, caractérisé en ce que B est de l'ordre de la microseconde.

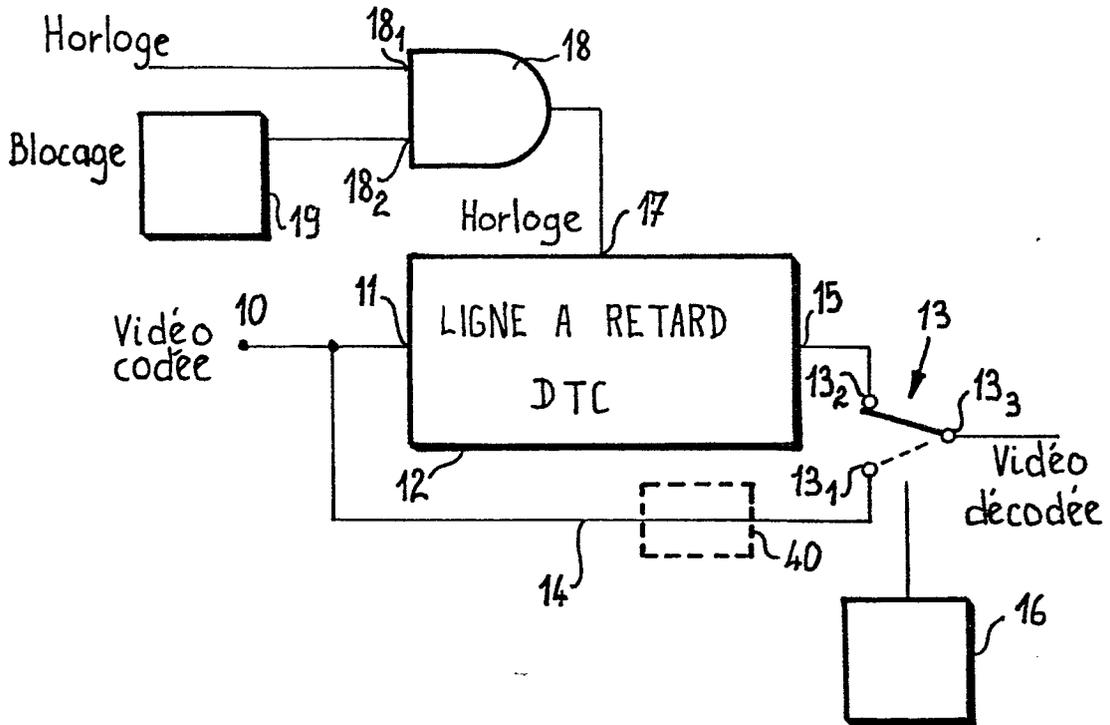
4. Circuit selon l'une quelconque des revendications 1 à 3, caractérisé en ce que l'entrée d'horloge (17) de la ligne à retard (DTC 12) est connectée à la sortie d'une porte ET (18) à deux entrées ( $18_1, 18_2$ ) dont la première reçoit directement le signal d'horloge et dont la seconde ( $18_2$ ) reçoit les signaux fournis par un circuit de blocage (19) dont les signaux de sortie commandent le décodage.

5. Circuit selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'on applique sur l'entrée d'horloge (17) de la ligne à retard DTC (12) un signal d'horloge de fréquence égale à la moitié de celle du signal d'horloge nominal pendant une fraction de la durée de chaque ligne vidéo pour assurer le décodage.

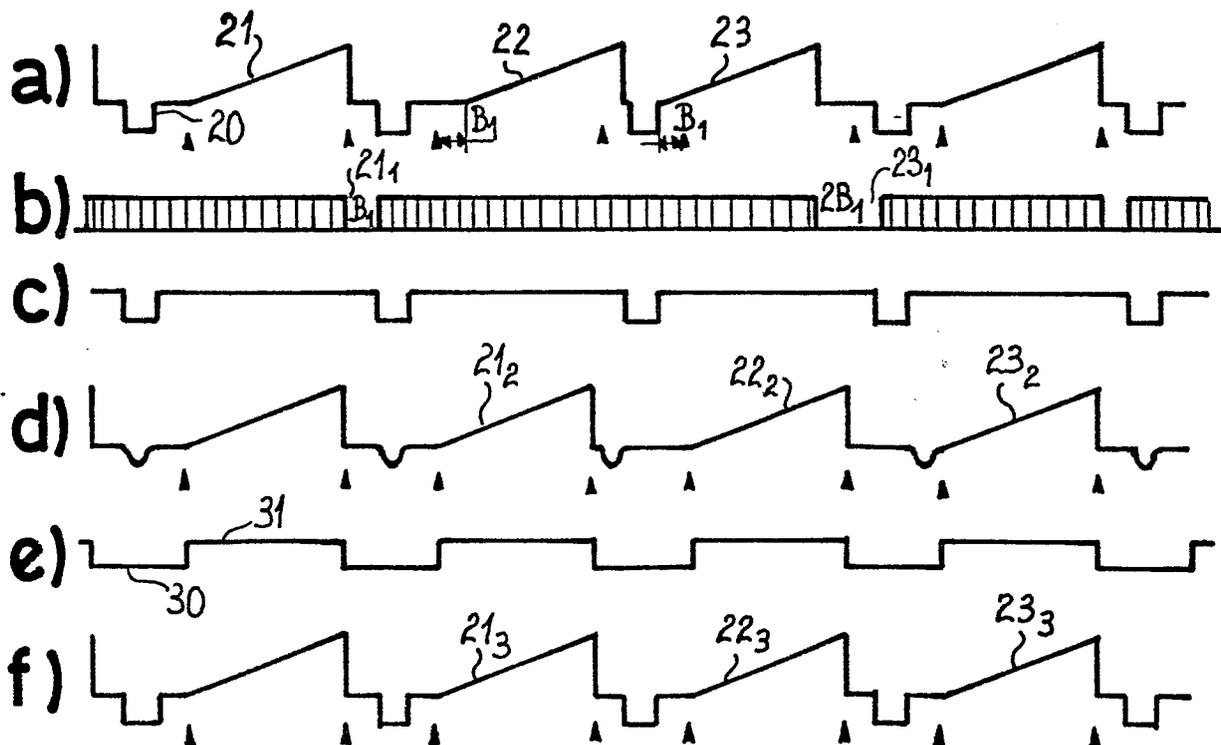
5 6. Circuit selon la revendication 1, caractérisé en ce que la durée  $P_1 - B$  étant supérieure à la durée  $P$  d'une ligne de signal vidéo, pour rétablir la phase correcte du signal de synchronisation ligne par rapport au signal d'image, on prévoit un élément de retard (40) pour le signal de synchronisation ligne.

7. Circuit de codage utilisable avec un circuit de décodage selon l'une quelconque des revendications précédentes, caractérisé en ce que le signal vidéo d'image est, à chaque ligne, soit en phase avec le signal nominal, soit en avance, soit en retard.

FIG\_1



FIG\_2





DOCUMENTS CONSIDERES COMME PERTINENTS			
Categorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
D, Y	ER-A-2 330 236 (L'ETAT FRANCAIS) * Page 9, lignes 23-25; page 9, ligne 34 - page 10, ligne 26 *	1-4, 6, 7	H 04 N 7/167
Y	ER-A-2 321 222 (RCA CORP.) * Page 5, ligne 4 - page 7, ligne 12 *	1-4, 6, 7	
Y	ER-A-2 524 241 (LA RADIOTECHNIQUE) * Page 2, lignes 15-24 *	6, 7	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
			H 04 N 7/00
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 05-07-1985	Examineur DE ROECK A.F.A.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons</p> <p>&amp; : membre de la même famille, document correspondant</p>			