

(12)

DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: 86810010.8

(51) Int. Cl.⁴: G 05 F 3/30

(22) Date de dépôt: 13.01.86

(30) Priorité: 17.01.85 CH 203/85

(43) Date de publication de la demande:
23.07.86 Bulletin 86/30

(84) Etats contractants désignés:
DE FR GB

(71) Demandeur: **CENTRE ELECTRONIQUE HORLOGER S.A.**
Maladière 71
CH-2000 Neuchâtel 7(CH)

(72) Inventeur: **Degrauwe, Marc**
rue des Cèdres 4
CH-2017 Boudry NE(CH)

(72) Inventeur: **Vittoz, Eric A.**
Bois du Pâquier 15
CH-2053 Cernier NE(CH)

(74) Mandataire: **Brulliard, Joel**
c/o Centre Suisse d'Electronique et de Microelectronique
S.A. Maladière 71
CH-2000 Neuchâtel 7(CH)

(54) **Source de tension de référence.**

(57) La présente invention se rapporte à une source de tension de référence en technologie CMOS.

La source de tension de référence est basée sur l'utilisation de deux transistors bipolaires compatibles (T1) et (T2) travaillant à des densités de courant différentes. Un amplificateur à transrétroaction (1), monté en contre-réaction entre les collecteurs et les bases de (T1) et (T2) délivre la tension de référence (V_{ref}). Un bloc conducteur (4) permet de tirer, à travers les résistances (2) et (3), un courant suffisant pour rendre négligeable le courant de base de (T1).

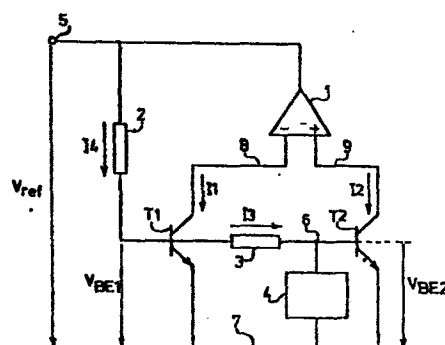


FIG.1

SOURCE DE TENSION DE REFERENCE

La présente invention se rapporte aux circuits pouvant servir de sources de tension de référence et concerne plus particulièrement les sources de tension faisant référence à la bande interdite et compatibles avec les technologies MOS.

5 L'évolution actuelle des circuits électroniques montre une tendance croissante à réaliser, sur le même circuit, des fonctions numériques et des fonctions analogiques. Bien que les technologies bipolaires s'avèrent plus intéressantes pour les circuits purement analogiques, les technologies MOS prennent l'avantage lorsque la partie numérique du circuit
10 est importante. Parmi ces dernières, la technologie MOS complémentaire (ou CMOS) offre, outre l'avantage d'une grande densité d'intégration, la possibilité d'une très faible consommation des circuits.

La plupart des circuits ayant une partie analogique requiert la réalisation d'un bloc délivrant une tension de référence. De tels blocs ont
15 déjà été proposés en technologie CMOS et, sont le plus souvent dérivés de circuits connus en technologie bipolaire sous le nom de références de tension à la bande interdite. Ces circuits utilisent une paire de transistors travaillant à des densités de courant différentes et qui, tout en ayant une caractéristique de fonctionnement bipolaire, sont compati-
20 bles avec une technologie CMOS. De tels transistors, encore appelés transistors au substrat ont toujours leur collecteur relié au substrat ce qui en limite l'application notamment lorsqu'on désire adapter les circuits qui ont été développés en technologie bipolaire.

Un exemple de circuit utilisant de tels transistors peut être trou-
25 vé dans l'article de R. Ye et Y. Tsividis intitulé "Bandgap voltage reference sources in CMOS technology" et paru dans Electronics Letters du 7 janvier 1982, Vol. 18, No 1. La tension de référence est obtenue en effectuant une combinaison linéaire des tensions base-émetteur des transistors au substrat de manière à compenser l'effet de la température.
30 Cette combinaison linéaire est réalisée au moyen d'un amplificateur opérationnel et de résistances. Lorsque l'amplificateur opérationnel est réalisé à l'aide de transistors MOS, il présente une tension de décalage

d'entrée (ou tension d'"offset") importante et qui, de plus, n'étant pas proportionnelle à la température absolue, ne peut être aisément compensée. Cette tension d'"offset" entraîne une imprécision de la valeur de la tension de référence de l'ordre de 50 millivolts. L'article de
 5 Bang-Sup Song et Paul R. Gray intitulé "A precision curvature-compensated CMOS bandgap reference", paru dans IEEE Journal of Solid-State Circuits, Vol. SC-18, No 6, Décembre 1983, montre comment cette tension d'"offset" peut être compensée à l'aide des techniques de circuits à capacités commutées. Toutefois, d'une part l'utilisation de ces techniques donne des
 10 circuits passablement complexes et d'autre part, la précision de la tension de référence de sortie reste limitée par les phénomènes d'injection de charges produites par les transistors fonctionnant en interrupteurs.

Un nouveau type de transistors MOS, présentant une caractéristique de fonctionnement bipolaire, sans avoir les limitations des transistors
 15 au substrat, a été décrit dans la demande de Brevet Européen 0093086, déposée par le requérant le 22 avril 1983. Ce nouveau type de transistor, auquel il sera fait référence par la suite sous le nom de transistor bipolaire compatible, a déjà été appliqué à la réalisation d'une source de tension de référence, ainsi qu'il apparaît à la figure 2 de l'article
 20 de E. Vittoz, paru dans IEEE Journal of Solid-State Circuits, Vol. SC-18, juin 1983 et intitulé "MOS transistors operated in the lateral bipolar mode and their application in CMOS technology". L'inconvénient du circuit décrit dans l'article précité réside dans le fait qu'il ne tient pas compte de la valeur finie du gain en courant des transistors bipolaires
 25 compatibles, ni de sa dépendance de la température. Un autre désavantage de ce circuit, de même que de la plupart des circuits précédemment mentionnés, est la valeur importante de l'impédance de sortie, ce qui empêche de tirer un courant, en particulier pour alimenter d'autres circuits, sans fausser la valeur de la tension de référence.

30 Aussi un objet de la présente invention est un circuit pouvant servir de source de tension de référence et ne présentant pas les inconvénients mentionnés ci-dessus.

Un autre objet de l'invention est une source de tension de référence compatible avec une technologie MOS et utilisant des transistors bi-
 35 polaires compatibles.

Un autre objet de l'invention est une source de tension de référence dont la dépendance de la température peut être aisément compensée.

Un autre objet de l'invention est une source de tension de référence présentant une impédance de sortie peu élevée.

5 Les caractéristiques de l'invention apparaissent dans les revendications.

L'un des avantages primordiaux du circuit de référence de tension selon l'invention est la précision de la tension de référence qui est nettement supérieure à celle des circuits connus en technologie CMOS.

10 De plus, le circuit de l'invention possède la propriété de permettre l'ajustement de son coefficient de température en ajustant le circuit à une température donnée alors que, pour les circuits connus en technologie CMOS, les deux effets ne sont pas corrélés.

D'autres objets, caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description suivante d'exemples de réalisation particuliers, ladite description étant faite à titre purement illustratif et en relation avec les dessins joints dans lesquels:

20 - la figure 1 montre le schéma de principe du circuit de l'invention;

- la figure 2 est une courbe caractéristique de l'amplificateur de la figure 1;

- la figure 3 montre un premier exemple de réalisation du circuit de la figure 1;

25 - la figure 4 est une variante de réalisation du bloc conducteur de la figure 1;

- la figure 5 montre un autre exemple de réalisation de l'amplificateur de la figure 1;

30 - la figure 6 montre encore un autre exemple de réalisation de l'amplificateur de la figure 1;

- la figure 7 montre une variante du circuit de l'invention;

et

- la figure 8 est un exemple de réalisation de l'amplificateur-suiveur de la figure 7.

Le schéma de la figure 1 illustre le principe de l'invention. Deux transistors bipolaires compatibles, tels que décrits dans la demande de brevet précitée, travaillent à des densités de courant différentes. Les bases sont reliées par l'intermédiaire d'une résistance 3, et les émetteurs sont reliés à la borne d'alimentation négative 7 du circuit. Les collecteurs de T1 et T2, parcourus par les courants I1 et I2 respectivement, sont reliés aux entrées 8 et 9, respectivement l'entrée inverse et l'entrée directe, d'un amplificateur à transrésistance 1. La sortie de l'amplificateur 1 est connectée d'une part à la borne de sortie 5 et d'autre part à la base du transistor T1 à travers la résistance 2. La base du transistor T2 est encore reliée à la borne 7 par l'intermédiaire d'un bloc conducteur 4 destiné à tirer, à travers la résistance 3, un courant I3 très grand devant les courants I1 et I2.

La fonction caractéristique de transfert de l'amplificateur 1 est donnée à la figure 2 où V_S représente la tension de sortie de l'amplificateur et K1 est le rapport du gain de l'entrée 9 à celui de l'entrée 8. Dès que la valeur du courant I1 est légèrement supérieure à $K1 \cdot I2$, la tension de sortie de l'amplificateur 1 devient très faible et dès qu'au contraire, la valeur du courant I1 est légèrement inférieure à $K1 \cdot I2$, la tension de sortie de l'amplificateur 1 devient très grande.

Lorsque l'amplificateur 1 est monté en contre-réaction dans le schéma de la figure 1, il impose l'égalité: $I1 = K1 \cdot I2$ pour laquelle la tension de sortie V_S existant sur la borne 5 est égale à:

$$V_{\text{réf}} = V_{\text{BE1}} + \frac{R2}{R1} \cdot \frac{kT}{q} \ln (K1 \cdot K2) \quad (1)$$

Dans l'expression (1) de $V_{\text{réf}}$ ci-dessus, V_{BE1} est la tension base-émetteur de T1, R2 et R1 sont les valeurs des résistances 2 et 3 respectivement, k est la constante de Boltzmann, T est la température absolue, q est la charge élémentaire de l'électron, K1 a la valeur précédemment définie et K2 est le rapport des surfaces effectives d'émetteur du transistor T2 au transistor T1.

Comme cela a été mentionné précédemment, les deux transistors bipolaires compatibles T1 et T2 doivent travailler à des densités de courant différentes; celle traversant le transistor T2 devant être inférieure à celle traversant le transistor T1. Pour assurer cette différence entre
5 les densités de courant, il est possible soit de réaliser les transistors T1 et T2 avec des géométries différentes (dans la pratique plusieurs transistors identiques sont mis en parallèle), soit de réaliser l'amplificateur 1 de telle sorte que les gains des entrées 8 et 9 soient dans un rapport donné (K_1). Dans le premier cas, les courants I1 et I2 pour-
10 ront être égaux, alors que dans le deuxième cas, ils seront dans le rapport K_1 .

Les transistors T1 et T2 sont des transistors bipolaires compatibles tels que décrits dans la demande de brevet précitée. De tels transistors présentent un gain en courant mal défini et difficilement reproductible
15 d'une intégration à l'autre. Pour que la relation (1) soit vérifiée malgré l'utilisation des transistors bipolaires compatibles, il est nécessaire que la valeur du courant I3, tiré par le bloc 4 à travers la résistance 3, soit grande par rapport à celle du courant I1.

Un premier exemple de réalisation est montré à la figure 3, dans
20 laquelle les éléments identiques à ceux de la figure 1 portent les mêmes références. L'amplificateur 1 est essentiellement constitué par un miroir de courant et un étage suiveur de tension. Le miroir de courant est formé par les transistors MOS à canal P 11 et 12, reliés à la borne d'alimentation positive V_{DD} . Le transistor 11 a son drain relié à la bran-
25 che 9 ainsi qu'aux grilles des transistors 11 et 12. Le drain du transistor 12 est relié à la branche 8 ainsi qu'à la grille du transistor MOS 13 à canal N, monté en étage suiveur de tension entre la borne d'alimentation V_{DD} et la borne 5. Les transistors T1 et T2 sont identiques et le miroir de courant est de rapport K_1 , de sorte que les courants traversant les transistors T1 et T2 sont dans le même rapport. Le bloc conduc-
30 teur 4 est constitué par un transistor bipolaire compatible 41 dont l'émetteur est relié à la borne 7 et la base et le collecteur sont reliés au point 6, commun à la base de T2 et à la résistance 3. Pour assurer

l'inégalité $I_3 \gg I_1$, il importe que le transistor 41 soit dimensionné de manière à ce que sa surface effective d'émetteur soit sensiblement plus grande que celle du transistor T1.

Cet inconvénient peut être éliminé si la base du transistor 41 est alimentée à partir d'un point présentant une tension plus élevée. Tel est le cas avec le montage de la figure 4 dans laquelle la base du transistor bipolaire compatible 42 est reliée d'une part à la borne 5 par l'intermédiaire de la résistance 44 et d'autre part au point 6 par l'intermédiaire de la résistance 43. L'inégalité $I_3 > I_1$ sera vérifiée si le rapport de la résistance 32 à la résistance 44 est supérieur à celui de la résistance 3 à la résistance 2 et cela, même si le transistor 42 est identique au transistor T1.

Un autre exemple de réalisation de l'amplificateur à transrésistance 1 est représenté à la figure 5. Un miroir de courant, formé par les transistors MOS à canal P 101 et 102 d'une part et 103 et 104 d'autre part, est connecté en série entre la borne d'alimentation positive V_{DD} et les branches 8 et 9. Les deux transistors 101 et 103 sont montés en diode et l'ensemble des transistors 101 à 104 présente un rapport K_1 . Les transistors à canal P 105 et 106 forment un étage suiveur de tension. Le transistor 105 a sa grille reliée à la grille des transistors 101 et 102, sa source reliée à la borne V_{DD} et son drain relié à la source du transistor 106, dont la grille est connectée au drain du transistor 104 et dont le drain est relié à la borne d'alimentation négative 7 du circuit. Le point 108, commun au drain du transistor 105 et à la source du transistor 106, est relié à la base d'un transistor bipolaire compatible 107 dont le collecteur est relié à la borne V_{DD} et dont l'émetteur est connecté à la borne 5. Le montage des quatre transistors 101 à 104 permet de réduire les effets d'une variation de la tension d'alimentation sur la valeur du rapport des courants I_1 et I_2 , et donc sur la précision de la tension de référence V_{ref} . Par ailleurs le transistor de sortie 13 du montage de la figure 3 a été remplacé, dans la figure 5, par un transistor bipolaire compatible 107 associé à un étage suiveur de tension constitué par les transistors 105 et 106. Cet arrangement des transistors 105 à 107 permet de réduire la résistance de sortie du circuit

et donc d'alimenter des circuits annexes à partir du circuit de tension de référence.

La figure 6 montre encore un autre exemple de réalisation de l'amplificateur 1. Deux résistances 111 et 112, traversées par les courants I1 et I2, entraînent une différence de tension qui est appliquée à l'entrée d'un amplificateur opérationnel 110. La sortie de l'amplificateur 110 est reliée à la borne 5. Si R1 et R2 sont les valeurs des résistances 111 et 112 respectivement, on s'efforcera de satisfaire la relation: $R1 \cdot I1 = K1 \cdot R2 \cdot I2 \gg V_{OS}$, afin de rendre négligeable l'effet de la tension de décalage d'entrée (V_{OS}) de l'amplificateur 110. Un schéma tel que celui de la figure 6 est connu en soi et peut, par exemple, être trouvé dans l'article de Carl R. Palmer et al, intitulé "A curvature corrected micropower voltage reference" paru dans IEEE International Solid-State Circuits Conference de 1981.

La tension de référence $V_{réf}$ délivrée par les circuits précédents est bien définie et voisine de 1.2 volt. Il est parfois souhaitable de pouvoir disposer d'une tension de référence supérieure à cette valeur. Le circuit de la figure 7 montre comment obtenir une tension supérieure à la tension $V_{réf}$ à partir du circuit de l'invention sans pour autant en dégrader les performances. Les éléments identiques à ceux de la figure 1 portent les mêmes références. La sortie de l'amplificateur à transrésistance 1 est reliée à un diviseur de tension 200 dont la sortie est appliquée à travers un étage suiveur de tension 210 à la résistance 2. Le diviseur de tension 200 peut être un potentiomètre délivrant une fraction α de la tension de sortie de l'amplificateur 1. La tension de sortie de l'étage suiveur 210 est toujours égale à $V_{réf}$, alors que la tension de sortie de l'amplificateur 1 est:

$$V'_{réf} = \frac{V_{réf}}{\alpha} .$$

L'étage suiveur de tension 210 doit présenter une tension d'"offset" aussi faible que possible et, de préférence, proportionnelle à la température absolue. Un exemple de réalisation de cet étage suiveur, basé sur l'utilisation de transistors bipolaires compatibles, est montré à la figure 8. Il comporte une paire différentielle de transistors bipolaires compatibles 215 et 216 dont les bases sont reliées, respectivement, à la

borne d'entrée directe 217 et à la borne d'entrée inverse 218, dont les émetteurs sont reliés à une source de courant 219 et dont les collecteurs sont reliés respectivement au drain des transistors MOS 212 et 211, lesquels sont montés en miroir de courant. Le circuit comporte encore un transistor MOS 214 dont la grille est reliée au point commun au drain du transistor 212 et au collecteur du transistor 215, dont le drain est relié à la borne d'alimentation V_{DD} et dont la source est reliée à la base du transistor 215.

Bien que la présente invention ait été décrite dans le cadre d'exemples de réalisation particuliers, il est clair qu'elle est susceptible de modifications ou variantes sans sortir de son domaine. En particulier, si le circuit de l'invention permet de compenser le terme linéaire de la courbe de variation de la tension de référence en fonction de la température, le terme quadratique peut être compensé à l'aide d'un circuit connu dit "de correction de courbure".

REVENDICATIONS

1. Source de tension de référence en technologie MOS, caractérisée en ce qu'elle comporte au moins:

- un premier transistor bipolaire compatible (T1);
 - 5 - un deuxième transistor bipolaire compatible (T2)
- dont l'émetteur est relié à l'émetteur dudit premier transistor bipolaire compatible;
- des premiers moyens (T1,T2) permettant d'assurer, à travers ledit deuxième transistor bipolaire compatible, une densité de courant inférieure à celle traversant ledit premier transistor bipolaire compatible;
 - 10 - un amplificateur à transrésistance (1) ayant deux entrées (8,9) reliées respectivement aux collecteurs desdits premier et deuxième transistors bipolaires compatibles et une sortie reliée d'une part, à une borne de sortie (5) délivrant ladite tension de référence ($V_{\text{réf}}$) et
 - 15 d'autre part, à la base dudit premier transistor bipolaire compatible à travers une première résistance (2);
 - une deuxième résistance (3) connectée entre les bases desdits premier et deuxième transistors bipolaires compatibles;
- et
- 20 - des seconds moyens (4), connectés entre la base dudit deuxième transistor bipolaire compatible et le point commun aux émetteurs desdits premier et deuxième transistors bipolaires compatibles, pour tirer un courant à travers lesdites première et deuxième résistances de valeur sensiblement plus grande que celle du courant traversant ledit premier
 - 25 transistor bipolaire compatible.

2. Source de tension de référence selon la revendication 1, caractérisée en ce que lesdits seconds moyens pour tirer un courant comprennent un transistor bipolaire compatible (41,42).

0188401

3. Source de tension de référence selon la revendication 2, caractérisée en ce qu'elle comprend un transistor bipolaire compatible (41) dont l'émetteur est relié audit point (7) commun aux émetteurs des premier et deuxième transistors bipolaires compatibles et dont la base est
5 reliée à son collecteur d'une part et à la base (6) dudit deuxième transistor bipolaire compatible d'autre part.

4. Source de tension de référence selon la revendication 2, caractérisée en ce qu'elle comprend un transistor bipolaire compatible (42) dont l'émetteur est relié audit point commun aux émetteurs desdits premier et deuxième transistors bipolaires compatibles, dont le collecteur
10 est relié à la base dudit deuxième transistor bipolaire compatible et dont la base est reliée d'une part, à son collecteur à travers une troisième résistance (43) et d'autre part, à ladite borne de sortie à travers une quatrième résistance (44).

15 5. Source de tension de référence selon la revendication 1, caractérisée en ce que ledit amplificateur à transrésistance comporte au moins un miroir de courant (11,12) et un étage suiveur de tension (13) qui est connecté entre ledit miroir de courant et ladite borne de sortie et en ce que le miroir de courant et lesdits premier et deuxième transistors bipolaires compatibles sont dimensionnés de manière que la densité de courant traversant ledit deuxième transistor bipolaire compatible soit inférieure à celle traversant ledit premier transistor bipolaire compatible.
20

6. Source de tension de référence selon la revendication 1, caractérisée en ce que ledit amplificateur à transrésistance comporte deux résistances (111,112) connectées respectivement entre une borne d'une source de tension d'alimentation (V_{DD}) et les collecteurs desdits premier et deuxième transistors bipolaires compatibles et un amplificateur opérationnel (110) dont les entrées sont reliées respectivement auxdits
25 collecteurs des premier et deuxième transistors bipolaires compatibles et dont la sortie est reliée à ladite borne de sortie.
30

7. Source de tension de référence selon la revendication 1, caractérisée en ce qu'elle comporte en outre un étage diviseur de tension (200) connecté entre la sortie dudit amplificateur à transrésistance et ladite première résistance.

5 8. Source de tension de référence selon la revendication 1, caractérisée en ce qu'elle comporte en outre un étage diviseur de tension en série avec un étage suiveur de tension (210), lesdits étages diviseur de tension et suiveur de tension étant connectés entre la sortie dudit amplificateur à transrésistance et ladite première résistance.

10 9. Source de tension de référence selon la revendication 8, caractérisée en ce que ledit étage suiveur de tension comporte au moins une paire différentielle de transistors bipolaires compatibles (215,216).

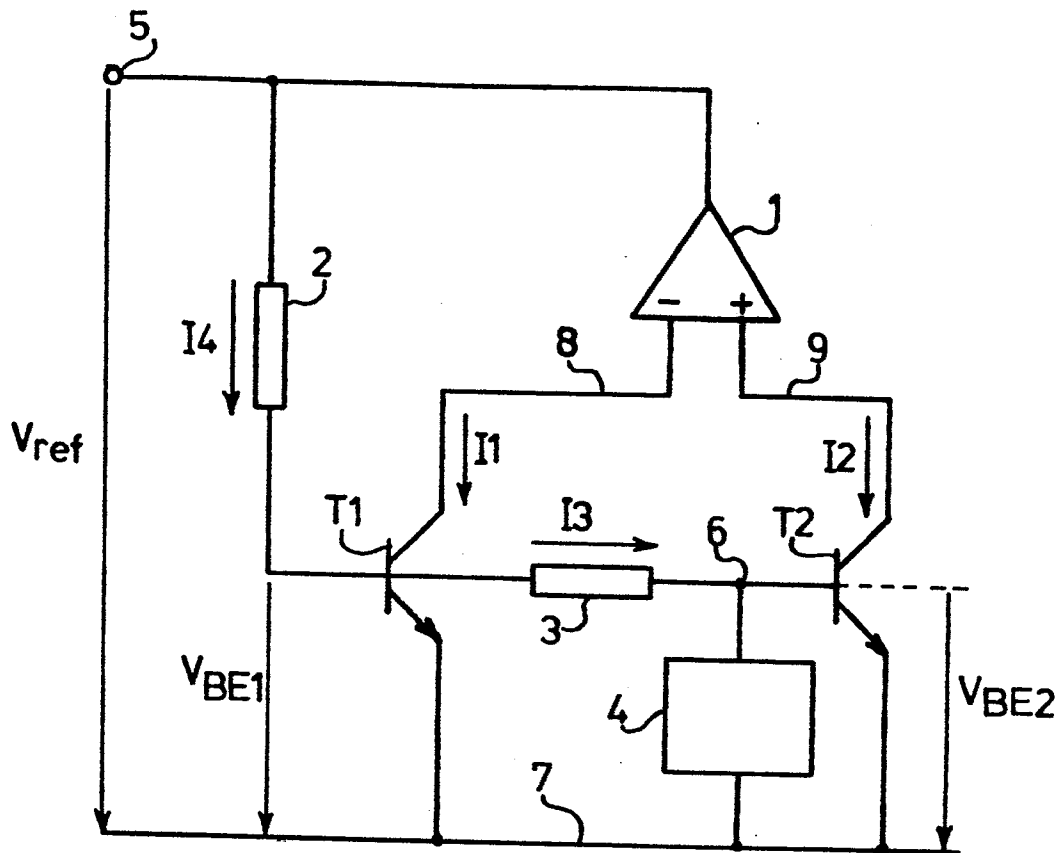


FIG.1

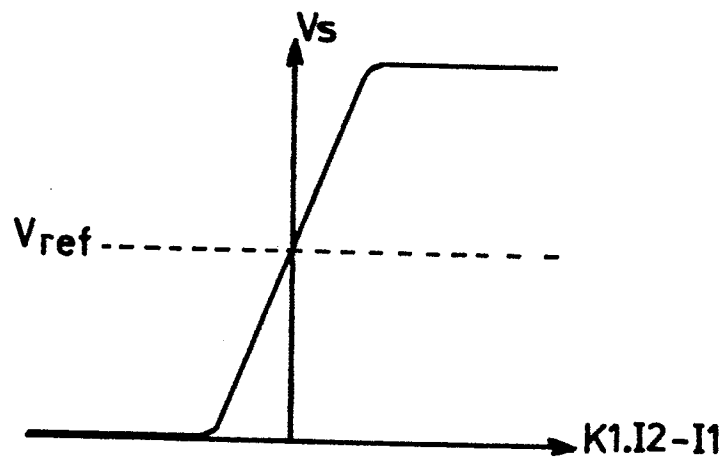
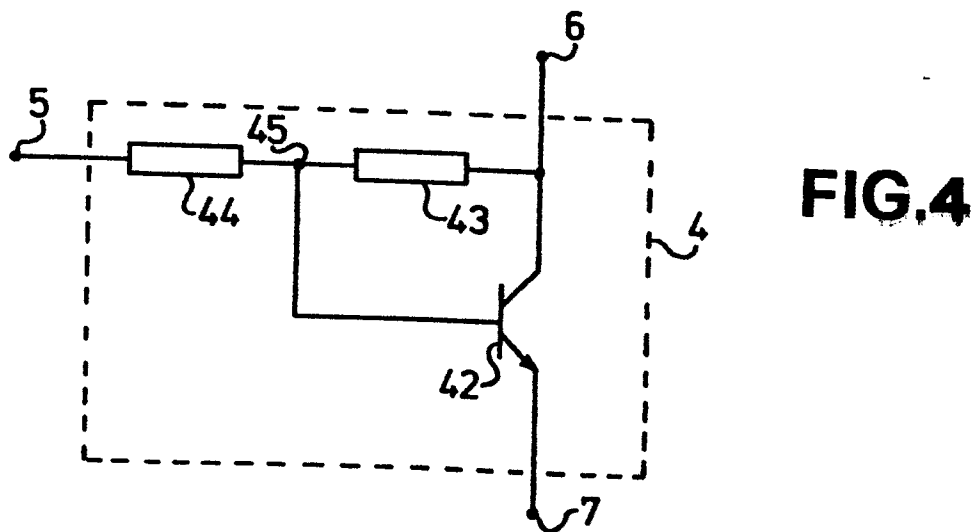
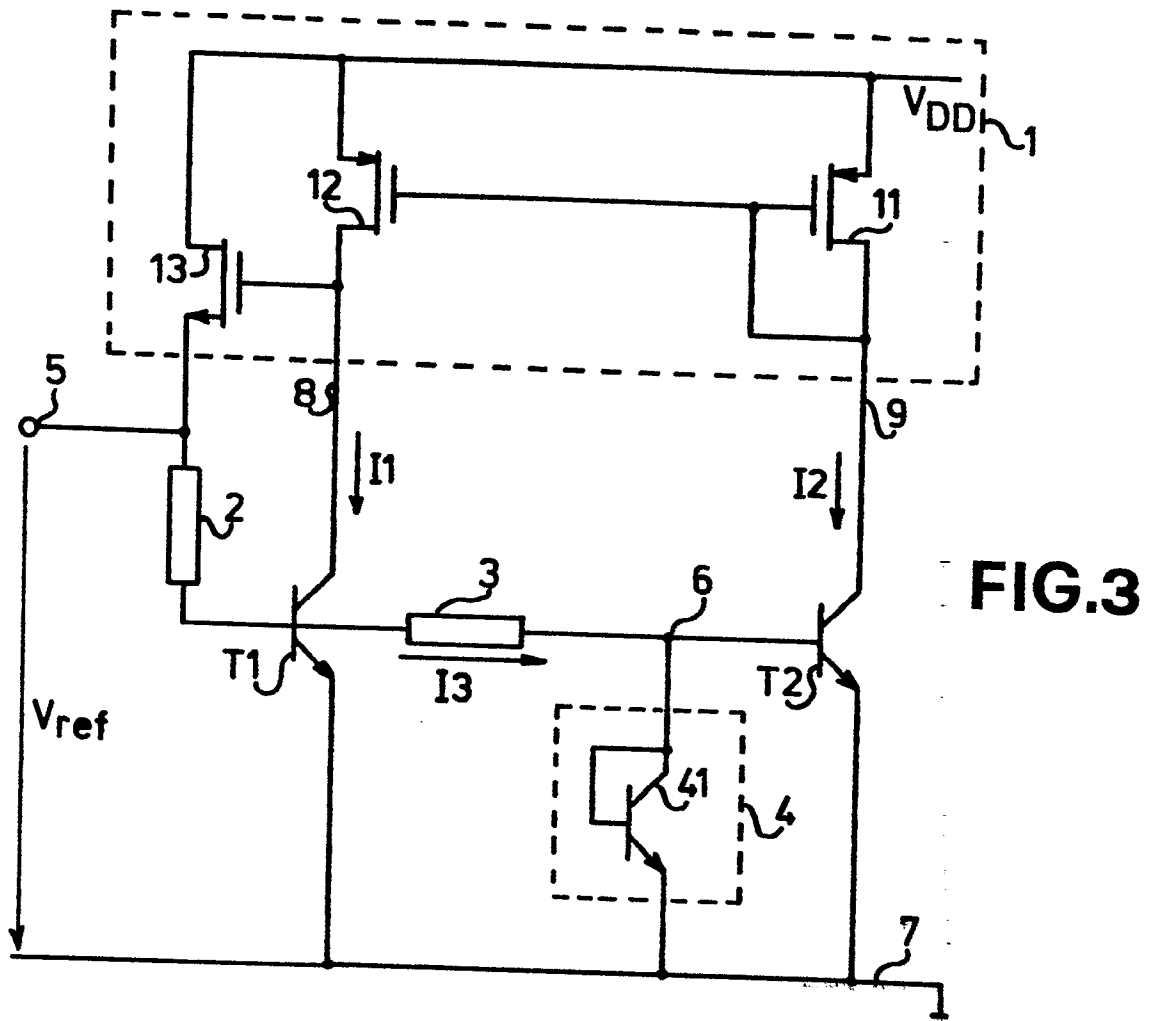
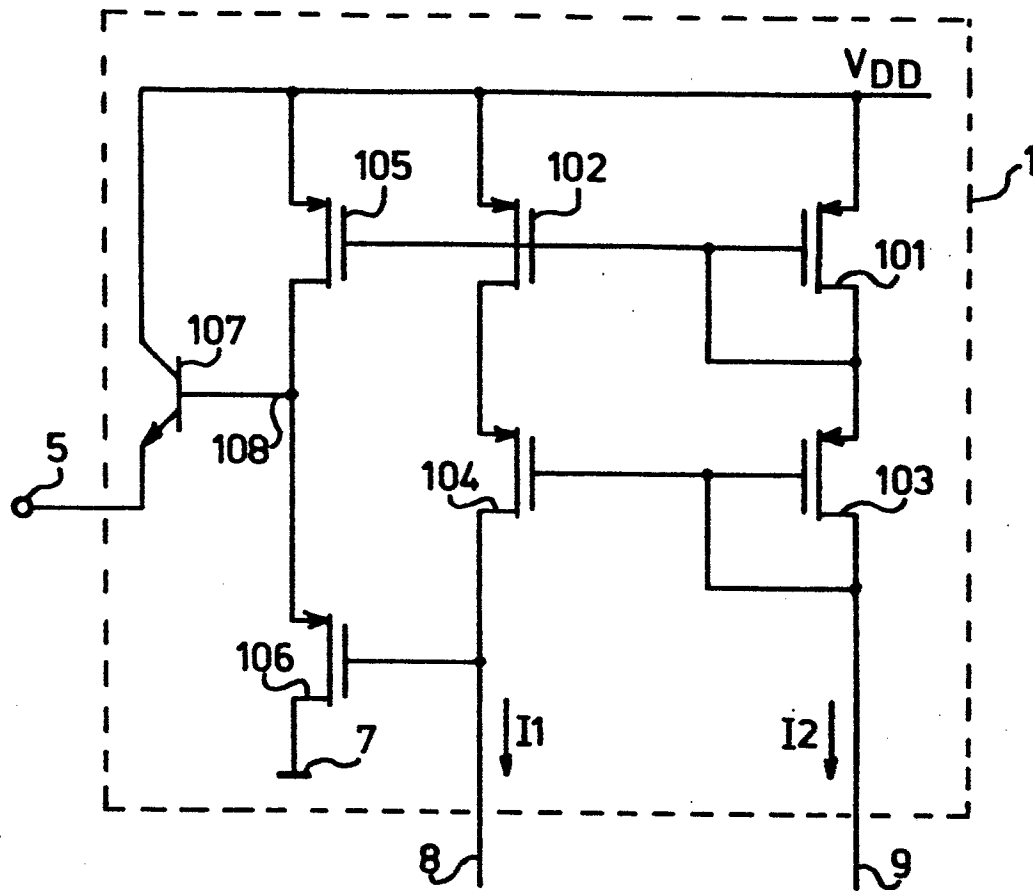
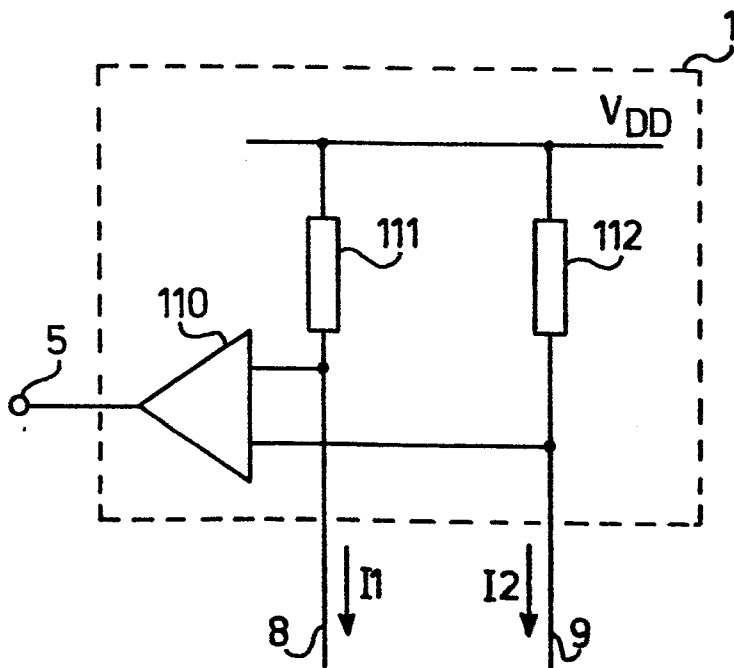
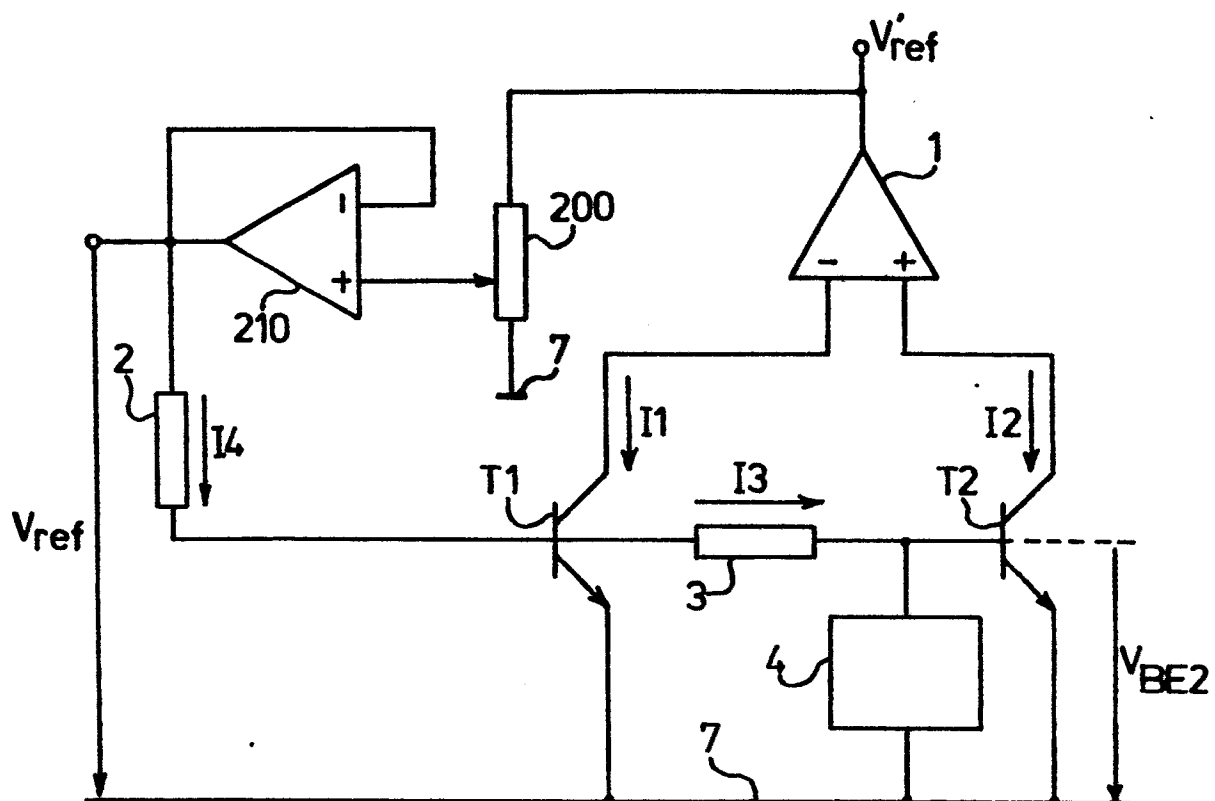
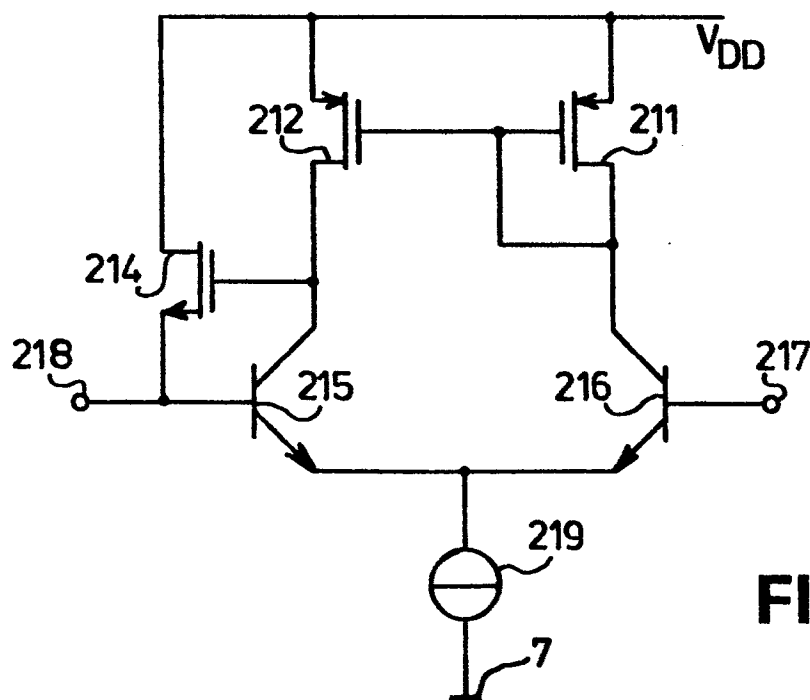


FIG.2



**FIG. 5****FIG. 6**

**FIG. 7****FIG. 8**