

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication:

0 197 809
A1

(12)

DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: 86400450.2

(51) Int. Cl.4: G09G 3/28

(22) Date de dépôt: 04.03.86

(30) Priorité: 05.03.85 FR 8503227

(43) Date de publication de la demande:
15.10.86 Bulletin 86/42(84) Etats contractants désignés:
DE GB NL(71) Demandeur: THOMSON-CSF
173, Boulevard Haussmann
F-75379 Paris Cedex 08(FR)

(72) Inventeur: Delgrange, Louis
THOMSON-CSF SCPI 19, avenue de Messine
F-75008 Paris(FR)
Inventeur: Specty, Michel
THOMSON-CSF SCPI 19, avenue de Messine
F-75008 Paris(FR)
Inventeur: Vialettes, Françoise
THOMSON-CSF SCPI 19, avenue de Messine
F-75008 Paris(FR)

(74) Mandataire: Mayeux, Michèle et al
THOMSON-CSF SCPI 19, avenue de Messine
F-75008 Paris(FR)

(54) Circuit de commande d'un panneau à plasma de type alternatif.

(57) Le circuit de commande selon l'invention comporte des circuits intégrés (8) qui sont utilisés pour le premier et le second réseaux d'électrodes du panneau.

Sur le premier réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs et transmettent la tension de référence des signaux d'entretien ;

-Sur le second réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs, transmettent la tension en créniaux des signaux d'entretien et leur tension de référence est flottante, c'est-à-dire qu'elle suit les signaux d'entretien et que; lors de l'élaboration des signaux sélectifs, elle suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes.

Les circuits intégrés sont munis de circuits logiques qui reçoivent un signal (Inv) indiquant si le circuit intégré (8) est utilisé sur le premier ou sur le second réseaux d'électrodes, de façon à ce que dans le cas d'une utilisation sur le premier réseau, les électrodes actives soient portées au niveau haut

par rapport aux électrodes non-actives soient portées au niveau haut par rapport aux électrodes non-actives et dans le cas d'une utilisation sur le second réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

EP 0 197 809 A1

CIRCUIT DE COMMANDE D'UN PANNEAU A PLASMA DE TYPE ALTERNATIF

La présente invention concerne un circuit de commande d'un panneau à plasma de type alternatif.

Les panneaux à plasma de type alternatif sont bien connus de l'art antérieur.

Par les demandes de brevet n° 81.19941 et n° 83.09289, publiées sous les numéros 2.515.402 et 2.547.091, au nom de THOMSON-CSF, on connaît des circuits de commande de panneaux à plasma de type alternatif. Ces circuits de commande utilisent des circuits intégrés qui sont différents pour chacun des deux réseaux d'électrodes du panneau. Ainsi sur la figure 1 du premier brevet cité, on a désigné par la référence X les circuits intégrés reliés aux électrodes x_1 à x_n du panneau et par la référence Y les circuits intégrés reliés aux électrodes y_1 à y_n .

De même, on connaît, par exemple par l'article de la revue "Electronique et Applications Industrielles" n° 276, du 15 Novembre 1979, pages 26 à 28, qui est intitulé " Les circuits de commande d'afficheurs à panneau à plasma", des circuits intégrés de commande de panneaux à plasma, fabriqués par Texas Instruments. Il s'agit des circuits SN 75500 N et SN 75501 N. Le circuit SN 75500 N est destiné à commander les colonnes du panneau et le circuit SN 75501 N est destiné à commander les lignes du panneau. Il est bien connu des spécialistes que le circuit SN 75501 N peut être utilisé pour commander les lignes et les colonnes. Mais comme ce circuit n'est pas prévu pour cet usage, cela pose des problèmes, de signaux de commande notamment.

La présente invention propose un circuit intégré conçu pour fonctionner avec les deux réseaux d'électrodes du panneau, sans complication des commandes, et qui ne présente donc pas les inconvénients du circuit Texas SN 75501 N.

La présente invention concerne un circuit de commande d'un panneau à plasma de type alternatif, assurant l'élaboration des signaux d'entretien, et des signaux sélectifs, d'inscription et d'effacement du panneau, ces signaux étant appliqués entre deux électrodes appartenant à un premier et un second réseaux d'électrodes orthogonaux, ce circuit de commande comportant des circuits intégrés munis notamment d'un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif ;

caractérisé en ce que :

-les mêmes circuits intégrés sont utilisés pour le premier et le second réseau d'électrodes ;

- sur le premier réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs et transmettent la tension de référence des signaux d'entretien ;

-sur le second réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs, transmettent la tension en créneaux des signaux d'entretien et leur tension de référence est flottante, c'est-à-dire qu'elle suit les signaux d'entretien et que, lors de l'élaboration des signaux sélectifs, elle suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes ;

-les circuits logiques reçoivent un signal indiquant si le circuit intégré est utilisé sur le premier ou sur le second réseaux d'électrodes, de façon à ce que dans le cas d'une utilisation sur le premier réseau, les électrodes actives soient portées au niveau haut par rapport aux électrodes non-actives, et dans le cas d'une utilisation sur le second réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

D'autre objets, caractéristiques et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif et illustrée par les figures annexées qui représentent :

-les figures 1 à 5, des signaux de commande du panneau ;

-la figure 6, le schéma d'un mode de réalisation d'un circuit logique selon l'invention.

-les figures 7 à 8, deux modes de réalisation de l'organisation d'un panneau à plasma et des circuits associés.

Sur les différentes figures, les mêmes repères désignent les mêmes éléments, mais, pour des raisons de clarté, les cotes et proportions des divers éléments ne sont pas respectées.

Sur la figure 1, on a représenté les signaux d'entretien d'inscription et d'effacement qui sont appliqués aux cellules du panneau.

Les panneaux à plasma comportent un grand nombre de cellules disposées sous forme matricielle. Chaque cellule est constituée par l'espace gazeux situé à l'intersection de deux électrodes appartenant aux deux réseaux d'électrodes orthogonaux du panneau. Chaque cellule se trouve sou-

mise à des signaux de commande $V_x - V_y$, représentés sur la figure 1, et constitués par la différence des tensions V_x et V_y appliquées aux deux électrodes entre lesquelles elle se trouve.

En ce qui concerne les signaux d'inscription et d'effacement, sur la figure 1, on a représenté en pointillés les signaux $V_x - V_y$ qu'il faut appliquer pour inscrire ou effacer une cellule et on a représenté par des astérisques les signaux $V_x - V_y$ à appliquer aux cellules qui ne doivent pas être inscrites, ni effacées. Sur les figures 2 à 5, on a également utilisé ces deux modes de représentation pour les signaux sélectifs.

Sur les figures 2 et 3, on a représenté les signaux V_x et V_y qui sont appliqués à chacun des réseaux d'électrodes pour obtenir les signaux $V_x - V_y$ de la figure 1.

Sur la figure 2, on voit que les signaux V_x participent à l'élaboration des signaux sélectifs d'inscription et d'effacement et transmettent la tension de référence des signaux d'entretien c'est-à-dire du 0 V sur la figure 2.

Sur la figure 3, on voit que les signaux V_y participent à l'élaboration des signaux sélectifs d'inscription et d'effacement et transmettent la tension en créniaux des signaux d'entretien.

On pourrait intervertir les signaux V_x et V_y .

Les signaux d'entretien ne sont pas produits par les circuits intégrés mais par des amplificateurs externes aux circuits intégrés. Les circuits intégrés ne font que transmettre les signaux d'entretien.

Dans le cas des signaux V_x et V_y qui sont représentés sur les figures 2 et 3, on constate que les circuits intégrés associés à l'un des réseaux d'électrodes, ce sont les électrodes en y, transmettent la totalité des signaux d'entretien alors que les circuits intégrés associés à l'autre réseau d'électrodes, ce sont les électrodes en x, transmettent uniquement la tension de référence des signaux d'entretien.

Les circuits intégrés selon l'invention sont réalisés de façon à pouvoir supporter une tension de 100 Volts. On est donc conduit pour obtenir le signal V_y qui évolue entre -100 V et + 100 V à utiliser une tension de référence flottante V_r qui suit les signaux d'entretien qui évoluent également entre -100 V et + 100 V.

Cette tension de référence flottante V_r est représentée sur la figure 4. On constate, par rapport à la tension V_y de la figure 3, que V_r suit les signaux d'entretien et que lors de l'élaboration des signaux sélectifs, la tension V_r suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes.

Sur la figure 5, on a représenté la tension $V_y - V_r$ qui évolue entre 0 et 100 V.

La comparaison des figures 2 et 5 montre que :

-pour le signal V_x , les électrodes actives, c'est-à-dire qui doivent être inscrites ou effacées, sont portées à +100 V au-dessus du niveau des électrodes qui ne sont pas modifiées ;

-alors que pour le signal $(V_y - V_r)$, ce sont les électrodes non modifiées qui sont portées à + 100 V au-dessus des électrodes actives.

Dans les deux brevets THOMSON-CSF cités, le circuit de commande d'un panneau à plasma comporte des circuits intégrés associés à des amplificateurs pour l'élaboration des signaux d'entretien et chaque circuit intégré comporte notamment un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif.

Sur les figures 2 et 3 du brevet THOMSON-CSF 2.515.402 on a représenté la structure générale des circuits intégrés utilisés.

Sur la figure 2 du brevet français 2.547.091, on a représenté la structure d'un circuit logique faisant partie d'un circuit intégré.

Chaque circuit logique se compose essentiellement de registres à décalages à entrée série et sorties parallèles et d'un système de décodage et de validation. De ce fait, les données ou adresses logiques désignant les électrodes actives et non-actives sont entrées en série dans les registres à décalages et se retrouvent en parallèle sur les sorties des registres qui correspondent respectivement aux électrodes du panneau à plasma. Un ordre définissant le signal d'inscription ou d'effacement à appliquer aux électrodes actives valide alors les sorties parallèles des registres vers un circuit d'interface basse tension/haute tension.

Selon l'invention, on prévoit d'appliquer à chaque circuit logique un signal indiquant sur quel réseau d'électrodes est utilisé le circuit intégré dont il fait partie, de façon à ce que :

-dans le cas d'une utilisation sur l'un des réseaux, les électrodes actives soient portées au niveau haut par rapport aux électrodes non-actives ;

-dans le cas d'une utilisation sur l'autre réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

Selon l'invention, on réalise des circuits logiques qui satisfont à la table logique suivante :

Strobe	Inv	Bit du registre	Sortie du circuit logique
1	1	état indifférent	état haut
1	0	" "	état bas
0	1	1	état bas
0	1	0	état haut
0	0	1	état haut
0	0	0	état bas

Le signal "Strobe" est une entrée du circuit logique qui par convention lorsqu'elle est à "1" indique qu'un circuit intégré n'est pas sélectionné et lorsqu'elle est à "0" indique qu'un circuit intégré est sélectionné.

Le signal "Inv" est le signal dont il a été question précédemment qui, par convention, lorsqu'il est à "0" indique qu'un circuit intégré est utilisé sur l'un des réseaux d'électrodes, les électrodes en x qui reçoivent V_x dans notre exemple et qui lorsqu'il est à "1" indique qu'un circuit intégré est utilisé sur l'autre réseau d'électrodes, les électrodes en y qui reçoivent V_y dans notre exemple.

Un bit du registre à décalage est, par convention, à l'état 1 si l'on désire activer une électrode et à l'état 0 si l'on ne désire pas activer une électrode.

Sur la figure 6, on a représenté un exemple de réalisation d'un circuit logique selon l'invention.

On a désigné par la référence 1 le registre à décalage à entrée série des données D et à sorties parallèles. Ce registre reçoit un signal d'horloge H. L'acquisition des données dans le registre et l'application d'un ordre aux électrodes du panneau sont dissociés dans le temps. Les données D sont entrées en série dans le registre au rythme de l'horloge d'acquisition des données H. Un bit du registre est réservé à chaque électrode commandée.

Ce circuit logique comporte de façon classique un circuit de décodage et de validation 6 qui, pendant la durée du signal à exécuter, valide ou non les sorties qui vont vers l'interface basse tension/haute tension, BT/HT, référence 5 ; cet interface permet d'appliquer directement aux électrodes des signaux d'amplitude 100 V.

L'accès au panneau se fait donc par segments de points en lignes et en colonnes. Chaque point de ces segments est défini comme actif ou non par un bit d'un registre à décalage.

15 Dans le mode de réalisation de la figure 6, le système de décodage et de validation 6 comporte des circuits ET inversés 2. Chaque circuit 2 est relié à l'une des sorties du registre 1 et à la sortie d'un inverseur 3 qui reçoit le signal Strobe. Cette information est commune à tous les circuits 2 faisant partie du même circuit intégré. Un circuit OU exclusif inversé 4 reçoit la sortie d'un circuit 2 et le signal Inv qui est généralement le même pour un même circuit intégré.

20 Les sorties des circuits OU exclusif inversé 4 sont reliés à l'interface basse tension/haute tension 5.

25 Selon que le circuit intégré est destiné à produire un signal V_x ou V_y , on peut relier en permanence le signal Inv au niveau haut ou au niveau bas.

30 Il est aussi possible si l'on ne désire pas utiliser une broche de chaque circuit intégré pour rentrer l'information Inv de réaliser deux types de circuits intégrés, pour l'un des types l'entrée Inv sera connectée de façon interne au niveau haut et pour l'autre type, la broche Inv sera connectée de façon interne au niveau bas. Lors de la réalisation des circuits intégrés; c'est seulement lors de la réalisation du dernier niveau de masques, qui est le niveau d'interconnexions, qu'existera une différence.

35 Il est également possible de rentrer le signal Inv en série avec les données D. Il faut alors une mémoire pour maintenir ce signal sur l'entrée des circuits 2.

40 On peut bien sûr envisager diverses variantes du schéma de la figure 6 qui satisfont à la table logique établie précédemment.

45 Dans le brevet 2.547.091 déjà cité, il est expliqué comment faire fonctionner un panneau à plasma en mode surimpression ou/et en mode remplacement.

50 Le panneau à plasma muni d'un circuit de commande selon l'invention peut fonctionner selon ces deux modes.

Sur la figure 7, on a représenté de façon schématique un panneau à plasma 7 entouré des circuits intégrés 8 de son circuit de commande. Les amplificateurs associés aux circuits intégrés ne sont pas représentés.

Chaque circuit intégré permet de commander généralement 32 électrodes.

Sur la figure 7, les circuits intégrés commandant l'un des réseaux d'électrodes ont leur broche Inv reliée au niveau bas, c'est-à-dire à la masse du dispositif et les circuits intégrés commandant l'autre réseau d'électrodes ont leur broche Inv reliée au niveau haut, à une tension V_{cc1} .

Le signal "strobe" est propre à chaque circuit intégré. Sur la figure 7, on a représenté les signaux St_{1y} , St_{2y} ... St_{ny} et les St_{1x} , St_{2x} ... St_{nx} .

Les données D_x et D_y et les signaux d'horloge H_x et H_y utilisent une même connexion pour les circuits intégrés d'un même réseau.

Le panneau représenté sur la figure 7 fonctionne en mode surimpression.

Sur la figure 8, on a représenté de façon schématique un panneau à plasma 7 entouré de circuits intégrés 8 dans le cas où l'on désire fonctionner dans le mode remplacement d'images par lignes complètes.

En ce qui concerne les circuits intégrés disposés verticalement qui commandent les lignes du panneau, on retrouve les mêmes connexions que dans le cas de la figure 7. Les entrées Inv sont reliées au niveau haut à V_{cc1} . Les entrées "Strobe" St_{1y} , St_{2y} ... St_{ny} sont propres à chaque circuit intégré, et les données D_y , les signaux d'horloge H_y sont envoyées sur une seule connexion pour tous les circuits intégrés.

En ce qui concerne les circuits intégrés disposés horizontalement qui commandent les colonnes du panneau, on constate les modifications suivantes :

-le signal Inv n'est pas en permanence au niveau haut ou au niveau bas. Le signal Inv est un signal logique commandé ;

-chaque circuit intégré reçoit séparément ses données D_{1x} , D_{2x} ... D_{nx} , par contre le signal d'horloge H_x reste commun aux circuits intégrés reliés à un même réseau d'électrodes ;

-les broches Strobe de tous les circuits intégrés reçoivent le même signal St_x .

Pour effectuer un remplacement d'image comme cela a été expliqué dans le brevet 2.547.091 déjà cité, on procède de la façon suivante :

-on charge les registres à décalages des circuits intégrés commandant les colonnes avec la nouvelle image à afficher ;

5 -simultanément ou non, on charge le registre d'un circuit commandant les lignes avec l'adresse d'une ligne ;

10 -on efface les points complémentaires des points à inscrire en appliquant un signal Inv au niveau haut aux circuits commandant les colonnes en même temps qu'on applique un signal Strobe à 0 ;

15 -on rend simultanément active la ligne sélectionnée en mettant le signal Strobe à 0 ;

20 -immédiatement après, on inscrit la nouvelle image en mettant à 0 les signaux Inv et Strobe des circuits commandant les colonnes en même temps que la ligne sélectionnée est activée.

On réalise ainsi de façon simple un remplacement d'image de tous les points d'une ligne du panneau.

25 Ceci est particulièrement intéressant pour réaliser une gestion de l'image de type vidéo.

Un petit nombre de signaux permet de réaliser la commande du panneau.

30 Un seul signal individuel est nécessaire par circuit intégré : le signal données D_{ix} pour les circuits commandant les colonnes et le signal Strobe pour les circuits commandant les lignes.

Comme cela avait été exposé dans le brevet cité, on peut réaliser ainsi des effacements et des inscriptions rapprochées.

35

Revendications

40 1. Circuit de commande d'un panneau à plasma de type alternatif, assurant l'élaboration des signaux d'entretien, et des signaux sélectifs, d'inscription et d'effacement du panneau, ces signaux étant appliqués entre deux électrodes appartenant à un premier et un second réseaux d'électrodes orthogonaux, ce circuit de commande comportant des circuits intégrés munis notamment d'un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif ;

50 caractérisé en ce que :

-les mêmes circuits intégrés (8) sont utilisés pour le premier et le second réseaux d'électrodes ;

55 -sur le premier réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs et trans-

mettent la tension de référence (0 V) des signaux d'entretien ;

-sur le second réseau, les circuits intégrés, participent à l'élaboration des signaux sélectifs, transmettent la tension en créneaux des signaux d'entretien et leur tension de référence est flottante, c'est-à-dire qu'elle suit les signaux d'entretien et que, lors de l'élaboration des signaux sélectifs, elle suit le potentiel de plus bas qu'il soit possible d'appliquer aux électrodes ;

-les circuits logiques (6) reçoivent un signal (Inv) indiquant si le circuit intégré (8) est utilisé sur le premier ou sur le second réseaux d'électrodes, de façon à ce que dans le cas d'une utilisation sur le premier réseau, les électrodes actives soient portées au niveau haut par rapport aux électrodes non-actives et dans le cas d'une utilisation sur le second réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

2. Circuit selon la revendication 1, caractérisé en ce que le niveau haut égale + 100 Volts.

3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que les circuits logiques (6) satisfont à la table logique suivante où :

-le signal "Strobe" est une entrée du circuit logique qui par convention lorsqu'elle est à "1" indique que le circuit intégré n'est pas sélectionné et lorsqu'elle est à "0" indique que le circuit intégré est sélectionné ;

-le signal "Inv" est le signal reçu par le circuit logique qui par convention à "0" indique que le circuit intégré est utilisé sur le premier réseau d'électrodes et à "1" indique que le circuit intégré est utilisé sur le second réseau d'électrodes ;

-un bit du registre à décalages (1) faisant partie du circuit logique est, par convention, à l'état 1 si l'on désire activer une électrode et à l'état 0 si l'on ne désire pas activer une électrode.

25

Strobe	Inv	Bit du registre	Sortie du circuit logique
1	1	état indifférent	état haut
1	0	" "	état bas
0	1	1	état bas
0	1	0	état haut
0	0	1	état haut
0	0	0	état bas

4. Circuit selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte deux types de circuits intégrés dans lesquels ledit signal (Inv) appliqué aux circuits logiques est appliqué de façon interne.

5. Circuit selon l'une des revendications 1 à 3, caractérisé en ce que ledit signal (Inv) est appliqué aux circuits logiques, multiplexé avec les données qui sont entrées dans le registre.

6. Circuit selon l'une des revendications 3 à 5, caractérisé en ce que chaque circuit logique comporte un circuit de décodage et de validation (6) avec :

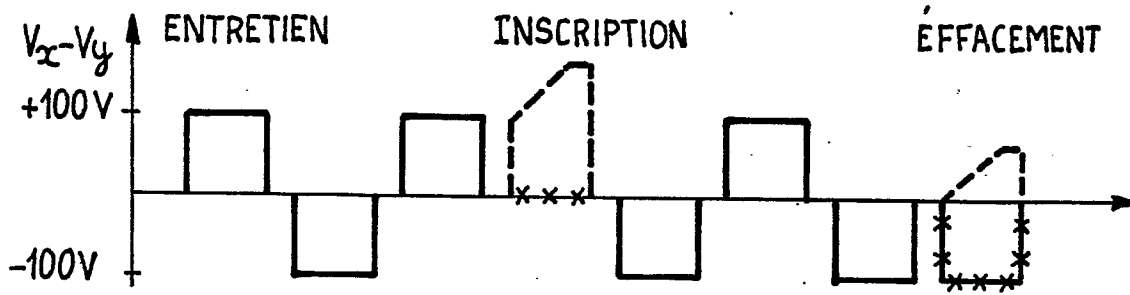
-un circuit ET inversé (2), relié à l'une des sorties du registre et à la sortie d'un inverseur (3) qui reçoit le signal Strobe ;

-un circuit OU exclusif inversé (4) qui reçoit la sortie d'un circuit ET inversé (2) et le signal Inv.

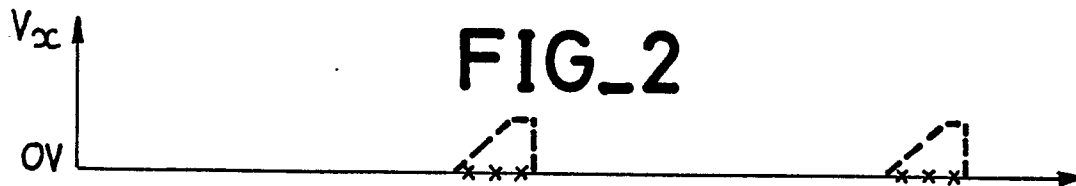
50

55

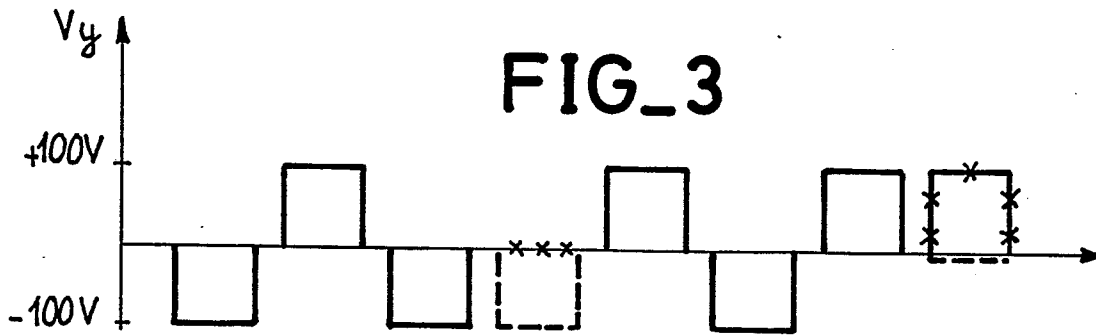
FIG_1



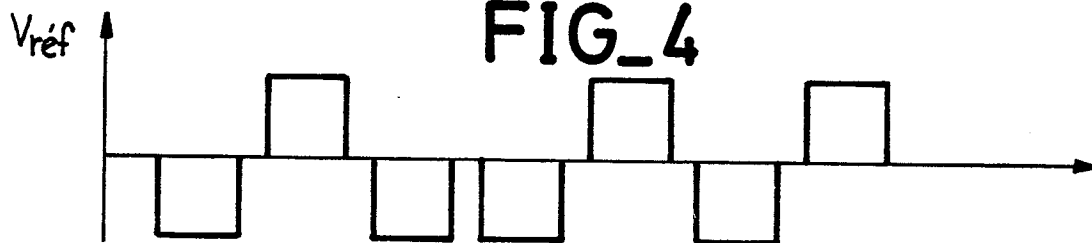
FIG_2



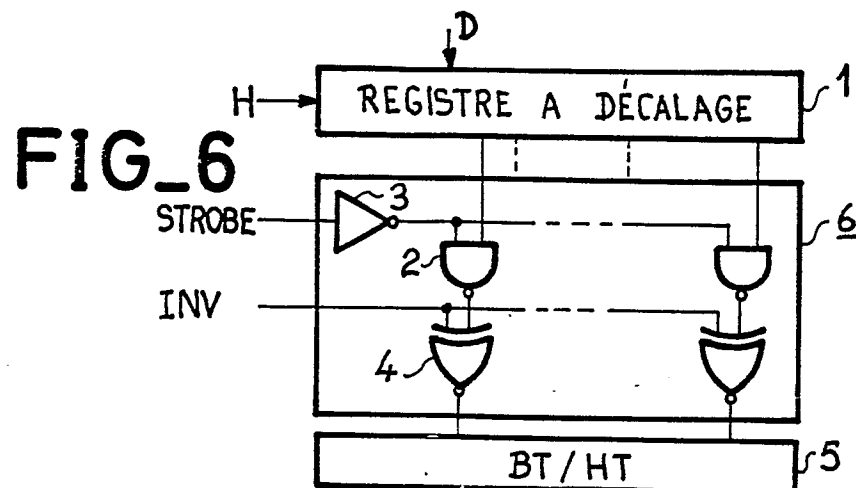
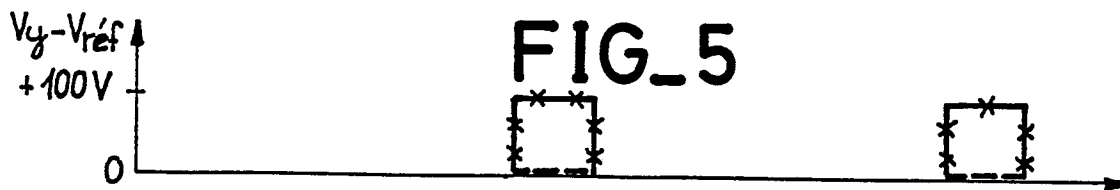
FIG_3



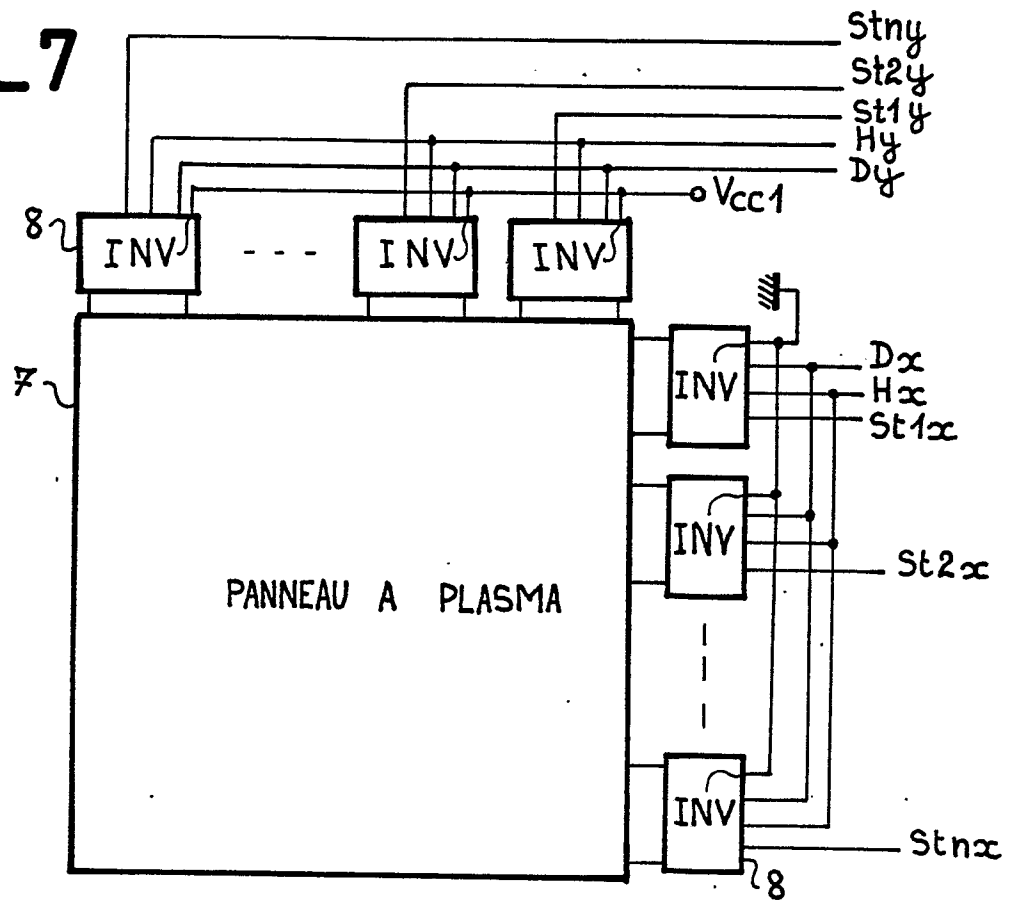
FIG_4



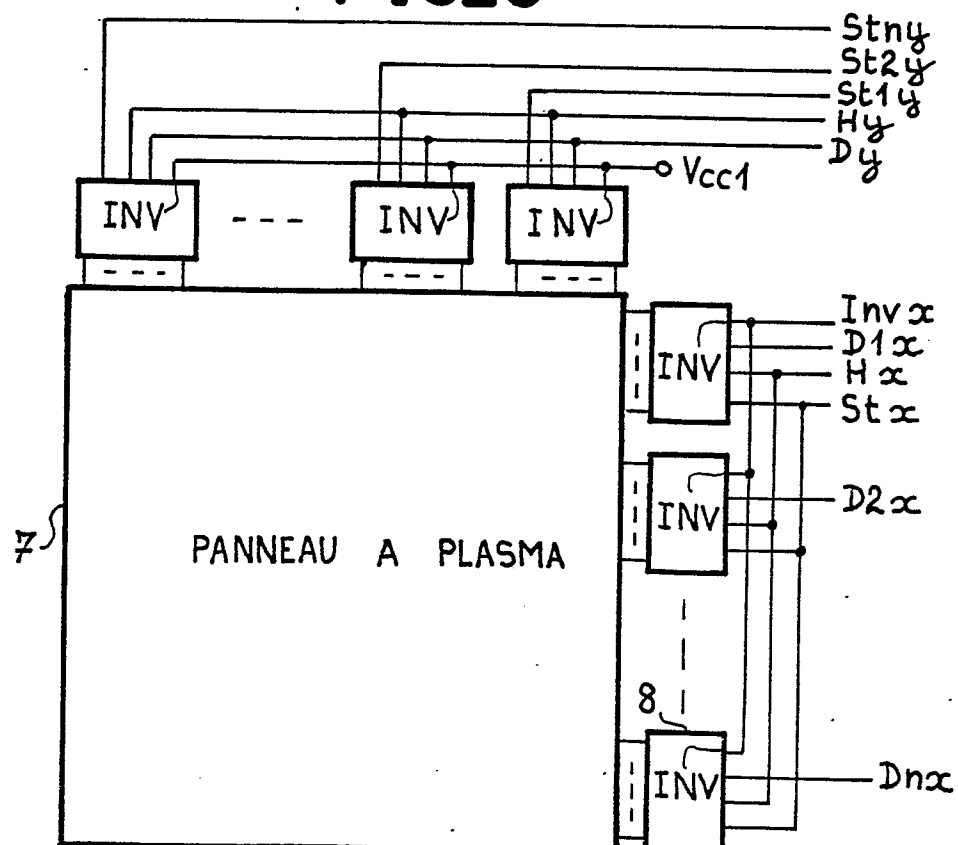
FIG_5



FIG_7



FIG_8





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 86 40 0450

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
A, D	FR-A-2 547 091 (THOMSON-CSF) * Figures 1-6; page 5, ligne 27 - page 11, ligne 2 * -----	1, 2	G 09 G 3/28
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
			G 09 G 3/28
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 02-07-1986	Examineur VAN ROOST L.L.A.
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			
T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			