

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication:

**0 197 809
B1**

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication du fascicule du brevet:
26.04.89

(51) Int. Cl.⁴: **G09G 3/28**

(21) Numéro de dépôt: **86400450.2**

(22) Date de dépôt: **04.03.86**

(54) **Circuit de commande d'un panneau à plasma de type alternatif.**

(30) Priorité: **05.03.85 FR 8503227**

(43) Date de publication de la demande:
15.10.86 Bulletin 86/42

(45) Mention de la délivrance du brevet:
26.04.89 Bulletin 89/17

(84) Etats contractants désignés:
DE GB NL

(56) Documents cités:
FR-A- 2 547 091

(73) Titulaire: **THOMSON-CSF, 173, Boulevard Haussmann,
F-75379 Paris Cédex 08(FR)**

(72) Inventeur: **Delgrange, Louis, THOMSON-CSF
SCPI 19, avenue de Messine, F-75008 Paris(FR)**
Inventeur: **Specty, Michel, THOMSON-CSF
SCPI 19, avenue de Messine, F-75008 Paris(FR)**
Inventeur: **Vialettes, Françoise, THOMSON-CSF
SCPI 19, avenue de Messine, F-75008 Paris(FR)**

(74) Mandataire: **Mayeux, Michèle et al, THOMSON-CSF
SCPI, F-92045 PARIS LA DEFENSE CEDEX 67(FR)**

EP 0 197 809 B1

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition (Art. 99(1) Convention sur le brevet européen).

Description

La présente invention concerne un circuit de commande d'un panneau à plasma de type alternatif.

Les panneaux à plasma de type alternatif sont bien connus de l'art antérieur.

Par les demandes de brevet n° 8 119 941 et n° 8 309 289, publiées sous les numéros 2 515 402 et 2 547 091, au nom de THOMSON-CSF, on connaît des circuits de commande de panneaux à plasma de type alternatif. Ces circuits de commande utilisent des circuits intégrés qui sont différents pour chacun des deux réseaux d'électrodes du panneau. Ainsi sur la figure 1 du premier brevet cité, on a désigné par la référence X les circuits intégrés reliés aux électrodes x_1 à x_n du panneau et par la référence Y les circuits intégrés reliés aux électrodes y_1 à y_n .

De même, on connaît, par exemple par l'article de la revue "Electronique et Applications Industrielles" n° 276, du 15 Novembre 1979, pages 26 à 28, qui est intitulé "Les circuits de commande d'afficheurs à panneau à plasma", des circuits intégrés de commande de panneaux à plasma, fabriqués par Texas Instruments. Il s'agit des circuits SN 75 500 N et SN 75 501 N. Le circuit SN 75500 N est destiné à commander les colonnes du panneau et le circuit SN 75501 N est destiné à commander les lignes du panneau. Il est bien connu des spécialistes que le circuit SN 75 501 N peut être utilisé pour commander les lignes et les colonnes. Mais comme ce circuit n'est pas prévu pour cet usage, cela pose des problèmes, de signaux de commande notamment.

La présente invention propose un circuit intégré conçu pour fonctionner avec les deux réseaux d'électrodes du panneau, sans complication des commandes, et qui ne présente donc pas les inconvénients du circuit Texas SN 75 501 N.

La présente invention concerne un circuit de commande d'un panneau à plasma de type alternatif, assurant l'élaboration des signaux d'entretien, et des signaux sélectifs, d'inscription et d'effacement du panneau, ces signaux étant appliqués entre deux électrodes appartenant à un premier et un second réseaux d'électrodes orthogonaux, ce circuit de commande comportant des circuits intégrés munis notamment d'un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif; caractérisé en ce que:

- les mêmes circuits intégrés sont utilisés pour le premier et le second réseau d'électrodes;
- sur le premier réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs et transmettent la tension de référence des signaux d'entretien;
- sur le second réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs, transmettent la tension en crêteaux des signaux d'entretien et leur tension de référence est flottante, c'est-à-dire qu'elle suit les signaux d'entretien et que, lors de l'élaboration des signaux sélectifs, elle suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes;
- les circuits logiques reçoivent un signal indiquant

si le circuit intégré est utilisé sur le premier ou sur le second réseaux d'électrodes, de façon à ce que dans le cas d'une utilisation sur le premier réseau, les électrodes actives soient portées au niveau haut par rapport aux électrodes non-actives, et dans le cas d'une utilisation sur le second réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

D'autres objets, caractéristiques et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif et illustrée par les figures annexées qui représentent:

- les figures 1 à 5, des signaux de commande du panneau;
- la figure 6, le schéma d'un mode de réalisation d'un circuit logique selon l'invention.
- les figures 7 à 8, deux modes de réalisation de l'organisation d'un panneau à plasma et des circuits associés.

Sur les différentes figures, les mêmes repères désignent les mêmes éléments, mais, pour des raisons de clarté, les cotes et proportions des divers éléments ne sont pas respectées.

Sur la figure 1, on a représenté les signaux d'entretien d'inscription et d'effacement qui sont appliqués aux cellules du panneau.

Les panneaux à plasma comportent un grand nombre de cellules disposées sous forme matricielle. Chaque cellule est constituée par l'espace gazeux situé à l'intersection de deux électrodes appartenant aux deux réseaux d'électrodes orthogonaux du panneau. Chaque cellule se trouve soumise à des signaux de commande $V_x - V_y$, représentés sur la figure 1, et constitués par la différence des tensions V_x et V_y appliquées aux deux électrodes entre lesquelles elle se trouve.

En ce qui concerne les signaux d'inscription et d'effacement, sur la figure 1, on a représenté en pointillés les signaux $V_x - V_y$ qu'il faut appliquer pour inscrire ou effacer une cellule et on a représenté par des astérisques les signaux $V_x - V_y$ à appliquer aux cellules qui ne doivent pas être inscrites, ni effacées. Sur les figures 2 à 5, on a également utilisé ces deux modes de représentation pour les signaux sélectifs.

Sur les figures 2 et 3, on a représenté les signaux V_x et V_y qui sont appliqués à chacun des réseaux d'électrodes pour obtenir les signaux $V_x - V_y$ de la figure 1.

Sur la figure 2, on voit que les signaux V_x participent à l'élaboration des signaux sélectifs d'inscription et d'effacement et transmettent la tension de référence des signaux d'entretien c'est-à-dire du 0 V sur la figure 2.

Sur la figure 3, on voit que les signaux V_y participent à l'élaboration des signaux sélectifs d'inscription et d'effacement et transmettent la tension en crêteaux des signaux d'entretien.

On pourrait intervertir les signaux V_x et V_y .

Les signaux d'entretien ne sont pas produits par les circuits intégrés mais par des amplificateurs externes aux circuits intégrés. Les circuits intégrés ne font que transmettre les signaux d'entretien.

Dans le cas des signaux V_x et V_y qui sont représentés sur les figures 2 et 3, on constate que les circuits intégrés associés à l'un des réseaux d'électrodes, ce sont les électrodes en y, transmettent la totalité des signaux d'entretien alors que les circuits intégrés associés à l'autre réseau d'électrodes, ce sont les électrodes en x, transmettent uniquement la tension de référence des signaux d'entretien.

Les circuits intégrés selon l'invention sont réalisés de façon à pouvoir supporter une tension de 100 Volts. On est donc conduit pour obtenir le signal V_y qui évolue entre -100 V et $+100$ V à utiliser une tension de référence flottante $V_{réf}$ qui suit les signaux d'entretien qui évoluent également entre -100 V et $+100$ V.

Cette tension de référence flottante $V_{réf}$ est représentée sur la figure 4. On constate, par rapport à la tension V_y de la figure 3, que $V_{réf}$ suit les signaux d'entretien et que lors de l'élaboration des signaux sélectifs, la tension $V_{réf}$ suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes.

Sur la figure 5, on a représenté la tension $V_y - V_{réf}$ qui évolue entre 0 et 100 V.

La comparaison des figures 2 et 5 montre que:
 - pour le signal V_x , les électrodes actives, c'est-à-dire qui doivent être inscrites ou effacées, sont portées à $+100$ V au-dessus du niveau des électrodes qui ne sont pas modifiées;
 - alors que pour le signal $(V_y - V_{réf})$, ce sont les électrodes non modifiées qui sont portées à $+100$ V au-dessus des électrodes actives.

Dans les deux brevets THOMSON-CSF cités, le circuit de commande d'un panneau à plasma comporte des circuits intégrés associés à des amplificateurs pour l'élaboration des signaux d'entretien et chaque circuit intégré comporte notamment un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif.

Sur les figures 2 et 3 du brevet THOMSON-CSF 2 515 402 on a représenté la structure générale des circuits utilisés.

Sur la figure 2 du brevet français 2 547 091, on a représenté la structure d'un circuit logique faisant partie d'un circuit intégré.

Chaque circuit logique se compose essentiellement de registres à décalages à entrée série et sorties parallèles et d'un système de décodage et de validation. De ce fait, les données ou adresses logiques désignant les électrodes actives et non-actives sont entrées en série dans les registres à décalages et se retrouvent en parallèle sur les sorties des registres qui correspondent respectivement aux électrodes du panneau à plasma. Un ordre définissant le signal d'inscription ou d'effacement à appliquer aux électrodes actives valide alors les sorties parallèles des registres vers un circuit d'interface basse tension/haute tension.

Selon l'invention, on prévoit d'appliquer à chaque circuit logique un signal indiquant sur quel réseau d'électrodes est utilisé le circuit intégré dont il fait partie, de façon à ce que:

- dans le cas d'une utilisation sur l'un des réseaux, les électrodes actives soient portées au niveau

haut par rapport aux électrodes non-actives;

- dans le cas d'une utilisation sur l'autre réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

Selon l'invention, on réalise des circuits logiques qui satisfont à la table logique suivante:

Strobe	Inv	Bit du registre	Sortie du circuit logique
1	1	état indifférent	état haut
1	0	état indifférent	état bas
0	1	1	état bas
0	1	0	état haut
0	0	1	état haut
0	0	0	état bas

Le signal "Strobe" est une entrée du circuit logique qui par convention lorsqu'elle est à "1" indique qu'un circuit intégré n'est pas sélectionné et lorsqu'elle est à "0" indique qu'un circuit intégré est sélectionné.

Le signal "Inv" est le signal dont il a été question précédemment qui, par convention, lorsqu'il est à "0" indique qu'un circuit intégré est utilisé sur l'un des réseaux d'électrodes, les électrodes en x qui reçoivent V_x dans notre exemple et qui lorsqu'il est à "1" indique qu'un circuit intégré est utilisé sur l'autre réseau d'électrodes, les électrodes en y qui reçoivent V_y dans notre exemple.

Un bit du registre à décalage est, par convention, à l'état 1 si l'on désire activer une électrode et à l'état 0 si l'on ne désire pas activer une électrode.

Sur la figure 6, on a représenté un exemple de réalisation d'un circuit logique selon l'invention.

On a désigné par la référence 1 le registre à décalage à entrée série des données D et à sorties parallèles. Ce registre reçoit un signal d'horloge H. L'acquisition des données dans le registre et l'application d'un ordre aux électrodes du panneau sont dissociés dans le temps. Les données D sont entrées en série dans le registre au rythme de l'horloge d'acquisition des données H. Un bit du registre est réservé à chaque électrode commandée.

Ce circuit logique comporte de façon classique un circuit de décodage et de validation 6 qui, pendant la durée du signal à exécuter, valide ou non les sorties qui vont vers l'interface basse tension/haute tension, BT/HT, référence 5; cet interface permet d'appliquer directement aux électrodes des signaux d'amplitude 100 V.

L'accès au panneau se fait donc par segments de points en lignes et en colonnes. Chaque point de ces segments est défini comme actif ou non par un bit d'un registre à décalage.

Dans le mode de réalisation de la figure 6, le système de décodage et de validation 6 comporte des circuits ET inversés 2. Chaque circuit 2 est relié à l'une des sorties du registre 1 et à la sortie d'un inverseur 3 qui reçoit le signal Strobe. Cette information est commune à tous les circuits 2 faisant partie du même circuit intégré. Un circuit OU exclusif in-

versé 4 reçoit la sortie d'un circuit 2 et le signal Inv qui est généralement le même pour un même circuit intégré.

Les sorties des circuits OU exclusif inversé 4 sont reliés à l'interface basse tension/haute tension 5.

Selon que le circuit intégré est destiné à produire un signal V_x ou V_y , on peut relier en permanence le signal Inv au niveau haut ou au niveau bas.

Il est aussi possible si l'on ne désire pas utiliser une broche de chaque circuit intégré pour rentrer l'information Inv de réaliser deux types de circuits intégrés, pour l'un des types l'entrée Inv sera connectée de façon interne au niveau haut et pour l'autre type, la broche Inv sera connectée de façon interne au niveau bas. Lors de la réalisation des circuits intégrés; c'est seulement lors de la réalisation du dernier niveau de masques, qui est le niveau d'interconnexions, qu'existera une différence.

Il est également possible de rentrer le signal Inv en série avec les données D. Il faut alors une mémoire pour maintenir ce signal sur l'entrée des circuits 2.

On peut bien sûr envisager diverses variantes du schéma de la figure 6 qui satisfont à la table logique établie précédemment.

Dans le brevet 2 547 091 déjà cité, il est expliqué comment faire fonctionner un panneau à plasma en mode surimpression ou/et en mode remplacement.

Le panneau à plasma muni d'un circuit de commande selon l'invention peut fonctionner selon ces deux modes.

Sur la figure 7, on a représenté de façon schématique un panneau à plasma 7 entouré des circuits intégrés 8 de son circuit de commande. Les amplificateurs associés aux circuits intégrés ne sont pas représentés.

Chaque circuit intégré permet de commander généralement 32 électrodes.

Sur la figure 7, les circuits intégrés commandant l'un des réseaux d'électrodes ont leur broche Inv reliée au niveau bas, c'est-à-dire à la masse du dispositif et les circuits intégrés commandant l'autre réseau d'électrodes ont leur broche Inv reliée au niveau haut, à une tension V_{cc1} .

Le signal "strobe" est propre à chaque circuit intégré. Sur la figure 7, on a représenté les signaux $St1y, St2y... Stny$ et les $St1x, St2x... Stnx$.

Les données D_x et D_y et les signaux d'horloge H_x et H_y utilisent une même connexion pour les circuits intégrés d'un même réseau.

Le panneau représenté sur la figure 7 fonctionne en mode surimpression.

Sur la figure 8, on a représenté de façon schématique un panneau à plasma 7 entouré de circuits intégrés 8 dans le cas où l'on désire fonctionner dans le mode remplacement d'images par lignes complètes.

En ce qui concerne les circuits intégrés disposés verticalement qui commandent les lignes du panneau, on retrouve les mêmes connexions que dans le cas de la figure 7. Les entrées Inv sont reliées au niveau haut à V_{cc1} . Les entrées "Strobe" $St1y, St2y... Stny$ sont propres à chaque circuit intégré, et les données D_y , les signaux d'horloge H_y sont envoyées sur une seule connexion pour tous les cir-

cuits intégrés.

En ce qui concerne les circuits intégrés disposés horizontalement qui commandent les colonnes du panneau, on constate les modifications suivantes:

5 – le signal Inv n'est pas en permanence au niveau haut ou au niveau bas. Le signal Inv est un signal logique commandé;

10 – chaque circuit intégré reçoit séparément ses données $D_{1x}, D_{2x}... D_{nx}$, par contre le signal d'horloge H_x reste commun aux circuits intégrés reliés à un même réseau d'électrodes;

– les broches Strobe de tous les circuits intégrés reçoivent le même signal St_x .

15 Pour effectuer un remplacement d'image comme cela a été expliqué dans le brevet 2 547 091 déjà cité, on procède de la façon suivante:

– on charge les registres à décalages des circuits intégrés commandant les colonnes avec la nouvelle image à afficher;

20 – simultanément ou non, on charge le registre d'un circuit commandant les lignes avec l'adresse d'une ligne;

25 – on efface les points complémentaires des points à inscrire en appliquant un signal Inv au niveau haut aux circuits commandant les colonnes en même temps qu'on applique un signal Strobe à 0;

– on rend simultanément active la ligne sélectionnée en mettant le signal Strobe à 0;

30 – immédiatement après, on inscrit la nouvelle image en mettant à 0 les signaux Inv et Strobe des circuits commandant les colonnes en même temps que la ligne sélectionnée est activée.

On réalise ainsi de façon simple un remplacement d'image de tous les points d'une ligne du panneau.

35 Ceci est particulièrement intéressant pour réaliser une gestion de l'image de type vidéo.

Un petit nombre de signaux permet de réaliser la commande du panneau.

40 Un seul signal individuel est nécessaire par circuit intégré: le signal données D_{ix} pour les circuit commandant les colonnes et le signal Strobe pour les circuits commandant les lignes.

45 Comme cela avait été exposé dans le brevet cité, on peut réaliser ainsi des effacements et des inscriptions rapprochées.

Revendications

1. Circuit de commande d'un panneau à plasma de type alternatif, assurant l'élaboration des signaux d'entretien, et des signaux sélectifs, d'inscription et d'effacement du panneau, ces signaux étant appliqués entre deux électrodes appartenant à un premier et un second réseaux d'électrodes orthogonaux, ce circuit de commande comportant des circuits intégrés munis notamment d'un circuit logique définissant le signal à exécuter, sa durée et les électrodes sur lesquelles ce signal sera actif; caractérisé en ce que:

60 – les mêmes circuits intégrés (8) sont utilisés pour le premier et le second réseaux d'électrodes;

65 – sur le premier réseau, les circuits intégrés participent à l'élaboration des signaux sélectifs et transmettent la tension de référence (O V) des signaux d'entretien;

– sur le second réseau, les circuits intégrés, participent à l'élaboration des signaux sélectifs, transmettent la tension en créneaux des signaux d'entretien et leur tension de référence est flottante, c'est-à-dire qu'elle suit les signaux d'entretien et que, lors de l'élaboration des signaux sélectifs, elle suit le potentiel le plus bas qu'il soit possible d'appliquer aux électrodes;

– les circuits logiques (6) reçoivent un signal (Inv) indiquant si le circuit intégré (8) est utilisé sur le premier ou sur le second réseaux d'électrodes, de façon à ce que dans le cas d'une utilisation sur le premier réseau, les électrodes actives soient portées au niveau haut par rapport aux électrodes non-actives et dans le cas d'une utilisation sur le second réseau, les électrodes non-actives soient portées au niveau haut par rapport aux électrodes actives.

2. Circuit selon la revendication 1, caractérisé en ce que le niveau haut égale +100 Volts.

3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que les circuits logiques (6) satisfont à la table logique suivante où:

– le signal "Strobe" est une entrée du circuit logique qui par convention lorsqu'elle est à "1" indique que le circuit intégré n'est pas sélectionné et lorsqu'elle est à "0" indique que le circuit intégré est sélectionné;

– le signal "Inv" est le signal reçu par le circuit logique qui par convention à "0" indique que le circuit intégré est utilisé sur le premier réseau d'électrodes et à "1" indique que le circuit intégré est utilisé sur le second réseau d'électrodes;

– un bit du registre à décalages (1) faisant partie du circuit logique est, par convention, à l'état 1 si l'on désire activer une électrode et à l'état 0 si l'on ne désire pas activer une électrode.

Strobe	Inv	Bit du registre	Sortie du circuit logique
1	1	état indifférent	état haut
1	0	état indifférent	état bas
0	1	1	état bas
0	1	0	état haut
0	0	1	état haut
0	0	0	état bas

4. Circuit selon l'une des revendications 1 à 3, caractérisé en ce qu'il comporte deux types de circuits intégrés dans lesquels ledit signal (Inv) appliqué aux circuits logiques est appliqué de façon interne.

5. Circuit selon l'une des revendications 1 à 3, caractérisé en ce que ledit signal (Inv) est appliqué aux circuits logiques, multiplexé avec les données qui sont entrées dans le registre.

6. Circuit selon l'une des revendications 3 à 5, caractérisé en ce que chaque circuit logique comporte un circuit de décodage et de validation (6) avec:

– un circuit ET inversé (2), relié à l'une des sorties du registre et à la sortie d'un inverseur (3)

qui reçoit le signal Strobe;

– un circuit OU exclusif inversé (4) qui reçoit la sortie d'un circuit ET inversé (2) et le signal Inv.

5 Patentansprüche

1. Steuervorrichtung für einen Plasmaschirm vom Wechselspannungstyp, welche die Bildung der Auffrischsignale sowie der Selektions-, der Einschreib- und der Löschnsignale für den Schirm gewährleistet, wobei diese Signale zwischen zwei Elektroden angelegt werden, welche zu einem ersten sowie einem zweiten Elektrodennetzwerk gehören, die zueinander orthogonal sind, und wobei diese Steuervorrichtung integrierte Schaltungen umfaßt, welche insbesondere mit einer Logikschaltung versehen sind, die das auszuführende Signal, seine Dauer sowie die Elektroden, an welchen dieses Signal wirksam sein soll, definiert, dadurch gekennzeichnet, daß:

– dieselben integrierten Schaltungen (8) für das erste sowie für das zweite Elektrodennetzwerk verwendet werden;

– die integrierten Schaltungen haben bei dem ersten Netzwerk Anteil an der Bildung der Selektionssignale und übertragen die Referenzspannung (0 V) der Auffrischsignale;

– an dem zweiten Netzwerk haben die integrierten Schaltungen Anteil an der Bildung der Selektionssignale, übertragen die Rechteckspannung der Auffrischsignale, und deren Referenzspannung ist schwimmend, d.h. sie folgt den Auffrischsignalen und nimmt während der Bildung der Selektionssignale das niedrigstmögliche Potential an, das an die Elektroden angelegt werden kann;

– die Logikschaltungen (6) empfangen ein Signal (Inv), das anzeigt, ob die integrierte Schaltung für das erste Elektrodennetzwerk oder für das zweite Elektrodennetzwerk verwendet wird, so daß im Falle einer Verwendung für das erste Netzwerk die aktiven Elektroden in Bezug auf die inaktiven Elektroden auf ein hohes Potential gebracht werden und im Falle einer Verwendung für das zweite Netzwerk die inaktiven Elektroden in Bezug auf die aktiven Elektroden auf ein hohes Niveau gebracht werden.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß das hohe Potential gleich +100 Volt ist.

3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Logikschaltungen (6) der folgenden Logiktableau genügen, worin:

– das Signal "Strobe" ein Eingang der Logikschaltung ist, welcher vereinbarungsgemäß anzeigt, daß die integrierte Schaltung nicht selektiert ist, wenn er sich auf "1" befindet, und daß die integrierte Schaltung selektiert ist, wenn er sich auf "0" befindet;

– das Signal "Inv" das von der Logikschaltung empfangene Signal ist, welches vereinbarungsgemäß mit "0" anzeigt, daß die integrierte Schaltung für das erste Elektrodennetzwerk verwendet wird, und mit "1", daß die integrierte Schaltung für das zweite Elektrodennetzwerk verwendet wird;

– ein Bit des Schieberegisters (1), das der Logikschaltung angehört, vereinbarungsgemäß auf "1"

ist, wenn die Aktivierung einer Elektrode erwünscht ist, und auf "0" ist, wenn die Aktivierung einer Elektrode unerwünscht ist:

Strobe	Inv	Registerbit	Ausgang der Logikschaltung
1	1	beliebiger Zustand	Hoher Zustand
1	0	beliebiger Zustand	Tiefer Zustand
0	1	1	Tiefer Zustand
0	1	0	Hoher Zustand
0	0	1	Hoher Zustand
0	0	0	Tiefer Zustand

4. Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß sie zwei Arten von integrierten Schaltungen umfaßt, in welchen dieses an die Logikschaltungen angelegte Signal (Inv) auf interne Weise angewandt wird.

5. Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß dieses Signal (Inv) an die Logikschaltungen mit den in das Register eingegebenen Daten multiplexiert angelegt wird.

6. Schaltung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß jede Logikschaltung eine Schaltung (6) zum Dekodieren und zur Freigabe umfaßt, mit:

- einer NAND-Schaltung (2), welche mit einem der Ausgänge des Registers sowie mit dem Ausgang eines das Signal Strobe empfangenden Inverters (3) verbunden ist;
- einer Exklusiv-NOR-Schaltung (4), welche das Ausgangssignal einer NAND-Schaltung (2) sowie das Signal Inv empfängt.

Claims

1. A control circuit for a plasma panel of the alternative type, ensuring the processing of hold signals and of select signals, for writing on and deleting from the panel, such signals being applied between two electrodes belonging to a first and to a second network of electrodes placed at a right angle, said control circuit comprising integrated circuits provided more especially with a logic circuit defining the signal to be executed, the duration thereof and the electrodes on which this signal is to be active; characterized in that:

- the same integrated circuits (8) are utilized for the first and also the second electrode networks;
- in the first network the integrated circuits participate in the processing of select signals and transmit the reference voltage (0 V) of hold signals;
- in the second network the integrated circuits participate in the processing of the select signals, transmit the voltage as gating pulses of the hold signals and their reference voltage floats, that is to say it follows the hold signals and at the time of processing of the select signals, it follows the lowest potential it is possible to apply to the electrodes;

– the logic circuits (6) receive a signal (Inv) indicating if the integrated circuit (8) is utilized on the first or on the second electrode network in such a manner that in the case of utilization on the first network, the active electrodes are put at the high level in relation to the nonactive electrodes and in the case of utilization on the second network, the nonactive electrodes are put at the high level in relation to the active electrodes.

2. The circuit as claimed in claim 1, characterized in that the high level is equal to + 100 volts.

3. The circuit as claimed in claim 1 or claim 2, characterized in that the logic circuits (6) satisfy the following logic table:

- the "strobe" signal is an input of the logic circuit, which by convention, if it is at "1", indicates that the integrated circuit is not selected and if it is at "0" indicates that the integrated circuit is selected;
- the "Inv" signal is the signal received by the logic circuit, which by convention at "0" indicates that the integrated circuit is utilized on the first electrode network and at "1" indicates that the integrated circuit is utilized on the second electrode network;
- one bit from the shift register (1) forming part of the logic circuit is by convention in the state 1 if an electrode is to be activated and is in the state 0 if an electrode is not to be activated.

Strobe	Inv	Register bit	Output of logic circuit
1	1	indifferent state	high
1	0	indifferent state	low
0	1	1	low
0	1	0	high
0	0	1	high
0	0	0	low

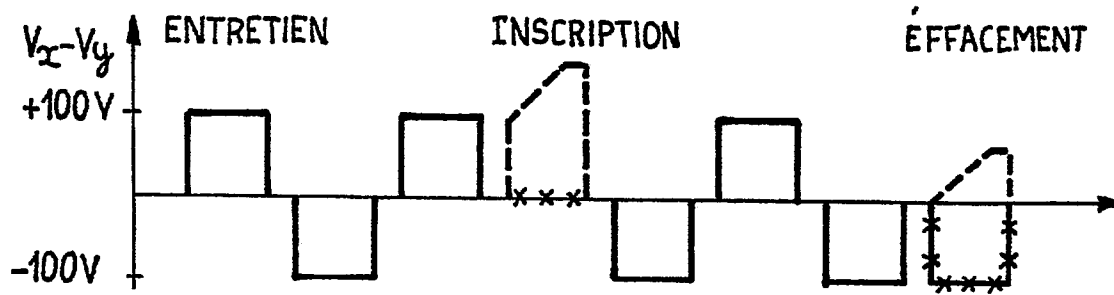
4. The circuit as claimed in any one of the claims 1 through 3, characterized in that it comprises two types of integrated circuits in which the said signal (Inv) applied to the logic circuits is applied in an internal manner.

5. The circuit as claimed in any one of the claims 1 through 3, characterized in that the said signal (Inv) is applied to the logic circuits, multiplexed with the data which are entered in the register.

6. The circuit as claimed in any one of the claims 3 through 5, characterized in that the each logic circuit comprises a decoding and validation circuit (6) comprising:

- an inverting AND circuit ET (2) connected with one of the outputs of the register and at the output of an inverter (3) which receives the strobe signal;
- and an exclusive inverting OR circuit (4) which receives the output of an inverting AND circuit (2) and the Inv signal.

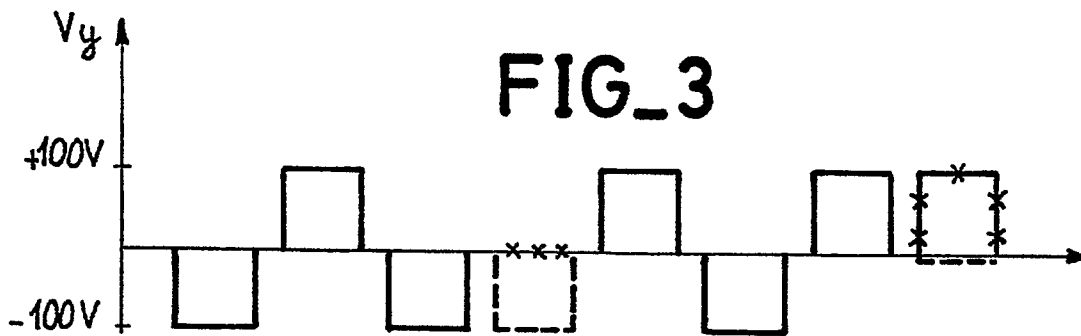
FIG_1



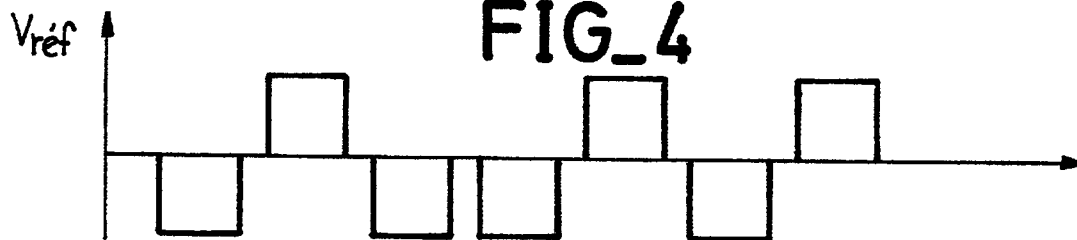
FIG_2



FIG_3



FIG_4



FIG_5

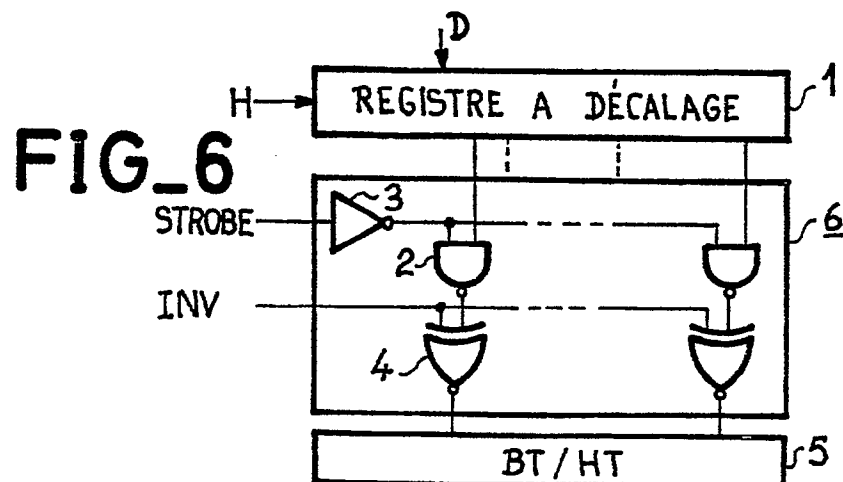
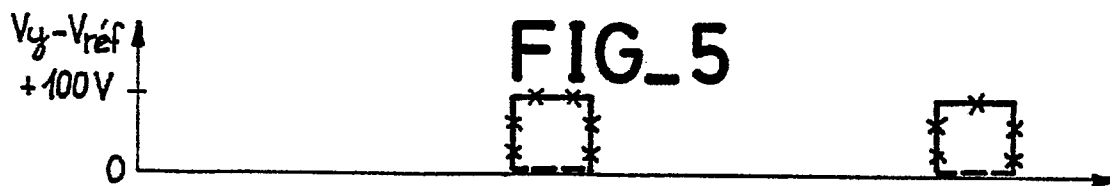


FIG. 7

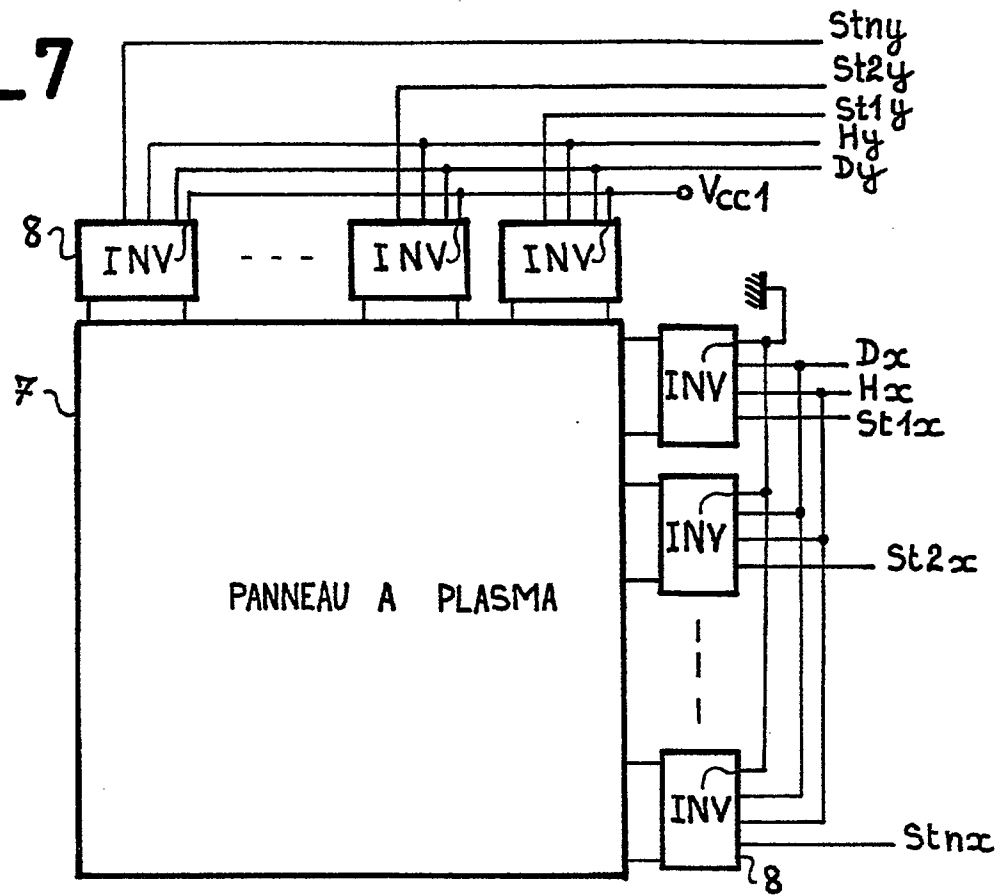


FIG. 8

