

⑫

DEMANDE DE BREVET EUROPEEN

⑳ Numéro de dépôt: **87400711.5**

⑤① Int. Cl.4: **G 09 G 1/28**

G 09 G 1/16, G 09 G 1/14

㉑ Date de dépôt: **01.04.87**

③① Priorité: **21.04.86 FR 8605682**

⑦① Demandeur: **BULL S.A.**
121 avenue de Malakoff P.B. 193.16
F-75764 Paris Cédex 16 (FR)

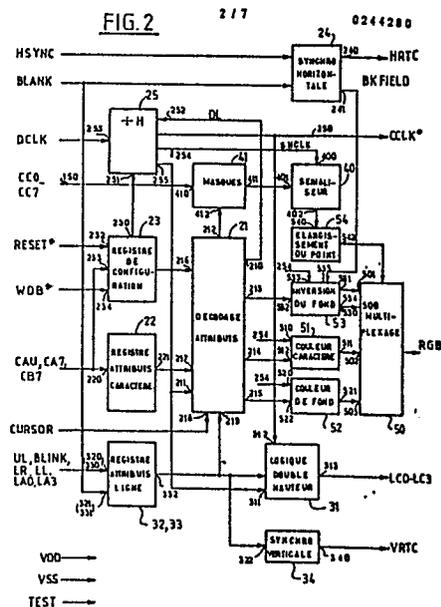
④③ Date de publication de la demande:
04.11.87 Bulletin 87/45

⑦② Inventeur: **Lecourtier, Georges**
33 bis, rue du Champ Lagarde
F-78000 Versailles (FR)

⑥④ Etats contractants désignés: **DE ES GB IT NL**

⑤④ **Décodeur d'attributs vidéo pour affichage couleur ou monochrome en mode vidéotex ou en mode alphanumérique à haute définition.**

⑤⑦ La présente invention concerne un décodeur d'attributs vidéo pour affichage couleur ou monochrome en mode alphanumérique à haute définition ou en mode vidéotex avec dans le mode vidéotex le choix entre le mode alphanumérique ou le mode semigraphique, comportant un circuit d'horloge (25), un registre de configuration (23), un registre d'attributs de caractères (22), un registre d'attributs de lignes (32, 33), un circuit de décodage des attributs (21) relié à ces différents registres, un circuit (41) de masquage des caractères, un sérialisateur (40) relié à ce circuit de masquage (41) et au circuit d'horloge (25), un circuit d'inversion du fond (53), un circuit (51) de commande de la couleur du caractère et un circuit (52) de commande de la couleur de fond, ces 3 derniers circuits étant reliés en entrée au circuit décodeur d'attributs en en sortie au circuit (50) de multiplexage et de commande des canons du moniteur, caractérisé en ce que la sortie (402) du circuit sérialisateur (40) est envoyée sur un circuit (54) d'élargissement du point dont la sortie (542) est reliée à une entrée du circuit de multiplexage, et en ce qu'il comprend en outre un circuit logique double hauteur (31) relié d'une part au registre d'attributs de lignes (33) et d'autre part aux lignes de sélection (LC0, LC3) d'une tranche de caractères dans une mémoire morte (15) générateur de caractère.



EP 0 244 280 A1

Description**DECODEUR D'ATTRIBUTS VIDEO POUR AFFICHAGE COULEUR OU MONOCHROME EN MODE VIDEOTEX OU EN MODE ALPHANUMERIQUE A HAUTE DEFINITION**

5 La présente invention concerne un décodeur d'attributs vidéo pour affichage couleur ou monochrome en mode vidéotex ou alphanumérique, à haute définition.

Il existe des décodeurs d'attributs vidéo pour affichage couleur ou monochrome en mode alphanumérique à haute définition qui sont utilisés en général dans les terminaux dits professionnels. Les moniteurs vidéo de ces terminaux alphanumériques permettent d'effectuer l'affichage de 25 lignes de 80 caractères.

10 Il existe également des terminaux dits de consultation utilisés en vidéotex avec un mode de fonctionnement alphanumérique à faible définition permettant d'afficher 25 lignes de 40 colonnes.

La présente invention a pour but de proposer un décodeur d'attributs vidéo pour affichage en mode alphanumérique à haute définition (qualité dite professionnelle) et affichage semigraphique (type vidéotex).

15 Ce premier but est atteint par le fait que le décodeur d'attributs vidéo pour affichage couleur ou monochrome en mode vidéotex ou en mode alphanumérique à haute définition comporte un circuit d'horloge, un registre de configuration, un registre d'attributs de caractères, un registre d'attributs de lignes, un circuit de décodage des attributs relié à ces différents registres, un circuit de masquage des caractères, un sérialisateur relié à ce circuit de masquage et au circuit d'horloge, un circuit d'inversion du fond, un circuit de commande de la couleur du caractère et un circuit de commande de la couleur de fond relié en entrée au circuit décodeur d'attributs et en sortie au circuit de multiplexage et de commande des canons du moniteur, est caractérisé en ce que la sortie du sérialisateur est envoyée sur un circuit d'élargissement du point et en ce qu'il comprend en outre un circuit logique double hauteur relié d'une part au registre attribut de ligne et d'autre part aux lignes de sélection d'une tranche de caractère dans la mémoire morte générateur de caractère.

20 Dans le cas d'un terminal de type alphanumérique professionnel on envoie une série d'impulsions appelées "pixel" au moniteur de façon à former les caractères. Pour un terminal professionnel un pixel dure 40 ns. Dans ce cas le phosphore de l'écran du moniteur ne répond pas instantanément mais avec un décalage dans le temps et de plus, il a plus de mal à s'allumer qu'à s'éteindre. La conséquence de cet inconvénient de fonctionnement de l'écran du moniteur est que, dans les caractères présentant des portions verticales et des portions horizontales la luminosité n'est pas la même. En effet dans la partie horizontale où les pixels sont jointifs on arrive à la luminosité maximum du tube, tandis que dans les parties verticales la luminosité paraît plus faible. Lorsque l'on sait qu'un pixel représente sur un terminal professionnel une dimension de un quart de millimètre sur l'écran, on comprend que cet inconvénient devient majeur pour un terminal professionnel. Par contre cet inconvénient n'existe pas dans les appareils de bas de gamme tels que les terminaux de consultation car le nombre de points sur l'écran est bien inférieur (480 pts au lieu de 800) et par conséquent les points sont suffisamment larges pour que le défaut n'apparaisse pas.

35 Un deuxième but de l'invention est donc de proposer un décodeur d'attributs vidéo palliant cet inconvénient.

Le deuxième but est atteint par le fait que le circuit d'élargissement du point permet d'élargir le point d'une valeur déterminée quel que soit le mode d'affichage adopté direct ou inverse.

40 Selon une autre caractéristique le circuit d'élargissement du point est constitué d'un inverseur d'un signal d'horloge, de bascules de retardement des signaux de sérialisation des données et des données inversées, et d'une logique combinatoire selon le mode d'affichage adopté des signaux de données, de données inversées et des mêmes signaux retardés.

Un troisième but de l'invention est de proposer un décodeur d'attributs vidéo qui dans le fonctionnement en mode vidéotex permette l'affichage de caractères alphanumériques en double hauteur et ceci quel que soit le type de moniteur utilisé et le nombre de tranches que comporte un caractère.

45 Le troisième but de l'invention est atteint par le fait que le circuit double hauteur permet de doubler la hauteur des caractères quel que soit le nombre de tranches de caractères contenues dans un caractère de hauteur normale.

50 Selon une autre caractéristique le circuit logique double hauteur comprend des moyens de mémorisation de l'adresse de la dernière tranche du caractère, des moyens de générer une valeur constante et d'ajouter cette valeur constante au signal représentatif de l'adresse de la tranche de caractère et de diviser par deux le résultat pour constituer l'adresse de la tranche du caractère double hauteur en cours de traitement.

D'autres caractéristiques et avantages de la présente invention apparaîtront plus clairement à la lecture de la description ci-après faite en référence aux dessins annexés dans lesquels :

- 55 - la figure 1 représente la configuration typique d'une interface d'affichage vidéo entre le bus (10) d'un microprocesseur et le moniteur d'affichage ;
- la figure 2 représente le circuit décodeur d'attributs pour affichage vidéo utilisé dans la configuration de la figure 1 ;
- la figure 3 représente le schéma électronique du circuit de génération des signaux permettant l'affichage des caractères double hauteur ;
- 60 - la figure 4 et la figure 5 représentent le schéma du circuit électronique permettant l'élargissement du point de génération des caractères ;
- la figure 6 représente l'octet de configuration ;
- les figures 7 et 8 représentent deux octets de codage des caractères en mode alphanumérique

respectivement monochrome et couleur ;

- les figures 9 et 10 représentent les deux octets de codage du caractère en mode vidéotex respectivement alphanumérique et semigraphique ;
- la figure 11 représente les deux octets de codage d'un caractère délimiteur ;
- la figure 12 représente un caractère simple hauteur et un caractère double hauteur ;
- la figure 13 représente les diagrammes temporels des signaux utilisés dans le circuit d'élargissement du point.

Une interface classique entre un moniteur vidéo non représenté et un buz (10) d'un microprocesseur non représenté est constituée par un circuit contrôleur d'affichage vidéo (11) qui peut être constitué de façon connue par un circuit commercialisé par la société SIGNETICS sous la référence SCN 2674 ou par le circuit commercialisé par la société MOTOROLA sous la référence MC2674. Ce boîtier (11) communique avec le bus de données, d'adresse et de contrôle (10) du microprocesseur et reçoit d'autre part par la ligne (250) le signal d'horloge caractère provenant du circuit décodeur d'attributs vidéo (20). Ce circuit décodeur d'attributs vidéo (20) reçoit du boîtier 11 par les 5 lignes (110) les signaux de synchronisation : HSYNC, signal de synchronisation horizontale, VSYNC, signal de synchronisation verticale, BLANK, signal d'effacement, CURSOR, signal du curseur, RESET, signal de réinitialisation du système. Ce circuit (20) reçoit également par les 8 lignes (320, 330), les signaux de commande de ligne provenant des sorties d'adresse d'affichage du contrôleur d'affichage vidéo (11). Les autres lignes d'adresse d'affichage sont envoyées, d'une part, sur une première mémoire vive (12) de 2k-octet constituant la mémoire de caractères et d'autre part sur une deuxième mémoire vive (13) de 2k-octet constituant la mémoire d'attribut. La mémoire vive de caractère (12) communique par ses huit lignes de données (160) avec d'une part un ensemble de porte (16) donnant accès au bus (10), et d'autre part avec un ensemble de porte (14) donnant accès aux sept lignes (140) de sélection d'adresse des 256 caractères contenus dans une mémoire morte (15) constituant le générateur de caractère. Cette mémoire morte (15) a une capacité de 8k-octet. La ligne (120) de données de poids le plus élevé provenant de la mémoire (12) est reliée à l'entrée (220) du circuit décodeur d'attributs vidéo (20). Les huit lignes de données de la mémoire vive d'attributs (13) sont reliées par les huit lignes d'attributs (130) au circuit décodeur (20). Ces huit lignes sont également reliées à une porte (17) de communication avec le bus (10) du microprocesseur. Le circuit décodeur (20) transmet par les quatre sorties (LC0 à LC3) du circuit (313) les signaux de sélection de la tranche de caractères stockée dans le générateur de caractères (15). Le générateur de caractères (15) stocke pour chaque caractère une représentation suivant une matrice de points qui peut être constituée par un ensemble de neuf lignes chacune comprenant par exemple dix points. La valeur logique 0 ou 1 de chacun de ces points permet de reproduire sur l'écran vidéo une tâche lumineuse ou un point sombre. On appelle tranche de caractères l'ensemble des points d'une ligne de la matrice du caractère. Comme on le verra par la suite les tranches de caractère peuvent avoir une largeur variant entre 8 et 10 points, ceci de façon à pouvoir suivant le moniteur utilisé améliorer la définition des caractères et un caractère peut être constitué de 9 à 16 tranches. Enfin le circuit (20) reçoit sur son entrée (253) la sortie d'une horloge (18) fonctionnant à la fréquence de 25 MHz et délivrant des impulsions correspondant à la largeur d'un point. Ce signal d'horloge point est appelé (DCLK).

La figure 2 représente un schéma des différentes fonctions réalisées par le circuit de décodage d'attributs vidéo. Ce circuit comprend un circuit (25) diviseur du signal d'horloge fourni sur l'entrée (253) par la sortie du boîtier (18) délivrant le signal (DCLK) de l'horloge de 25 MHz. Ce circuit (25) permet de prédiviser ce signal (DCLK) par deux, suivant le signal (DL) fourni sur l'entrée (252) par la sortie (210) du circuit de décodage d'attributs (21). Ce signal (DL) fourni à l'entrée (252) indique que le caractère doit être en double largeur. Ensuite le signal d'horloge prédivisé est lui-même divisé par 8, 9 ou 10 suivant le signal fourni sur l'entrée (251) du circuit (25), signal délivré par la sortie (230) du circuit (23) constituant le registre de configuration. Ce circuit d'horloge délivre sur la ligne (250) le signal (CCLK), signal d'horloge caractères, qui est envoyé sur l'entrée correspondante du contrôleur d'affichage vidéo (11). La sortie (254) du circuit diviseur d'horloge (25) délivre le signal (SHCLK) qui est le signal d'horloge de sérialisation, signal qui est envoyé sur l'entrée (400) du circuit sérialisateur (40). La sortie (255) du circuit (25) est envoyée d'une part sur l'entrée (211) du circuit (21) de décodage d'attributs et d'autre part sur l'entrée (311) du circuit (31) de logique double hauteur. Le signal (VCCLK) délivré par la sortie (255), est le signal d'horloge des caractères vidéo. Enfin le signal (CCLK) délivré par la sortie (250) est également envoyé sur l'entrée (312) du circuit (31) de la logique double hauteur.

Les huit lignes de sortie (150) de la mémoire morte (15) représentant les codes caractère (CO à C7) sont envoyées sur le circuit (41) constituant la logique de masque. La sortie (411) de ce circuit (41) est reliée à l'entrée (401) du circuit sérialisateur (40). Une entrée (412) du circuit de masque (41) reçoit la sortie (212) du circuit de décodage d'attributs (21). La sortie (402) du circuit sérialisateur (40) est reliée à l'entrée (540) du circuit (54) d'élargissement du point. La sortie (542) de ce circuit (54) est reliée à l'entrée (501) d'un circuit (50) de multiplexage. Un circuit (53) d'inversion du fond de l'écran, envoie le signal d'inversion de fond, par ses sorties (534) et (530) à l'entrée (500) d'un circuit (50) de multiplexage. Une entrée (533) de ce circuit (53) reçoit le signal (254) d'horloge de sérialisation (SHCLK). L'entrée (532) de ce circuit (53) reçoit la sortie (213) du circuit (21) de décodage d'attributs. Une sortie (531) du circuit (53), qui est l'inverse de la sortie (534) est envoyée également sur l'entrée (501). Un circuit (51) de commande

de la couleur de caractère reçoit sur son entrée (510) la sortie (254) transmettant le signal d'horloge de sérialisation (SHCLK). La sortie (511) de ce circuit (51) est reliée à l'entrée (502) du circuit de multiplexage. L'entrée (512) de ce circuit (51) reçoit la sortie (214) du circuit de décodage d'attributs (21). Un circuit (52) de commande de la couleur de fond reçoit sur son entrée (520) la sortie (254) qui transmet le signal d'horloge de sérialisation (SHCLK). La sortie (521) de ce circuit (52) est reliée à l'entrée (503) du circuit de multiplexage (50). L'entrée (522) de ce circuit (52) est reliée à la sortie (215) du circuit (21) de décodage d'attributs. Ce circuit de décodage d'attributs reçoit sur son entrée (216) la sortie (231) du circuit (23) constitué par le registre de configuration. L'entrée (232) de ce circuit (23) reçoit le signal de réinitialisation (RESET) délivré par le contrôleur d'affichage vidéo (11). L'entrée (234) reçoit le signal (WDB) délivré par la sortie (CTRL1) du contrôleur d'affichage vidéo (11), signal d'écriture des données dans les tampons des mémoires (12, 13). L'entrée (233) du circuit (23) reçoit les neuf lignes respectivement (130, 120) représentant respectivement les signaux d'attributs de caractères (CA0 à CA7) et le signal du bit de poids le plus élevé de l'adresse caractère (CB7). Ces signaux sont également envoyés sur l'entrée (220) du circuit (22) constitué par le registre d'attributs des caractères dont la sortie (221) est reliée à l'entrée (217) du circuit (21) de décodage d'attributs. La sortie du circuit (11) délivrant le signal (CURSOR) est reliée à l'entrée (218) du circuit de décodage d'attributs (21). Les huit lignes de commande (320, 330) délivrées par le circuit (11) sont reliées aux entrées des circuits (32) et (33) constituant les registres d'attributs ligne. Les entrées (321, 331) de ces circuits reçoivent le signal d'effacement (BLANK) délivré par la sortie correspondante du circuit (11) contrôleur d'affichage vidéo. Les lignes de sortie (332) du registre d'attributs de ligne sont reliées d'une part aux entrées du circuit (31) de la logique double hauteur, et d'autre part à l'entrée (219) du circuit (21) de décodage d'attribut. Enfin le circuit (34) de synchronisation verticale reçoit les lignes de sortie (322) du registre d'attributs de ligne (32). La sortie (340) de ce circuit (34) délivre le signal de synchronisation verticale de la vidéo. Enfin, un circuit de synchronisation horizontale (24) reçoit en entrée les signaux HSYNC et BLANK délivrés par les sorties correspondantes du circuit (11) contrôleur de tube cathodique. La sortie (240) délivre le signal HRTC de commande du tube et la sortie (241) délivre le signal BKFIELD à l'entrée (535) du circuit (53) d'inversion du fond.

Pour son fonctionnement le circuit de la figure 2 reçoit tout d'abord un octet de configuration chargé par une commande écriture à l'adresse d'un pointeur dont l'adresse est supérieure à 2^{13} . Cet octet de configuration est représenté à la figure 6 sur laquelle on peut constater que les deux bits (DIV0, DIV1) de poids faibles permettent de déterminer la largeur du caractère. Le bit suivant appelé BFM sert à modifier le mode d'extension du sérialisateur, lorsque ce bit BFM est à zéro le sérialisateur réalise une extension de la tranche de caractère tandis que, lorsque ce bit BFM est à un le sérialisateur émet 8 bits. Le bit (COL), suivant sa valeur "0" ou "1" sélectionne le mode couleur, le bit DSEN sélectionne suivant sa valeur la validation d'élargissement du point, VTX sélectionne le mode vidéotex, le 7ème bit est inutilisé et le 8ème bit REVS sélectionne l'inversion vidéo de l'écran. Les deux premiers bits DIV0 et DIV1 sélectionnent suivant leur valeur la largeur du caractère. Ces bits sélectionnent les largeurs de caractère suivant le tableau 1 ci-après

40

45

50

55

DIV1	DIV0	LARGEUR DU CARACTERE
0	0	8 POINTS
0	1	9 POINTS
1	1	10 POINTS

60

65

La figure 7 représente l'octet (A0 à A7) d'attributs de caractère et l'octet (B0, B7) d'adresse du caractère dans le cas d'un affichage en mode alphanumérique sélectionné par la mise à zéro du bit (VTX) et en mode monochrome sélectionné par la valeur du bit (COL) à zéro. Les bits (A0) à (A7) d'attribut du caractère indiquent des poids faibles vers les poids croissants les fonctionnements suivants : le bit (DL) sélectionne la double largeur de ligne et ce bit est actif sur le premier caractère d'une rangée seulement. Le bit (CS) commande le séparateur de colonne, le bit (UL) commande le soulèvement des caractères, le bit (RV) commande l'inversion vidéo, le bit (BL) commande le clignotement, le bit (BK) commande le

secret, le bit (LI) commande la sous brillance de façon à diminuer la brillance de l'affichage d'un caractère.

La figure 8 représente l'octet d'attribut (A0 à A7) et l'octet d'adresse caractère (B0, B7) dans le cas d'un affichage alphanumérique en mode couleur, avec, dans le registre de configuration le bit (COL) à "1". Dans l'octet d'attribut le bit (B) commande la couleur bleue, le bit (V) commande la couleur verte, les bits (UL, RV, BL et BK) ont les mêmes fonctions que dans le cas du monochrome et le bit (R) commande la couleur rouge. On remarquera dans les figures 7 et 8 que le bit (A7) est à zéro ce qui permet d'avoir les deux commandes spéciales suivantes:

- une commande de propagation des attributs qui est obtenues en positionnant le bit (A7) de l'octet d'attributs à "1" et tous les autres bits de cet octet à "0". Dans ce cas, tant que la configuration de l'octet attributs reste égale au code (80) en hexadécimal, les derniers attributs restent mémorisés et s'appliquent à tous les caractères visualisés. Toutefois le premier caractère de chaque rangée doit porter la configuration explicite des attributs choisis.

- la deuxième commande spéciale est l'effacement ligne qui est constitué par tous les bits de l'octet attribut à zéro, ce qui permet de masquer le signal vidéo (RGB) jusqu'à la fin de la rangée courante. Ce signal (RGB) est forcé à la valeur "000" si l'écran est en mode normal et à la valeur "111" si l'écran est en mode inverse.

La figure 9 représente le codage des attributs et des caractères alphanumériques en mode vidéotex c'est-à-dire avec le bit (VTX) égal à "1" dans l'octet de configuration. Le passage en mode vidéotexte entraîne une division par deux de l'horloge de base des (CLK). La largeur du caractère dans ce mode sera programmée sur 8 points en mettant les bits (DIV1) et (DIV0) à 0. Dans ce mode le bit (COL) couleur n'a plus d'action, le bit (DSEN) bien qu'utilisable n'est pas nécessaire et sera programmé à zéro, la fonction inverse bien que valide doit être programmée à zéro pour satisfaire les normes vidéotex. Dans l'octet d'attribut de la figure 9 les bits (C0) à (C2) servent à définir la couleur du caractère. Avec un moniteur couleur le bit (C0), à la valeur "1" commande la couleur bleue, le bit (C1) à la valeur logique 1, la couleur rouge, le bit (C2) à 1, la couleur verte. Dans le cas où l'on utilise un moniteur monochrome les trois bits (C2, C1, C0) permettent d'établir le niveau de gris (C2) étant le poids fort et (C0) le poids faible. Le bit (BL) permet de commander le clignotement du caractère, le bit (DH) commande l'affichage en double hauteur, le bit (DL) commande l'affichage en double largeur et le bit (RV) commande l'affichage avec inversion du fond.

On remarquera que l'octet du code caractère a son bit de poids le plus élevé (B7) a la valeur logique "0" ce qui permet de sélectionner 128 caractères alphanumérique en mode vidéotex.

La figure 10 représente l'octet d'attribut caractère et l'octet de code caractère dans le mode d'affichage vidéotex pour des caractères semigraphiques. Dans cet octet les bits (C2, C1, C0) permettent de déterminer la couleur du caractère comme précédemment ou de définir 8 niveaux de gris, le bit (BL) commande l'affichage clignotant du caractère et les bits (B0, B1, B2) permettent de déterminer la couleur du fond avec les mêmes conventions que pour la définition de la couleur du caractère dans le cas d'un affichage couleur et dans le cas d'un affichage monochrome permettent de définir huit niveaux de gris. Le bit (A7) est toujours à "0". Le bit de poids le plus élevé du code caractère (bit B7) est au niveau "1" pour indiquer que l'on a affaire à des caractères semigraphiques et les bits (B0) à (B6) permettent de sélectionner 128 formes semigraphiques dont 64 sont dites séparées ou lignées. Ces 64 formes semigraphiques séparées ou lignées sont sélectionnées lorsque le bit (L) est égal à "1". On remarquera que ce bit (L) n'est pas traité dans le circuit de la figure 2 mais sert simplement à adresser dans la ROM (15) les caractères semigraphiques lignés.

Enfin, la figure 11 représente l'octet d'attribut et l'octet de code caractère d'un caractère appelé délimiteur. Les bits (C0) à (C2) de l'octet attribut de ce caractère délimiteur permettent de déterminer la couleur du caractère délimiteur. Le bit (BK) à "1" permet de masquer les caractères qui suivent le caractère délimiteur et ce jusqu'à la fin de la rangée ou jusqu'au délimiteur suivant dans lequel le bit (BK) est égal à "0". Un caractère délimiteur est visualisé comme un espace, non souligné, non clignotant, dont la couleur est définie par les bits (C0, C1, C2). Les bits (B0, B1, B2) définissent la couleur de fond pour les caractères alphanumériques qui suivent le caractère délimiteur. Et ce jusqu'à la fin de la rangée ou jusqu'au délimiteur suivant. Le bit (A7) de l'octet attribut du caractère délimiteur est au niveau "1" ce qui permet de distinguer ce caractère des précédents par la présence de ce bit (A7). Le huitième bit du code caractère (B7) permet de mettre en oeuvre la fonction d'affichage souligné. Ce bit (UL) lorsqu'il est au niveau "1" permet de souligner la zone qui suit le caractère délimiteur. Les autres bits du code caractère (B0) à (B6) sont tous au niveau "1". L'utilisation des fonctions du schéma de la figure 2 combinées avec les codes attribut et caractère des figures 7 à 10 permet de réaliser les différentes combinaisons d'affichage que l'on vient de voir en décrivant les codes attribut et caractère ci-dessus.

Les fonctions des différents circuits du décodeur d'attribut vidéo ayant été décrites, les circuits permettant de réaliser chacune de ces fonctions sont classiques pour l'homme de métier sauf pour la fonction élargissement du point et la fonction du circuit de logique double hauteur. Pour les circuits classiques pour l'homme de métier ce qui est original dans le circuit décodeur d'attributs c'est la combinaison des différentes fonctions entre elles et notamment la combinaison de ces fonctions classiques avec la fonction d'élargissement du point et de la logique double hauteur dont on va décrire les modes de réalisation.

La figure 3 représente le circuit logique double hauteur (31) associé aux registres d'attribut de lignes

(32, 33) et au circuit de synchronisation verticale (34). Un premier registre d'attribut de lignes (32) reçoit sur ses quatre entrées les signaux (UL), (BLINK), (LL) et (LR). Ces signaux fournis par le circuit (11) indiquent respectivement le soulignement, le clignotement, la dernière rangée, la dernière ligne. Ces registres sont synchronisés par le signal d'effacement (BLANK) délivré par le circuit (11). Le deuxième registre (33) reçoit sur ses quatre lignes d'entrée les attributs de ligne (LA0) à (LA3) qui, en fait, définissent dans la matrice de caractère la ligne ou la tranche de caractères que l'on va traiter. Les registres (32) et (33) sont réinitialisés par un signal (MRST). Les sorties (33-1Q) à (33-4Q) du registre (33) constituent les lignes (332) de la logique double hauteur. Cette logique double hauteur comporte un registre (3100) de mémorisation des signaux délivrés en sortie du registre d'attribut de ligne, cette mémorisation s'effectuant lorsque le signal dernière ligne (LL) est actif sur la sortie de la bascule (32-4Q*). Par conséquent la mémorisation des signaux d'attribut de ligne s'effectue dans le circuit 3100 lorsque l'on est en train de traiter la dernière ligne d'un caractère. Les sorties inversées (1Q*) à (4Q*) du registre (3100) de mémorisation de la dernière ligne du caractère sont envoyées sur l'ensemble de 4 portes NON-OU à deux entrées constituant un circuit (3110) de sélection entre la valeur représentée par la dernière ligne de caractère et une valeur nulle. Les sorties de cet ensemble de porte NON-OU (3110) sont reliées aux quatre entrées (B1) à (B4) d'un circuit additionneur (3120) dont les autres entrées (A1) à (A4) reçoivent les signaux de sortie des sorties (1Q) à (4Q) du registre (33). L'entrée (CI) de l'additionneur (3120), d'addition de la retenue est reliée à la sortie (Q) d'une bascule (314) dont la sortie (Q) au niveau "1" signifie, dans le cas où l'on traite un caractère double hauteur que l'on est en train de traiter la partie basse d'un caractère. Par partie basse d'un caractère on entend dans le cas par exemple d'un T majuscule, la partie inférieure de la barre verticale du T. La sortie (Q*) de la bascule (314) délivre le signal (TOP) qui indique que l'on est en train de traiter le haut d'un caractère lorsque ce signal est au niveau "1". Cette sortie (Q*) de cette bascule (314) est reliée à chacune des deuxième entrées des quatre portes NON-OU constituant le circuit (3110) et d'autre part à l'entrée d'une porte NON-ET (3140) dont la deuxième entrée reçoit la sortie (Q*) d'une bascule (3141) qui délivre sur cette sortie (Q*) le signal (DBLH) indiquant lorsqu'il est au niveau "1" que l'on est en train de traiter un caractère double hauteur. Lorsque le signal (TOP) délivré par la sortie (Q*) de la bascule (314) est au niveau "1", les sorties du circuit (3110) sont au niveau "0". Par contre lorsque la sortie (Q*) de la bascule (314) est au niveau "0" ce qui indique que l'on est en train de traiter la partie inférieure d'un caractère double hauteur, les sorties du circuit (3110) reproduisent les signaux (LLA0) (LLA3). Ces signaux sont envoyés sur les entrées respectives (B1) à (B4). Les signaux (LLA0) à (LLA3) correspondent aux attributs de ligne de la dernière ligne du caractère dans sa partie haute et sont délivrés par le circuit (3100). L'entrée d'horloge de la bascule (314) reçoit le signal de sortie (4Q*) du registre (32), ce signal (LL*) correspond au signal inverse de la dernière ligne. L'entrée (D) de la bascule (314) est reliée à la sortie (Q) d'une bascule (3143) dont l'entrée (S) de mise à "1" est reliée à la sortie de la porte NON-ET (3140). L'entrée d'horloge de cette bascule (3143) est également reliée à la sortie (4Q*) du registre (32). Les entrées (R) de réinitialisation des bascules (3143) et (314) sont toutes les deux reliées au signal (VRRST*), signal de réinitialisation de la vidéo. La bascule (3141) reçoit sur son entrée (D) la sortie d'une porte NON-ET (3142) à quatre entrées. Les entrées de cette porte NON-ET sont respectivement les signaux (VTX) indiquant le mode vidéotex, le signal (A7*) indiquant que le caractère n'est pas délimiteur ou que l'on est pas en train de faire une propagation d'attributs, le signal (RC7*) indiquant que l'on traite un caractère semi-graphique, le signal (A4) qui lorsqu'il est au niveau "1" correspond au bit (DH) de la figure 9 et indique que l'on veut afficher un caractère en double hauteur. Par conséquent lorsque l'on est en mode vidéotex sans délimiteur ou propagation d'attributs et que l'on a sélectionné la double hauteur, la sortie de la porte NON-ET (3142) est au niveau "0" ce qui provoque le passage à "1" de la sortie (Q*) de la bascule (3141). La bascule (3141) reçoit sur son entrée d'horloge le signal (VCCLK) provenant du circuit (25) et constituant le signal d'horloge caractère vidéo. L'entrée (S) de cette bascule (3141) reçoit le signal (ROWRST) qui commande une réinitialisation d'une rangée. Les sorties (S2, S3, S4) de l'additionneur (3120) sont reliées respectivement aux entrées (4A, 3A, 2A) d'un circuit de multiplexage (3130). L'entrée (1A) du circuit de multiplexage (3130) reçoit la sortie (CO) de l'additionneur (3120), sortie qui délivre le signal de retenue de l'addition. Les entrées (1B) à (4B) du multiplexeur (3130) reçoivent respectivement les sorties (1Q) à (4Q) du registre d'attribut de ligne (33). Ces sorties représentent respectivement les signaux (LA3) à (LA0). L'entrée de commande (3131) du circuit de multiplexage commandant l'aiguillage entre les voies d'entrée (A) et les voies d'entrée (B) sur la sortie du multiplexeur est reliée à la sortie de la porte NON-ET (3142). Cette sortie délivre le signal (DBLH*) qui est au niveau "1" lorsque l'on ne cherche pas à afficher un caractère en double hauteur. Dans ce cas l'entrée (3131) commande l'aiguillage sur les voies (B) et par conséquent les attributs de ligne (LA0) à LA3 sont directement transmis aux sorties (4Y) à (1Y) du multiplexeur (3130), ces sorties constituant les lignes (313) délivrant respectivement (LC0) à (LC3) à la mémoire morte de codage caractère. Les lignes (LC0) à (LC3) permettent de coder les tranches de caractère qui seront sérialisées pour l'affichage.

Pour faciliter la compréhension des explications de fonctionnement du circuit double hauteur nous avons représenté en figure 12 sur la gauche un caractère (A) représenté en simple hauteur par une matrice de 8 tranches de 5 colonnes chacune et sur la droite de la figure 12 le même caractère représenté en double hauteur. Les numéros 0 à 7 pour le caractère simple hauteur désignent les numéros de tranche, numéros qui sont codés en binaire par les lignes (LA0) à (LA3). Pour simplifier les explications

nous avons limité le codage des lignes sur 3 lignes d'attributs (LA0) à (LA2). Dans la colonne figurant entre le caractère simple et le caractère double hauteur sont indiquées les valeurs décimales correspondantes au codage binaire des lignes (LA0) à (LA2) donnant un cycle d'affichage de caractère double hauteur. A droite du caractère double hauteur on a indiqué la valeur du signal (TOP) indiquant si l'on est en train de traiter la partie haute ou la partie basse du caractère double hauteur et dans les points d'affichage du caractère double hauteur on a indiqué les valeurs décimales correspondant au codage binaire des signaux (LC0) à (LC3). Le tableau ci-après permet de comprendre le fonctionnement du circuit dans le cas du codage des tranches d'un caractère sur 3 lignes (LA0) à (LA2) et la transformation de ce codage pour permettre l'affichage. Le codage transformé sort sur les lignes (LC0) à (LC2). Dans la colonne N figure les valeurs décimales correspondant aux numéros de tranche d'un caractère simple hauteur tandis que dans la colonne NC correspond les valeurs décimales du numéro de tranche qu'il faut sélectionner dans la mémoire morte (15) pour permettre l'affichage du caractère double hauteur. Ainsi pour la partie haute du caractère double hauteur représenté par la portion du tableau dans laquelle le signal (TOP*) est égal à "0", le circuit se comporte pour les valeurs (LC0) à (LC2) comme un multiplieur par 2 des valeurs (LA0) à (LA2). De cette façon sur les deux premières lignes de la partie haute du caractère double hauteur on va sélectionner deux fois la tranche 0 du caractère. De même pour les tranches 6, 7 de la partie haute du caractère double hauteur, on va sélectionner deux fois la tranche 3 du caractère simple hauteur. Lorsque l'on passe dans la partie basse du caractère double hauteur, partie basse qui est signalée par le signal (TOP*) à la valeur logique "1", on additionne le signal correspondant à la ligne d'attributs en cours de traitement pour le caractère simple hauteur avec le signal de retenu constitué par la valeur du signal (TOP*) et le signal (LLA) correspondant à la valeur de la ligne d'attributs pour la dernière ligne du caractère simple hauteur avant le passage au traitement de la partie basse. Ce signal (LLA) est constitué par les valeurs de bit représentées dans l'encadrement en pointillé de la ligne 7. Le résultat des additions respectives donne les valeurs respectives des signaux (S1) à (CO) pour la partie basse du tableau correspondant à l'affichage de la partie basse du caractère. Ainsi après avoir éliminé par câblage les valeurs prises par (S1) on retrouve les valeurs de (S2, S3, S4) respectivement sur les sorties (LC0, LC1, LC2) du circuit multiplexeur. En effet, nous rappelons que l'on est dans le cas où l'entrée d'aiguillage (3131) sélectionne les voies (A) et par suite les sorties du circuit de l'additionneur puisque le signal provenant de la sortie de la porte NON-ET (3142) est au niveau "0". De cette façon les deux premières lignes de la partie basse du caractère double hauteur sont constituées par les tranches 4,4 du caractère simple hauteur et les deux dernières lignes du caractère double hauteur sont constituées par les tranches 7,7 du caractère simple hauteur. Les signaux (LC0) à (LC3) associés aux signaux transitant sur la ligne (140) vont permettre de sélectionner la tranche de caractères concernée et la ROM (15) va donc transmettre sur les 8 lignes (CC) représentées par la liaison (150) les valeurs des bits correspondant à l'affichage requis. Ces 8 lignes (CC0) à (CC7) se retrouvent sur la figure 4 qui représente le circuit de masque associé avec le sérialisateur (40) et le circuit d'élargissement du point. Il est bien évident que pour des raisons de simplification d'explications on a représenté le caractère avec 5 colonnes et 8 lignes mais que le même circuit s'applique aussi bien à des caractères constitués par des matrices de 10 à 16 lignes et de 8 à 10 colonnes. L'intérêt de ce circuit d'affichage double hauteur est justement qu'il est indépendant du nombre de lignes ou de tranches des caractères.

5

10

15

20

25

30

35

40

45

50

55

60

65

	N	LA2	LA1	LA0	TOP*	CO	S4	S3	S2	S1	NC	LC2	LC1	LC0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0
5	1	0	0	1	0	0	0	0	0	1	0	0	0	0
	2	0	1	0	0	0	0	0	1	0	1	0	0	1
10	3	0	1	1	0	0	0	0	1	1	1	0	0	1
	4	1	0	0	0	0	0	1	0	0	2	0	1	0
	5	1	0	1	0	0	0	1	0	1	2	0	1	0
15	6	1	1	0	0	0	0	1	1	0	3	0	1	1
	7	1	1	1	LLA0	0	0	1	1	1	3	0	1	1
20	0	0	0	0	1	0	1	0	0	0	4	1	0	0
	1	0	0	1	1	0	1	0	0	1	4	1	0	0
	2	0	1	0	1	0	1	0	1	0	5	1	0	1
25	3	0	1	1	1	0	1	0	1	1	5	1	0	1
	4	1	0	0	1	0	1	1	0	0	6	1	1	0
	5	1	0	1	1	0	1	1	0	1	6	1	1	0
30	6	1	1	0	1	0	1	1	1	0	7	1	1	1
	7	1	1	1	1	0	1	1	1	1	7	1	1	1

Les figures 4, 5 représentent le circuit d'élargissement du point et son association avec les autres blocs fonctionnels du décodeur d'attributs vidéo. Les signaux (CC0) à (CC7) sortant de la mémoire morte (15) sont envoyés sur les entrées correspondantes du circuit (41) représenté à la figure 4. Dans le cas de l'exemple choisi à la figure 12 pour la tranche des caractères 0, les signaux (CC0) à (CC4) sont successivement et dans l'ordre 0 1 1 1 0. Les 10 lignes de sortie (411) du circuit (41) permettent d'étendre le code caractère sur 10 bits suivant les valeurs des signaux de commande (COLSEP-CMD) et (BF-MODE) qui représentent respectivement la commande d'attribut de séparation verticale et le mode d'extension du sérialisateur (40). Les signaux (BLANK-CMD) et (SET-CMD) sont les signaux de commande d'effacement et le signal de commande de mise à "1" du circuit. Ces signaux de commande permettent par l'intermédiaire des portes NON-ET (4100) à (4119) de masquer ou de mettre à "1" l'ensemble des codes caractères. Les 10 lignes parallèles de sortie (411) du circuit de masque (41) sont sérialisées dans le sérialisateur (40) constitué par 3 registres à décalage (4001) à (4003) dont les sorties série sont chaînées et les entrées parallèles reçoivent les 10 lignes de sortie (411). La commande du décalage et de la sérialisation est effectuée par le signal (SHCLK), signal d'horloge de sérialisation envoyé sur l'entrée (400) du boîtier (4001). Le signal sérialisé permettant l'affichage vidéo est représenté par la ligne (SRD), données sérialisées, qui est liée à la sortie (4Q) du boîtier (4003). La sortie de données sérialisées inverse (SRD*) est constituée par la sortie (4Q*) du même boîtier. Les entrées de chargement des registres à décalage de sérialisation sont commandées par le signal (SLOAD*) signal de chargement pour la sérialisation. Le signal (DSEN*) d'invalidation de l'élargissement du point et le signal (SLOAD) de chargement de la sérialisation sont envoyés sur une porte (NON-OU) (5404) dont la sortie est envoyée sur l'entrée de remise à "1" d'une bascule (540). Donc lorsque le chargement série et l'invalidation de l'élargissement du point sont à zéro la sortie de la porte (5404) via commander la remise à "1" de la bascule (540). La bascule (540) reçoit sur son entrée d'horloge la sortie d'un inverseur (5405) dont l'entrée reçoit le signal (SHCLK) qui est le signal d'horloge de sérialisation. Ce signal d'horloge de sérialisation est inversé par l'inverseur (5405) qui délivre le signal (SHCLK*). Cette bascule (540) de type D reçoit sur son entrée (D) le signal (SRD) et délivre sur sa sortie (Q) le signal (SRDX), signal de sérialisation des données retardées et sur sa sortie (Q*) le signal (SRDX*), signal de sérialisation des données inversées et retardées. Ainsi si l'on se réfère à la figure 13, la ligne (SHCLK) représente la périodicité du signal d'horloge de signalisation, la ligne (SHCKL*) représente le signal d'horloge de sérialisation décalé d'une demi période, le signal (SRD) représente le signal de sérialisation des données dans le cas où l'on a à afficher un point appartenant à une barre verticale telle que le premier point de la tranche 1 du caractère A de la figure 12. Ce signal (SRD) délivré par la sortie (4Q) du registre à décalage a une durée égale à une période entière du signal d'horloge de sérialisation qui commande les registres de

sérialisation du circuit (40). Le signal (SRDX) délivré par la sortie (Q) de la bascule (540) est comme on peut le voir sur la figure 13 décalé d'une demi période par rapport au signal (SRD). Une logique constituée par les circuits (5400, 5401, 5402, 5403) permet, en fonction des signaux délivrés par un circuit (541) d'inversion du point, de délivrer un signal (E) tel que celui représenté à la figure 13. Ce signal (E) comme on peut le voir a été prolongé d'une demi période par rapport au signal (SRD). Par conséquent, on a élargi le premier point de la tranche 1 du A d'une valeur sur l'écran correspondant à une demi période de l'horloge. Ce circuit permet donc d'augmenter la luminosité des barres verticales dans les caractères contenant ces barres verticales. Par contre sur les barres horizontales ce circuit ne présente aucun inconvénient puisque le résultat final sur une barre horizontale est de prolonger cette barre d'une demi période. La porte NON-ET (5401) à 3 entrées reçoit sur sa première entrée le signal (SRDX*), signal de sérialisation retardé et inversé, sur sa deuxième entrée le signal (SRD*), signal de sérialisation inversé et sur sa troisième entrée le signal délivré par la sortie (Q) d'une bascule (5401). La sortie de cette porte NON-ET (5401) est envoyée sur une première entrée d'une porte NON-ET (5400) délivre au circuit de multiplexage (50) le signal (E) représenté à la figure 13. Un inverseur (5406) branché à la sortie (542) permet de délivrer sur sa sortie un signal (E*), signal inverse, qui est envoyé également au multiplexeur (50). La deuxième entrée de la porte NON-ET (5400) reçoit la sortie d'une porte NON-ET (5402) à 2 entrées dont la première entrée reçoit le signal (SRDX) signal de sérialisation des données retardées et la deuxième entrée reçoit la sortie (Q*) d'une bascule (5410). La troisième entrée de la porte NON-ET (5400) reçoit la sortie d'une porte NON-ET (5403) à 2 entrées dont la première entrée reçoit le signal (SRD), signal de sérialisation des données, et la deuxième entrée reçoit la sortie (Q*) d'une bascule (5410). La sortie (Q) de la bascule (5410) indique lorsqu'elle est au niveau "1" que le point correspondant du caractère doit être inversé. Dans ce cas cette sortie (Q) qui est envoyée sur la porte NON-ET (5401) valide les entrées de cette porte NON-ET et c'est le signal de sortie de cette porte NON-ET (5401) qui est transmis au travers de la porte NON-ET (5400) pour constituer le signal (E). En effet (Q) étant au niveau "1", (Q*) est au niveau "0" et par conséquent les portes NON-ET (5402, 5403) délivrent en sortie les niveaux "1" qui servent uniquement à valider la transmission du signal de sortie de la porte. (5401). Dans le cas inverse, (Q) vaut "0" et la sortie de la porte (5401) est au niveau "1" et valide sur la porte (5400) la transmission des signaux de sortie des portes (5402, 5403). Dans ce cas (Q*) est au niveau "1" et par conséquent le signal (SRDX) reçu en entrée de la porte (5402) est recopié après inversion sur la sortie et le signal (SRD) subit le même sort dans la porte (5403). En entrée de la porte (5400) on dispose donc du signal (SRDX) inversé et (SRD) inversé ce qui, dans la porte NON-ET (5400) qui est équivalente à deux inverseurs en entrée et une porte OU à la suite, assure sur la sortie (542) l'addition des deux signaux (SRD) et (SRDX) et par conséquent la fourniture du signal d'élargissement du point. Le circuit de commande d'inversion du point (541) est constitué d'une bascule (D) (5410) dont l'entrée (D) de commande reçoit la sortie d'une porte NON ET (5411) à deux entrées. La première entrée de cette porte NON-ET (5411) reçoit la sortie d'une porte NON-ET (5412) à deux entrées, dont la première entrée reçoit le signal (REV-CMD) signal de commande de l'inversion qui est fourni par le bit (RVS) de l'octet de configuration représenté à la figure 6. La deuxième entrée de cette porte NON-ET (5412) reçoit le signal (SLOAD) signal de commande du chargement du sérialisateur. Ce signal est également envoyé sur la première entrée d'une autre porte NON-ET (5413) à 2 entrées. Cette porte NON-ET (5413) reçoit sur sa deuxième entrée la sortie (Q*) de la bascule (5410). La sortie de cette porte NON-ET (5413) est envoyée sur la deuxième entrée de la porte (5411). La bascule (5410) est synchronisée avec le reste du circuit par le signal (SHCLK), cette bascule est réinitialisée par le signal (VRST*), signal de réinitialisation de la vidéo.

Le fonctionnement du circuit d'inversion du point est le suivant. Lorsque le signal (REV-CMD) est au niveau "1" de façon à indiquer une commande d'inversion du point de caractère dû au curseur, la sortie (Q) de la bascule (5410) est au niveau "0" et la sortie (Q*) est au niveau "1". Comme l'on est en train d'effectuer une sortie de caractère le signal (SLOAD) est également au niveau "1". Par conséquent les portes (5412) et (5413) recevant sur leurs entrées des niveaux "1" délivrent en sortie des niveaux "0". La porte (5411) recevant des niveaux "0" en entrée délivre en sortie un niveau "1" qui attaque l'entrée (D) de la bascule (5410) et fait passer la sortie (Q) du niveau "0" au niveau "1" au coup d'horloge (SHCLK) suivant. A ce moment là (Q*) passe au niveau "0" et par conséquent la sortie de la porte (5413) passe au niveau "1" et la sortie de la porte (5411) maintient la valeur du signal (REV-CMD). Dès que ce signal de commande d'inversion repasse au niveau "0" la sortie de la porte (5411) passe également au niveau "0" ce qui fait retomber la sortie (Q) de la bascule (5410) au niveau "0". Dans ce cas on n'inverse plus le point. Le circuit de multiplexage (50) est constitué par 3 portes NON-ET (5001, 5002, 5003) dont les sorties respectives représentent les signaux (R,G,B), signaux de commande de l'affichage de la couleur respective rouge, verte, bleue. La porte de sortie (5001) reçoit sur la première de ses 3 entrées la sortie d'un porte NON-ET (5010) à 3 entrées dont la première entrée reçoit le signal (E) la deuxième entrée reçoit une des lignes de sortie (511) du circuit (51) de commande de la couleur caractère. Cette ligne (511) étant constituée par la ligne commandant la couleur rouge. La troisième entrée de la porte (5010) reçoit une ligne de sortie (531) du circuit (53) de commande de l'inversion du fond. La ligne de sortie (531) délivre le signal RBLANK* qui commande l'effacement de l'écran lorsqu'il est au niveau logique "0". La deuxième entrée de la porte (5001) reçoit la sortie d'une porte (5020) dont la première entrée reçoit la sortie de l'inverseur (5406) délivrant le signal (E*). La deuxième entrée reçoit une des lignes de sortie (521) du circuit (52) de commande de la couleur du fond de l'écran. Cette ligne étant celle qui correspond

à la commande de la couleur rouge du fond. La troisième entrée de cette porte (5020) reçoit la ligne (531). La troisième entrée de la porte (5001) reçoit la sortie d'une porte (5004) à 2 entrées dont la première entrée reçoit un signal (REVSCREEN), signal d'inversion de l'écran lorsqu'il est au niveau logique "1". Ce signal (REVSCREEN) est fourni par la ligne (530). La deuxième entrée de cette porte (5004) reçoit la sortie (534) du circuit (53) d'inversion du fond. Cette sortie (534) fournit le signal RBLANK d'effacement de l'écran, commandant l'effacement de l'écran lorsqu'il est au niveau logique "1". La porte NON-ET (5200) correspondant à la couleur verte sera reliée également à une porte (5011) dont la sortie déterminera la couleur de la forme du caractère, à une porte (5021) dont la sortie déterminera la couleur du fond et à une porte (5005) dont la sortie déterminera s'il doit y avoir inversion de l'écran. De la même façon la porte (5003) dont la sortie délivre le signal de commande de la couleur bleue sur un moniteur couleur sera reliée à la sortie d'une porte (5012) dont la sortie détermine la couleur de la forme du caractère, à la sortie du porte (5022) dont la sortie déterminera la couleur du fond et à la sortie d'une porte (5006) qui commandera l'inversion de l'écran. Les circuits (51, 52) sont chacun constitués d'un registre (5110, respectivement 5210) à 3 bascules, synchronisées par le signal SHCLK et réinitialisés respectivement par les signaux VRRST* et ROWRST*. Les trois sorties Q de chacun de ces registres sont reliées aux entrées 1A à 3A des multiplexeurs respectifs 5100, 5200. Les entrées 1B à 3B du multiplexeur 5100 reçoivent les signaux REDFORG de commande d'un caractère rouge GREFORG de commande d'un caractère vert, BLUFORG de commande d'un caractère bleu. De même les entrées 1B à 3B du multiplexeur 5200 reçoivent les signaux A6 à A4 de commande d'un fond respectivement rouge, vert, bleu. Les multiplexeurs (5100, 5200) sont commandés respectivement par les signaux FORGEN et BAKGEN de validation du caractère et respectivement de fond. Les signaux FORGEN et BAKGEN permettent d'assurer la prise en compte des commandes respectives de couleur (REDFORG à BLUFORG et A6 à A4) par les registres 5110 en 5210 lors du premier pixel d'un caractère. Ensuite le rebouclage des sorties Q sur les entrées A des multiplexeurs assure le maintien des commandes pendant tout le caractère, alors que les signaux REDFORG à BLUFORG et A6 à A4 correspondent déjà au caractère suivant.

Les autres circuits réalisant les fonctions décrites à la figure 2 étant des circuits classiques pour l'homme de métier ne seront pas décrits plus en détails.

D'autres modifications à la portée de l'homme de métier font également parties de l'esprit de l'invention.

Revendications

1. Décodeur d'attributs vidéo pour affichage couleur ou monochrome en mode alphanumérique à haute définition ou en mode vidéotex avec dans le mode vidéotex le choix entre le mode alphanumérique ou le mode semigraphique, comportant un circuit d'horloge (25), un registre de configuration (23), un registre d'attributs de caractères (22), un registre d'attributs de lignes (32, 33), un circuit de décodage des attributs (21) relié à ces différents registres, un circuit (41) de masquage des caractères, un sérialisateur (40) relié à ce circuit de masquage (41) et au circuit d'horloge (25), un circuit d'inversion du fond (53), un circuit (51) de commande de la couleur du caractère et un circuit (52) de commande de la couleur de fond, ces 3 derniers circuits étant reliés en entrée au circuit décodeur d'attributs en en sortie au circuit (50) de multiplexage et de commande des canons du moniteur, caractérisé en ce que la sortie (402) du circuit sérialisateur (40) est envoyée sur un circuit (54) d'élargissement du point dont la sortie (542) est reliée à une entrée du circuit de multiplexage, et en ce qu'il comprend en outre un circuit logique double hauteur (31) relié d'une part au registre d'attributs de lignes (33) et d'autre part aux lignes de sélection (LC0, LC3) d'une tranche de caractères dans une mémoire morte (15) générateur de caractère.

2. Contrôleur selon la revendication 1, caractérisé en ce que le circuit double hauteur (31) permet de doubler la hauteur des caractères quel que soit le nombre de tranches de caractères contenus dans un caractère de hauteur normale.

3. Contrôleur selon la revendication 1, caractérisé en ce que le circuit d'élargissement du point (54) permet d'élargir le point d'une valeur déterminée correspondant à une demi période d'horloge quel que soit le mode d'affichage adopté en direct ou en inverse.

4. Contrôleur selon la revendication 3, caractérisé en ce que le circuit d'élargissement du point est constitué d'un inverseur (5405) du signal d'horloge, d'une bascule de retardement (540), du signal de sérialisation des données et des données inversées et d'une logique combinatoire (5400) à (5403) entre les signaux de données, de données inversées et les mêmes signaux retardés en fonction du mode d'affichage direct ou inversé déterminé par un circuit (541).

5. Contrôleur selon l'une des revendications 1 ou 2, caractérisé en ce que le circuit de logique double hauteur (31) comprend des moyens (3100) de mémorisation de l'adresse de la dernière ligne du caractère, des moyens (3100) de générer une valeur constante et des moyens (3120) d'ajouter cette valeur constante au signal représentatif de la tranche de caractère en cours de traitement fourni par des moyens (3130) de mémoriser la tranche de caractère en cours de traitement et des

0 244 280

moyens (3120) de diviser par deux le résultat pour constituer l'adresse de la tranche du caractère délivré aux entrées d'adresse de tranche de la mémoire morte (15) générateur de caractère, et des moyens (3130) de sélectionner soit les sorties de l'additionneur diviseur soit les sorties du registre d'attributs de lignes (33).

5

10

15

20

25

30

35

40

45

50

55

60

65

FIG. 1

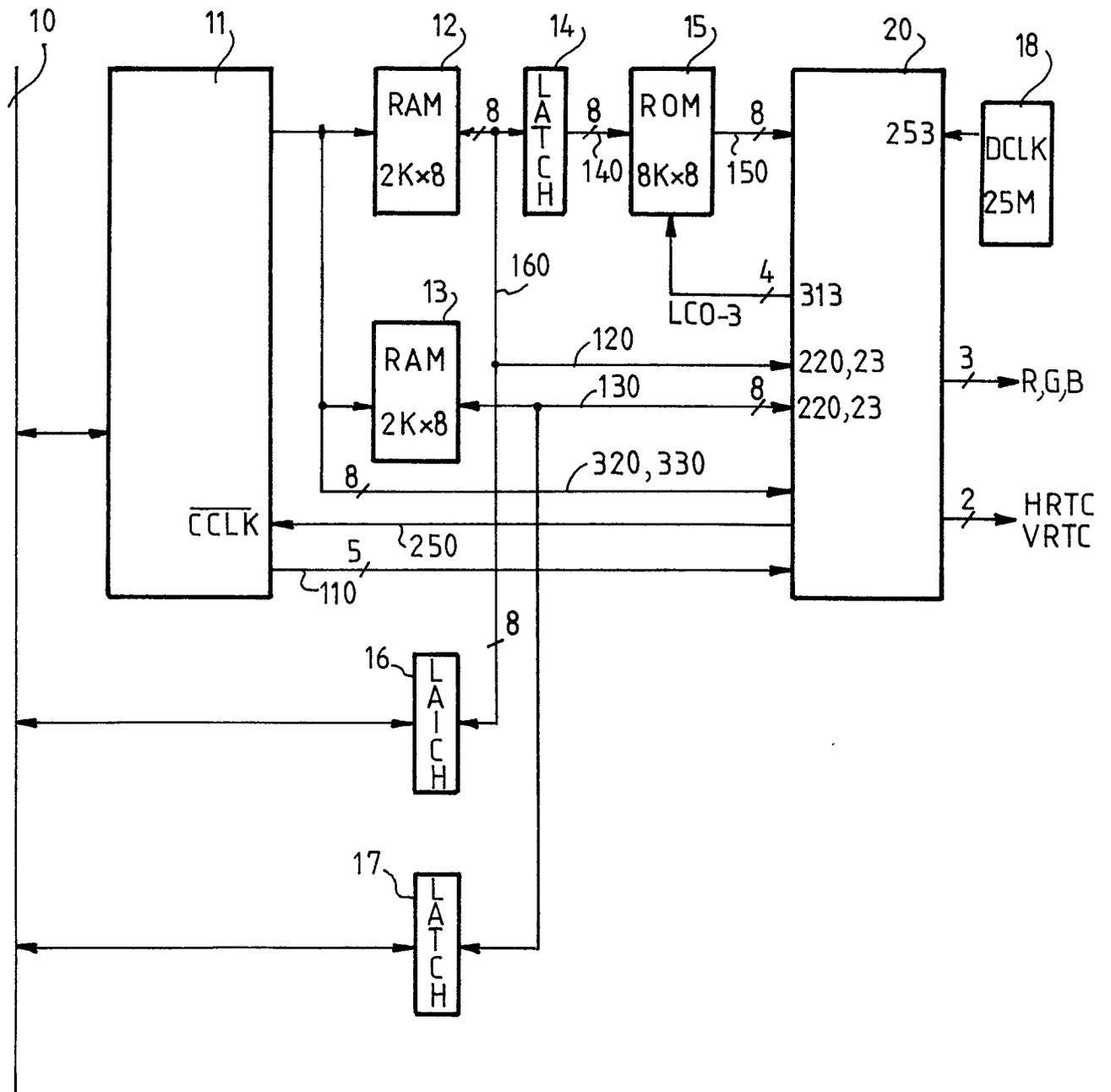
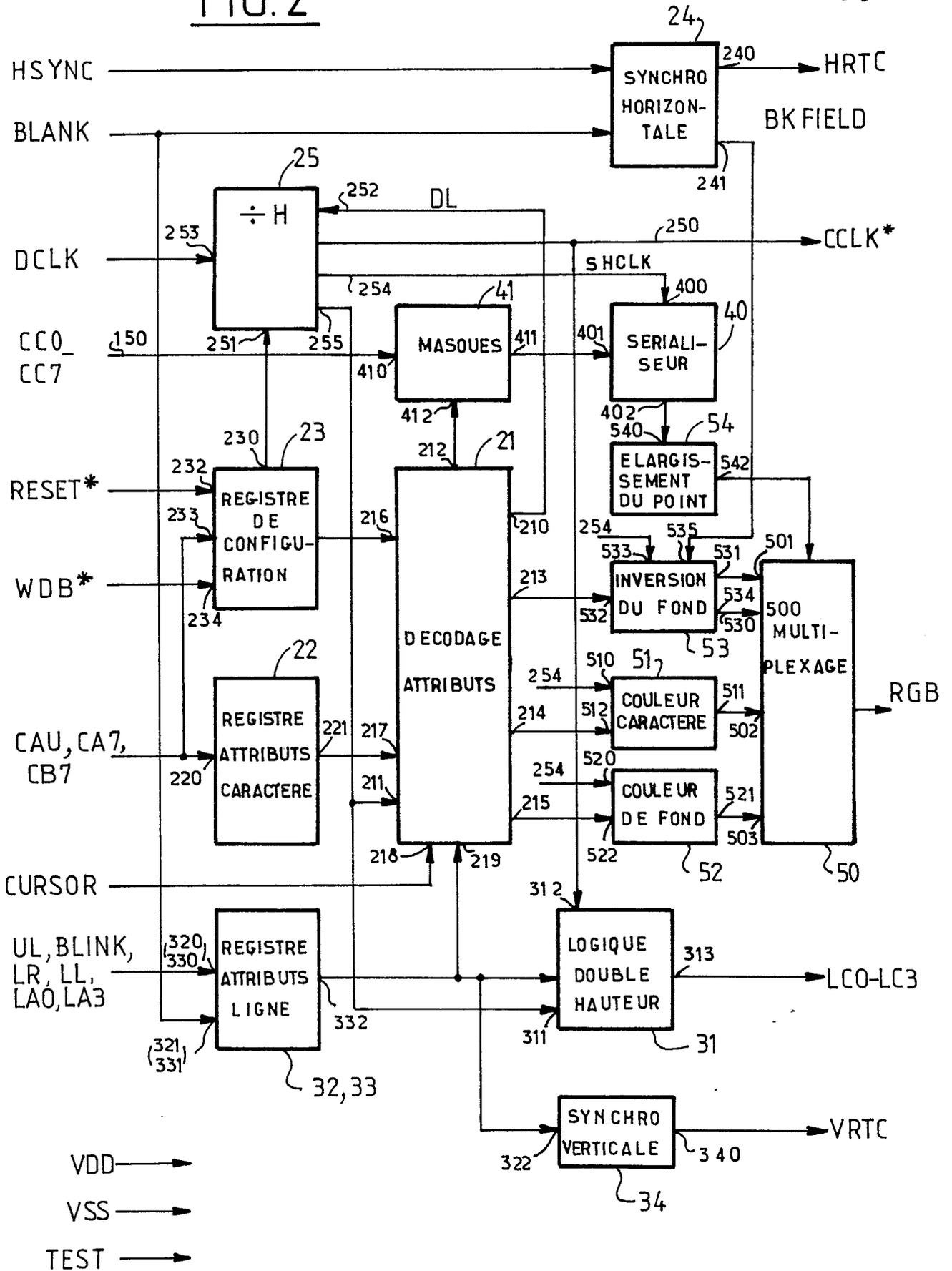
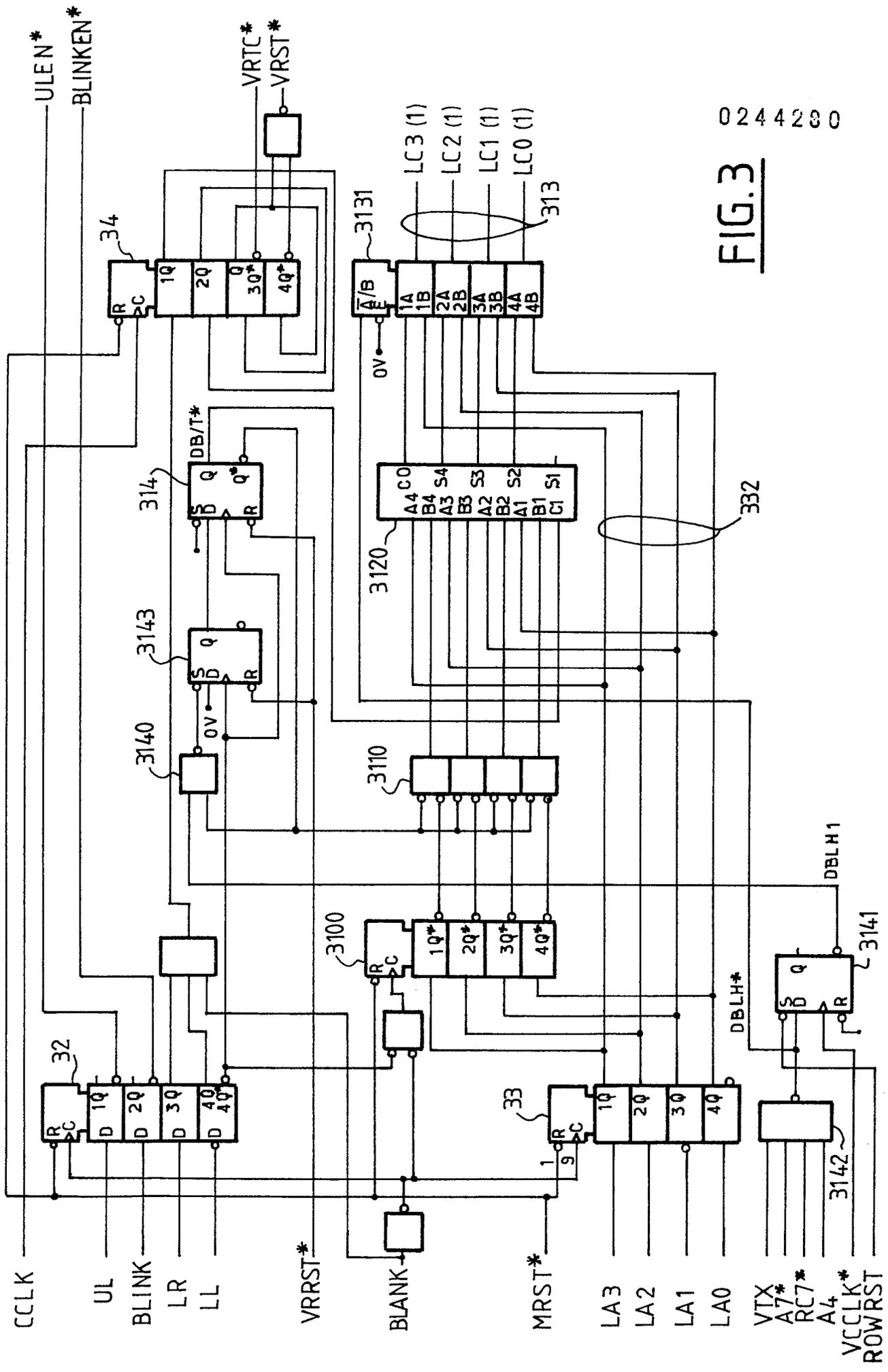


FIG. 2

0244280





0244280

FIG. 3

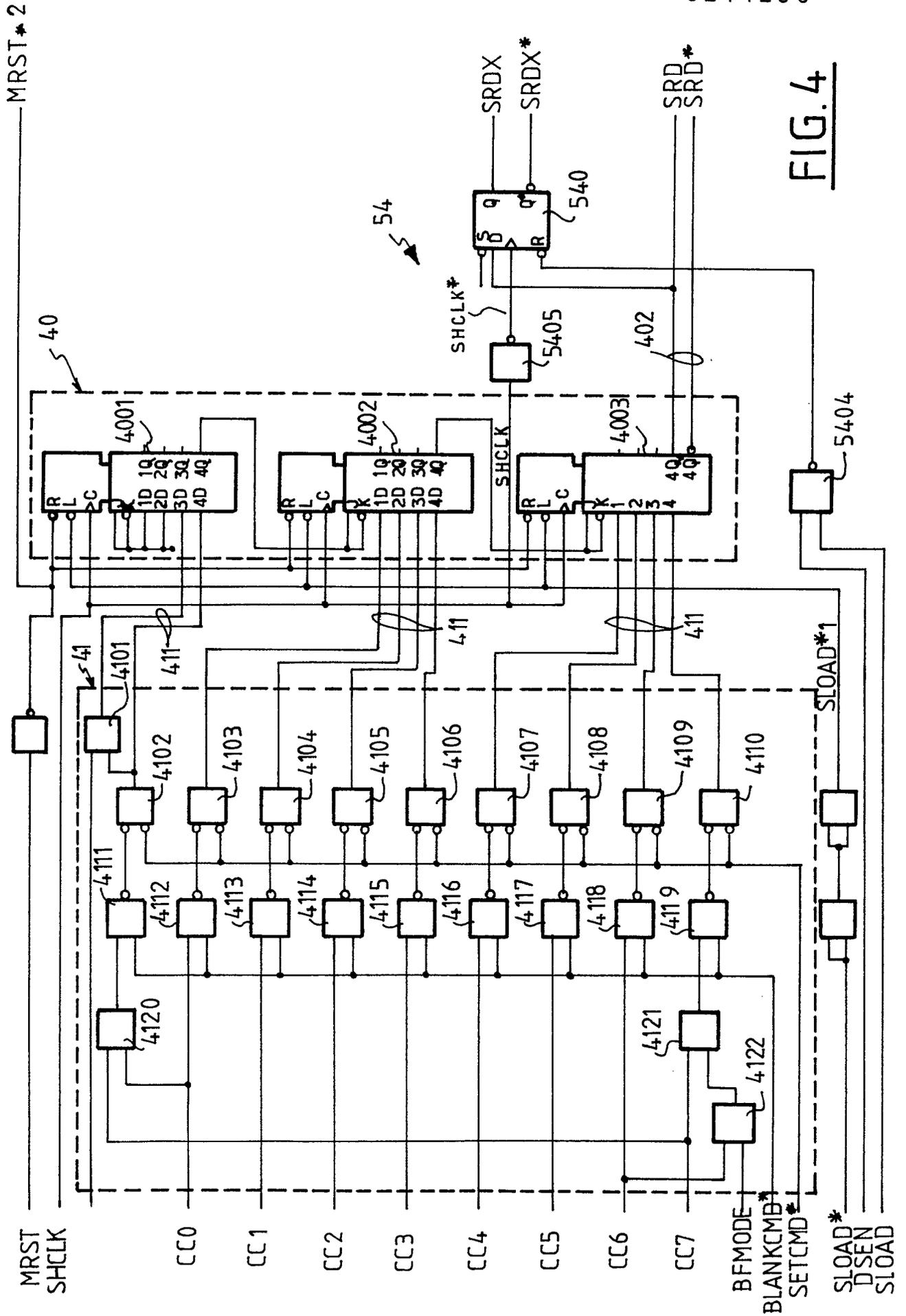


FIG. 4

SRDX*
 SRD*
 SRDX
 SRD
 REVCMD
 SLOAD
 BKFIELD
 BORDER
 VRRST*
 FORGEN
 REDFORG
 GREFORG
 BLUFORG
 ROWRST
 BAKGEN
 A6
 A5
 A4
 SHCLK

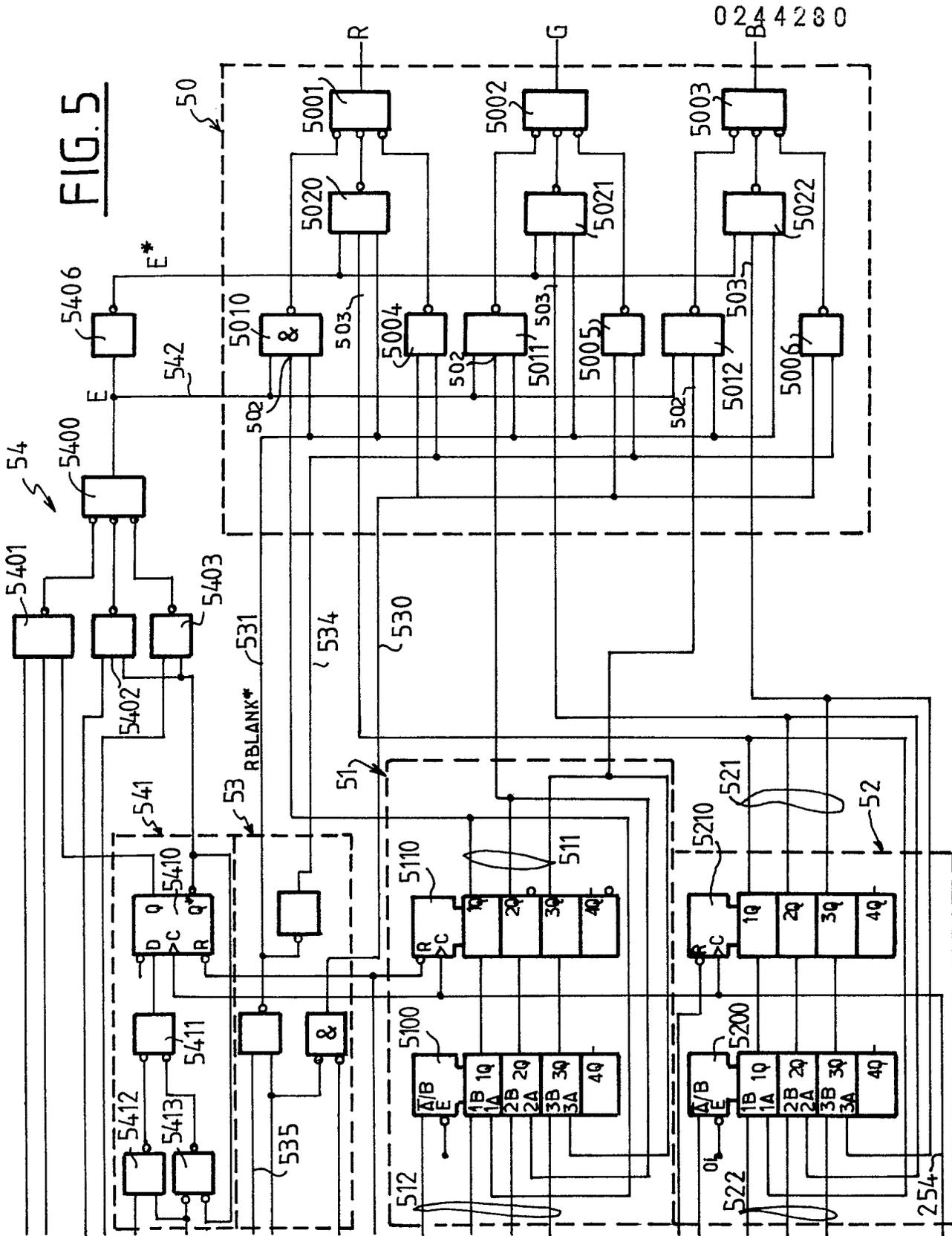


FIG. 5

0244280

FIG.6

0244280



FIG.7

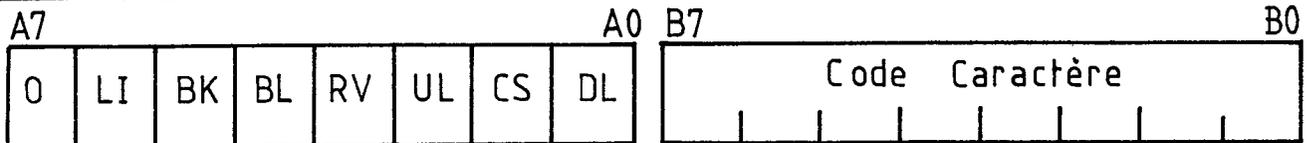


FIG.8

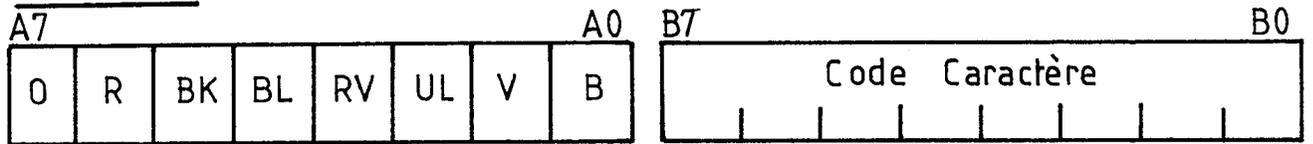


FIG.9

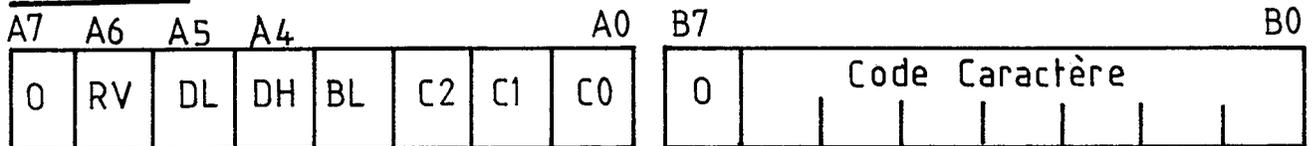


FIG.10

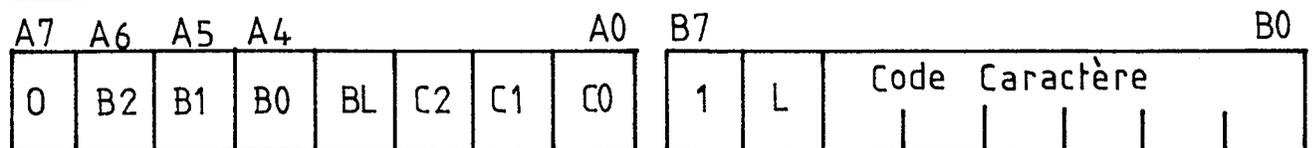


FIG.11

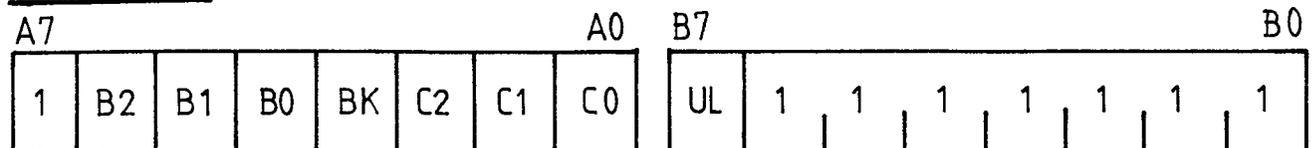


FIG. 12

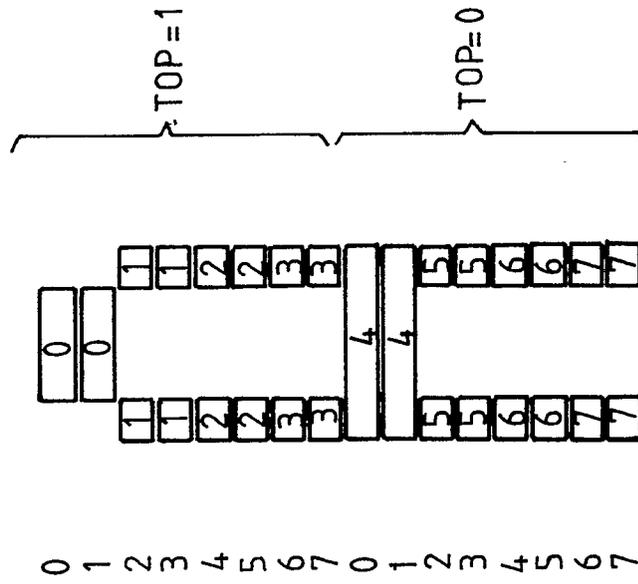
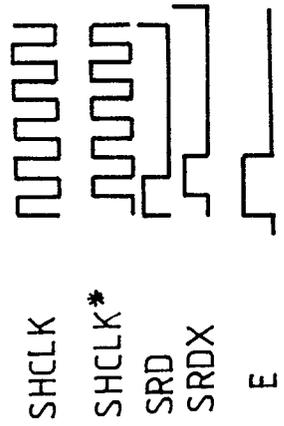
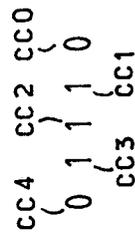
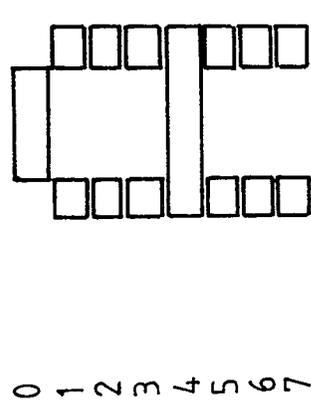


FIG. 13





EP 87 40 0711

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. 4)
A	EP-A-0 084 122 (IBM) * Page 15, revendication 1 *	1	G 09 G 1/28 G 09 G 1/16 G 09 G 1/14
A	US-A-4 479 119 (YUKIO SAKANO) * Figure 29 *	1	
			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. 4)
			G 09 G 1/28 G 09 G 1/16 G 09 G 1/14
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 31-07-1987	Examineur SIX G.E.E.
CATEGORIE DES DOCUMENTS CITES			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	