

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11)

Veröffentlichungsnummer:

0 248 268
A2

(12)

EUROPÄISCHE PATENTANMELDUNG

(21)

Anmeldenummer: 87107288.0

(51)

Int. Cl.4: G06F 11/26

(22)

Anmeldetag: 19.05.87

(30)

Priorität: 06.06.86 DE 3619023

(43)

Veröffentlichungstag der Anmeldung:
09.12.87 Patentblatt 87/50

(84)

Benannte Vertragsstaaten:
AT DE FR GB IT NL

(71)

Anmelder: **Siemens Aktiengesellschaft Berlin
und München**
Wittelsbacherplatz 2
D-8000 München 2(DE)

(72)

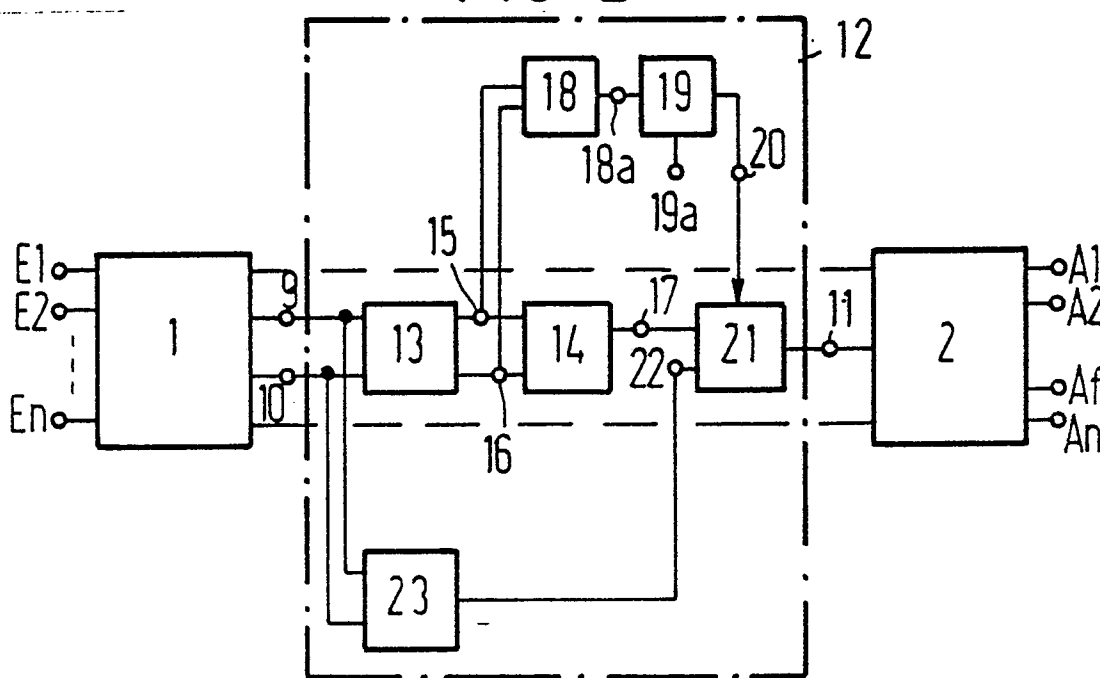
Erfinder: **Köppe, Siegm, Dipl.-Ing.**
Am Kamp 18
D-3014 Laatzen(DE)

(54)

Verfahren zur Simulation eines Fehlers in einer Logikschaltung und Simulationsmodelle zur Durchführung des Verfahrens.

(57) Verfahren zur Simulation einer fehlerhaft verzögerten Signalumschaltung am Ausgang einer Logikschaltung unter Verwendung eines modifizierten Simulationsmodells (12), das an sich zur Simulation eines Unterbrechungsfehlers geeignet ist und insbesondere eine Ausgangsstufe (14) aufweist, die die bei diesem Fehler auftretende Signalspeicherung berücksichtigt. Die Modifikation besteht darin, daß das Speicherverhalten der Ausgangsstufe (14) nach einer Taktperiode unterbunden wird.

FIG 2



Verfahren zur Simulation eines Fehlers in einer Logikschaltung und Simulationsmodelle zur Durchführung des Verfahrens

Die Erfindung bezieht sich auf ein Verfahren zur Simulation eines Fehlers in einer Logikschaltung nach dem Oberbegriff des Patentanspruchs 1 und auf Simulationsmodelle zur Durchführung des Verfahrens.

Ein schwer erkennbarer oder simulierbarer Fehler einer Logikschaltung sei anhand von Fig. 1 näher betrachtet. Hierbei wird von einer digitalen Schaltung ausgegangen, die einen eingangsseitigen Teil 1 und einen ausgangsseitigen Teil 2 enthält. Der Teil 1 weist eine Reihe von digitalen Eingängen E1...En auf, der Teil 2 eine Reihe von digitalen Ausgängen A1...An. Eine auf ihre Funktionsfähigkeit zu prüfende Logikschaltung, z.B. ein Inverter 3, ist über ihren Eingang mit einem Ausgang 4 des Teils 1 und über ihren Ausgang mit einem Eingang 5 des Teils 2 der digitalen Schaltung verbunden. Im Ausgangszustand der Schaltung liege an den Eingängen E1, E2 E3 und E4 ein Bitmuster 1, 1, 0, 1 an, wobei sich am Ausgang 4 eines UND-Gatters 6 und somit am Eingang des Inverters 3 eine logische "1" ergibt. Der Ausgang des Inverters 3 liegt dementsprechend auf "0", ebenso wie der erste Eingang eines NOR-Gatters 7, das im Schaltungsteil 2 der digitalen Schaltung angeordnet ist. Der zweite Eingang von 7 ist über den Eingang E3 mit einer "0" beschaltet, so daß über den Ausgang von 7 eine "1" an den ersten Eingang eines UND-Gatters 8 gelegt wird, dessen zweiter Eingang über E4 mit einer "1" belegt ist. Über den Ausgang von 8 wird dementsprechend eine "1" an den Ausgang Af abgegeben. Wird nun anschließend ein zweites Eingangsmuster 1, 0, 0, 1 bei E1 bis E4 angelegt, so ergeben sich an den Schaltungspunkten 4, 5, dem Ausgang von 7 und dem digitalen Ausgang Af jeweils die logischen Signale "0", "1", "0" und "0", wie auch in der Zeichnung angedeutet ist.

Wesentlich ist jedoch, daß die eingangsseitigen Bitmuster periodisch, und zwar jeweils zu Beginn einzelner aufeinanderfolgender Taktperioden, bei E1...En angelegt werden. Ebenso werden die aus diesen über die Teile 1, 3 und 2 abgeleiteten Ausgangsmuster jeweils zu Beginn der nächstfolgenden Abtastperioden an den Ausgängen A1...An abgefragt bzw. bewertet. Der Inverter kann nun den Fehler aufweisen, daß einer seiner Schaltungszweige eine unzulässig niedrige Leitfähigkeit besitzt. Ursache hierfür kann bei einer in integrierter Schaltkreistechnik ausgeführten Schaltung z.B. eine zu hochohmige Kontaktierung, eine Leiterbahnverengung oder eine Einsatzspannungsverschiebung eines Feldeffekttransistors sein. Unter der Annahme, daß dieser

Fehler in dem den Inverterausgang mit einem Anschluß der Versorgungsspannung verbindenden Schaltungszweig (pull-up-Pfad) vorhanden ist, ergeben sich für die abgeleiteten Ausgangsbitmuster folgende Auswirkungen: Zu Beginn einer bestimmten, ersten Taktperiode wird der im genannten Ausgangszustand befindlichen Schaltung über die Eingänge E1 bis E4 das Eingangsmuster 1, 0, 0, 1 zugeführt. Damit wird an den Invertereingang eine logische "0" angelegt. Der Ausgang eines fehlerfreien Inverters würde nun innerhalb dieser Taktperiode von "0" auf "1" umgeladen werden. Durch den genannten Fehler erfolgt aber das Umladen des Inverterausgangs so langsam, daß sein Potential zum Bewertungszeitpunkt, d.h. zu Beginn der nachfolgenden, zweiten Taktperiode, von den mit dem Inverterausgang verbundenen Schaltungsteilen 7, 8 und Af noch als "0" bewertet wird. Dabei ergeben sich die Signalabweichungen, die in Fig. 1 an den betreffenden Schaltungspunkten jeweils hinter den Schrägstrichen angedeutet sind. Am digitalen Schaltungsausgang Af ist der Signalfehler dadurch zu erkennen, daß anstelle der erwarteten "0" eine "1" auftritt. Sofern der Invertereingang in der genannten zweiten Taktperiode wieder mit einer "0" belegt wird, kann der verzögerte Umladevorgang dann in dieser Taktperiode abgeschlossen werden. Das bedeutet, daß der Inverterausgang um eine Taktperiode verzögert auf "1" umgeschaltet wird. Der fehlerhaft verlangsamte Signalwechsel am Inverterausgang ist also am digitalen Schaltungsausgang Af nur während der ersten Taktperiode erkennbar.

Tritt der beschriebene Fehler, der auch als ein lokaler Verzögerungsfehler bezeichnet werden kann, in einer allgemeinen, auf ihre Funktionsfähigkeit zu prüfenden Logikschaltung auf, die z.B. zwischen einer Mehrzahl von Ausgängen des Teiles 1 und einer Mehrzahl von Eingängen des Teils 2 der digitalen Schaltung von Fig. 1 angeordnet ist, so müssen für die Zwecke der Fehlererkennung zwei Eingangsbitmuster nacheinander zugeführt werden. Von diesen wird das erste, in einer ersten Taktperiode angelegte Bitmuster als Initialisierungsmuster bezeichnet, das zweite, in der darauffolgenden Taktperiode angelegte Muster als fehlererkennendes Muster. Für das obengenannte Beispiel eines fehlerbehafteten Inverters weist ein mögliches Initialisierungsmuster die Bits 1, 1, 0, 1 für die Eingänge E1 bis E4 auf, während ein fehlererkennendes Muster diese Eingänge mit den Bits

1, 0, 0, 1 belegt. Der lokale Verzögerungsfehler ist auch bei der Prüfung einer allgemeinen Logikschaltung nur in einer einzigen Taktperiode erkennbar.

Bei einem Simulationsverfahren wird nun so vorgegangen, daß die zu prüfende Logikschaltung durch ein Simulationsmodell nachgebildet wird, das entsprechend der realen Logikschaltung zwischen die Schaltungsteile 1 und 2 der digitalen Schaltung eingefügt wird. In diesem Simulationsmodell ist ein bestimmter lokaler Verzögerungsfehler enthalten. In einer Mehrzahl von aufeinanderfolgenden Taktperioden wird sodann eine Folge von n-stelligen Bitmustern an E1...En angelegt. An den Ausgängen A1...An erscheinen jeweils die über den Schaltungsteil 1, das Simulationsmodell und den Schaltungsteil 2 abgeleiteten Ausgangsmuster, die registriert und mit Sollmustern verglichen werden, welche für den fehlerfreien Fall maßgeblich sind. Jedes Eingangsbitmuster, das zu einem Ausgangsmuster führt, das in wenigstens einem Bit von dem entsprechenden Sollmuster abweicht, ist als ein fehlererkennendes Muster qualifiziert. Wird ein auf diese Weise ermitteltes fehlererkennendes Muster der zu prüfenden digitalen Schaltung zugeführt, in der das Simulationsmodell durch eine entsprechende, realisierte Logikschaltung ersetzt ist, so kann man für den Fall, daß bei A1...An ein Ausgangsmuster auftritt, das dem im Simulationsverfahren infolge des simulierten Fehlers aufgetretenen Muster entspricht, auf das Vorhandensein des simulierten Verzögerungsfehlers in der realen logischen Schaltung schließen.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren der eingangs genannten Art anzugeben, mit dem ein lokaler Verzögerungsfehler einer Logikschaltung in einfacher Weise simuliert werden kann. Das wird erfindungsgemäß durch eine Ausbildung nach dem kennzeichnenden Teil des Patentanspruchs 1 erreicht.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere darin, daß zur Simulation eines lokalen Verzögerungsfehlers von bekannten Simulationsmodellen ausgegangen werden kann, die zur Simulation von Unterbrechungsfehlern dienen, wobei diese Simulationsmodelle mit geringem Aufwand soweit ergänzt werden können, daß sie zur Simulation eines lokalen Verzögerungsfehlers geeignet sind.

Der Patentanspruch 2 ist auf eine bevorzugte Ausgestaltung des Verfahrens nach der Erfindung gerichtet. Die Patentansprüche 3 bis 7 betreffen vorteilhafte Simulationsmodelle zur Durchführung des erfindungsgemäßen Verfahrens.

Die Erfindung wird nachfolgend anhand von in der Zeichnung dargestellten bevorzugten Simulationsmodellen, die zur Durchführung des erfindungsgemäßen Verfahrens geeignet sind, näher erläutert. Dabei zeigt:

Fig. 1 eine schematische Darstellung einer digitalen Schaltung, die eine mit einem lokalen Verzögerungsfehler behaftete Logikschaltung als Teilschaltung enthält,

Fig. 2 die Grundschaltung eines ersten nach der Erfindung ausgebildeten Simulationsmodells,

Fig. 3 die Grundschaltung eines zweiten nach der Erfindung ausgebildeten Simulationsmodells,

Fig. 4 eine bevorzugte schaltungstechnische Durchbildung einer Teilschaltung von Fig. 2 oder Fig. 3,

Fig. 5 eine bevorzugte schaltungstechnische Durchbildung einer anderen Teilschaltung von Fig. 2 oder Fig. 3 und

Fig. 6 einen Teil eines Simulationsmodells für die Überprüfung eines NAND-Gatters auf das Vorhandensein eines lokalen Verzögerungsfehlers.

In Fig. 2 ist eine auf das Vorliegen eines lokalen Verzögerungsfehlers zu prüfende Logikschaltung, die über ihre Eingänge mit Ausgängen 9 und 10 des Teils 1 und über ihren Ausgang mit dem Eingang 11 des Teils 2 einer digitalen Schaltung verbunden ist, durch ein nach der Erfindung ausgebildetes Simulationsmodell 12 nachgebildet. Das letztere enthält eine Nachbildungsstufe 13, die in Verbindung mit einer nachgeschalteten Ausgangsstufe 14 die Logikschaltung so nachbildet, als ob sie nicht einen Schaltungszweig mit einem unzulässig niedrigen Leitwert enthalten würde, sondern einen Schaltungszweig mit einem Unterbrechungsfehler. Ein solcher Unterbrechungsfehler ruft an einem Schaltungspunkt der Logikschaltung eine Signalspeicherung hervor. Setzt man nämlich voraus, daß dieser Schaltungspunkt eine Kapazität hinreichender Größe aufweist, so z.B. wenn er gleichzeitig den mit einer Gatekapazität behafteten Eingang einer nachfolgenden Feldeffekttransistorstufe darstellt, und tritt eine durch den Unterbrechungsfehler bedingte Isolation des Schaltungspunktes gegenüber dem vorgeordneten, treibenden Teil der Logikschaltung auf, so bleibt der beim Wirksamwerden des Unterbrechungsfehlers jeweils vorhandene Ladungszustand der Kapazität bestehen.

Dieser Effekt einer Ladungsspeicherung wird durch eine Ausgangsstufe 14 berücksichtigt, die mit ihren beiden Eingängen an zwei Ausgänge 15, 16 der Nachbildungsstufe 13 geschaltet ist. Der Ausgang von 14 ist mit 17 bezeichnet. Die Ausgangsstufe 14 hat die Funktion, daß sie jedes durch den in 13 simulierten Unterbrechungsfehler nicht beeinflusste Signal, das am Ausgang 15 von

13 auftritt, auf ihren Ausgang 17 durchschaltet, dagegen beim Auftreten eines von dem simulierten Fehler beeinflussten Signals nicht dieses Signal durchschaltet, sondern die Durchschaltung des letzten Signals, das vor dem Auftreten des fehlerbeeinflussten Signals an 15 aufgetreten war, weiter aufrecht erhält. Die Steuerung der Ausgangsstufe 14 erfolgt in Abhängigkeit von den an den Ausgängen 15 und 16 der Nachbildungsstufe 13 auftretenden Signalen. Die Nachbildungsstufe 13 ist dabei so ausgebildet, daß immer dann, wenn an beiden Ausgängen 15 und 16 jeweils eine logische "0" erscheint, ein durch den Unterbrechungsfehler beeinflusstes Signal vorhanden ist.

In den Proc. of 20th Design Automation Conf. 1983 sind auf den Seiten 64 - 70 einige mit Unterbrechungsfehlern behaftete Gatterschaltungen und die entsprechenden Nachbildungsstufen einschließlich der zugehörigen Ausgangsstufen beschrieben und dargestellt. Beispielsweise zeigt die Fig. 1 dieser Veröffentlichung ein CMOS-Gatter und die Fig. 3 die entsprechende Nachbildungs- und Ausgangsstufe. In Fig. 3 dieser Veröffentlichung ist die Ausgangsstufe 14 als ein logischer Block B bezeichnet, dessen Funktionstabelle, die der Tabelle I auf Seite 65 zu entnehmen ist, mit der eines RS-Flipflops übereinstimmt.

In einem Detektor 18, der mit seinen beiden Eingängen an die Ausgänge 15 und 16 gelegt ist, wird geprüft, ob sich die Nachbildungsstufe 13 in einem Schaltzustand befindet, bei dem sowohl an 15 als auch an 16 eine logische "0" auftritt. Ist das der Fall, so wird am Ausgang 18a von 18 eine logische "1" abgegeben. Dabei kann der Detektor 18 beispielsweise aus einem NOR-Gatter bestehen. Das Ausgangssignal von 18 wird einem Auswerter 19 zugeführt, dessen Takteingang 19a mit Taktimpulsen belegt ist, die jeweils zu Beginn der einzelnen Taktperioden auftreten. Der Auswerter 19 prüft, ob die Signalkombination 0, 0 über die Ausgänge 15 und 16 der Nachbildungsstufe 13 während zweier aufeinanderfolgender Taktperioden abgegeben wird. Tritt die Signalkombination 0, 0 nicht odernur während einer einzigen Taktperiode auf, so wird über den Ausgang 20 von 19 eine logische "1" abgegeben, die dem Steuereingang eines Multiplexers 21 zugeführt wird. Tritt die Signalkombination 0, 0 an den Ausgängen 15 und 16 aber während zweier aufeinanderfolgender Taktperioden auf, so gibt der Auswerter 19 am Ausgang 20 eine logische "0" ab. Der Multiplexer 21 schaltet nun beim Empfang eines Steuersignals "1" die Signale an seinem ersten Eingang, der mit dem Ausgang 17 beschaltet ist, auf seinen Ausgang 11 durch. Beim Auftreten eines Steuersignals "0" werden dagegen die an 17 anliegenden Signale vom Ausgang 11 abgeschaltet und statt dessen die Signale, die an seinem Eingang 22 anliegen, auf 11

durchgeschaltet. Der Eingang 22 ist dabei mit dem Ausgang einer fehlerfreien Nachbildung 23 verbunden, die parallel zur Nachbildungsstufe 13 angesteuert wird und so ausgebildet ist, daß sie die Funktion der zu überprüfenden Logikschaltung fehlerfrei nachbildet.

Durch die Teile 13 bis 23 wird erreicht, daß für den Fall, daß die fehlersignifikante Signalkombination 0, 0 an den Ausgängen 15 und 16 nur während einer einzigen Taktperiode auftritt, das am Ausgang 17 der Ausgangsstufe 14 gespeicherte Signal, das für die Erkennung eines lokalen Verzögerungsfehlers in 13 als Initialisierungssignal dient, auf den Ausgang 11 durchgeschaltet wird und somit für eine Erkennung dieses Fehlers am Ausgang Af zur Verfügung steht. Bleibt jedoch die Signalkombination 0, 0 an den Ausgängen 15 und 16 während zweier aufeinanderfolgender Taktperioden bestehen, so wird das an 17 gespeicherte Signal vom Ausgang 11 abgeschaltet und durch das Ausgangssignal der fehlerfreien Nachbildung 23 ersetzt. Damit wird aber eine Fehlererkennung auf eine einzige Taktperiode beschränkt, zu deren Beginn der zur Fehlererkennung notwendige Signalwechsel an den Eingängen E1...En erfolgte. Die hierdurch bewirkte Reduzierung der Fehlererkennbarkeit eines Unterbrechungsfehlers auf eine einzige Taktperiode entspricht aber vollständig der gewünschten Simulation eines lokalen Verzögerungsfehlers in der zu untersuchenden Logikschaltung.

Fig. 3 zeigt eine von Fig. 2 abweichende Ausbildung des Simulationsmodells, das hier mit 12' bezeichnet ist. Hier ist eine fehlerfreie Nachbildung 23' der zu überprüfenden Logikschaltung vorgesehen, deren beide Eingänge mit den Ausgängen 9 und 10 des Teils 1 der digitalen Schaltung verbunden sind. Der Ausgang 24 von 23' ist über eine Ausgangsstufe 25, deren Ausgang mit 26 bezeichnet ist, an den ersten Eingang des Multiplexers 21 geführt, während der zweite Eingang von 21 mit dem Ausgang 24 beschaltet ist. Eine mit einem simulierten Unterbrechungsfehler versehene Ansteuerschaltung 27, die parallel zu 23' über die Ausgänge 9 und 10 angesteuert wird, gibt beim Anlegen von Eingangssignalen, die zu einem von dem simulierten Unterbrechungsfehler nicht beeinflussten Ausgangssignal der Logikschaltung führen, über ihren Ausgang 28 eine logische "1" ab, welche die Ausgangsstufe 25 für die über 24 angelegten Signale durchlässig schaltet, so daß letztere an den Ausgang 26 gelangen. Wird jedoch über 9 und 10 ein eingangsseitiges Bitmuster an 12' angelegt, daß zu einem vom simulierten Unterbrechungsfehler beeinflussten Signal am Ausgang der Logikschaltung führt, so tritt am Ausgang 28 das logische Signal "0" auf, das die Übertragung des gleichzeitig bei 24 anliegenden Signals auf den

Ausgang 26 verhindert und stattdessen die Durchschaltung des letzten vor dem Unterbrechen des Signalweges 24-26 bei 24 aufgetretenen Signals weiter aufrecht erhält.

Das am Schaltungspunkt 28 auftretende, die Ausgangsstufe 25 steuernde Signal wird außerdem einem Inverter 29 zugeführt, dessen Ausgangssignal zum Auswerter 19 gelangt. Die übrigen Schaltungsteile der Fig. 3 entsprechen den gleichbezeichneten Schaltungsteilen von Fig. 2 nach Aufbau und Wirkungsweise. Auch hier wird beim Auftreten der Bedingung, daß an den Ausgängen 9 und 10 des Schaltungsteils 1 während der Dauer von zwei aufeinanderfolgenden Taktperioden Signale anliegen, die am Ausgang der zu prüfenden logischen Schaltung zu Ausgangssignalen führen, die von dem simulierten Unterbrechungsfehler beeinflusst sind, der Multiplexer 21 so angesteuert, daß anstelle des bei 26 anliegenden Signals das bei 24 anliegende, von dem Unterbrechungsfehler nicht beeinflusste Signal an den Ausgang 11 des Simulationsmodells 12' durchgeschaltet wird. Durch diese Ansteuerung des Multiplexers 21 wird die Simulation eines Unterbrechungsfehlers erreicht, der nur für die Dauer einer Taktperiode auftritt, was aber der Simulation eines lokalen Verzögerungsfehlers entspricht.

Ein im Bell. Syst. Techn. Journ. Mai/Juni 1978 auf den Seiten 1455-1458, insbesondere anhand der Figuren 3 und 4 beschriebenes Simulationsmodell entspricht den Teilen 23', 25 und 27 der Fig. 3.

Der zwischen den Schaltungspunkten 18a und 20 von Fig. 2 liegende Auswerter 19 kann zweckmäßigerweise gemäß Fig. 4 ausgebildet sein. Dabei ist 18a mit dem Eingang eines D-Flipflops 29 verbunden. Der Ausgang Q desselben ist an den ersten Eingang eines NAND-Gatters 30 gelegt, dessen zweiter Eingang mit 18a verbunden ist. Der Ausgang von 30 entspricht dem Schaltungspunkt 20 von Fig. 1. Der Schaltungspunkt 19a stellt hierbei den Takteingang des D-Flipflops 29 dar. Liegt bei 18a eine logische "1" innerhalb eines Zeitraumes an, der länger ist als eine Taktperiode, so liegt eine logische "1" sowohl am Eingang D als auch am Ausgang Q von 29. Das bedeutet aber, daß der Ausgang des NAND-Gatters 30 auf "0" gelegt wird. Damit wird der Multiplexer 21 wie beschrieben von dem Ausgang 17 auf den Ausgang der fehlerfreien Nachbildung 23 umgeschaltet, so daß sich eine Simulation eines lokalen Verzögerungsfehlers gewährleistet ist. Ein nach Fig. 4 ausgebildeter Ausgang 19 kann auch in Fig. 3 eingesetzt werden.

Eine vorteilhafte Ausbildung des Multiplexers 21 ist in Fig. 5 dargestellt. Hierbei sind zwei NAND-Gatter 31 und 32 vorgesehen, deren erste Eingänge über einen Inverter 33 miteinander verbunden sind. Weiterhin ist der erste Eingang von 31 mit dem Ausgang 20 des Auswerters 19 be-

schaltet. Der zweite Eingang von 31 liegt beim Simulationsmodell 12 am Ausgang 17 der Ausgangsstufe 14, wobei der zweite Eingang von 32 dem Eingang 22 des Multiplexers 21 entspricht. Die Ausgänge der UND-Gatter 31 und 32 sind an die Eingänge eines ODER-Gatters 34 gelegt, dessen Ausgang den Ausgang 11 des Multiplexers darstellt. Im Falle des Simulationsmodells 12' nach Fig. 3 liegt der zweite Eingang von 31 am Schaltungspunkt 26.

Fig. 6 zeigt die schaltungstechnische Durchbildung einer gemäß Fig. 2 in das Simulationsmodell 12 eingesetzten Nachbildungsstufe 13 und einer zugehörigen Ausgangsstufe 14, die zur Nachbildung eines NAND-Gatters mit zwei Eingängen in komplementärer Schaltungstechnik dienen. Dabei sind ein NAND-Gatter 35 und ein UND-Gatter 36 mit ihren ersten Eingängen an den Schaltungspunkt 9 gelegt, während ihre zweiten Eingänge mit dem Schaltungspunkt 10 verbunden sind. Der Ausgang von 35 ist an den S-Eingang eines RS-Flipflops 37 gelegt, der Ausgang von 36 an dessen R-Eingang. Der Ausgang Q des RS-Flipflops 37 entspricht dem Schaltungspunkt 17 von Fig. 2.

Ein Unterbrechungsfehler in einem der beiden Parallelzweige des nachgebildeten NAND-Gatters wird durch einen Haftfehler am ersten Eingang von 35 simuliert, ein Unterbrechungsfehler in dem anderen der beiden Parallelzweige durch einen Haftfehler am zweiten Eingang von 35. Diese beiden Haftfehler, die als "stuck-at-1"-Fehler ausgebildet sind, werden ihrerseits durch eine Abtrennung des jeweiligen Eingangs von dem Schaltungspunkt 9 bzw. 10 und durch das Anlegen eines Pegels, der einer logischen "1" entspricht, an den jeweils abgetrennten Eingang von 35 simuliert. Ein Unterbrechungsfehler im Serienzweig des nachgebildeten NAND-Gatters wird durch einen Haftfehler am Ausgang von 36 simuliert. Dieser Haftfehler wird als ein "stuck-at-0"-Fehler ausgebildet und in der Weise simuliert, daß der R-Eingang von 37 vom Ausgang des UND-Gatters 36 abgetrennt und mit einem Pegel belegt wird, der einer logischen "0" entspricht.

Bezugszeichenliste

- | | |
|---|---|
| 1 | eingangsseitiger Teil einer digitalen Schaltung |
| 2 | ausgangsseitiger Teil der digitalen Schaltung |
| 3 | Inverter |
| 4 | Ausgang von 1 |
| 5 | Eingang von 2 |
| 6 | UND-Gatter |
| 7 | NOR-Gatter |
| 8 | UND-Gatter |

9, 10 Ausgänge von 1
 11 Eingang von 2
 12 Simulationsmodell
 13 Nachbildungsstufe
 14 Ausgangsstufe
 15, 16 Ausgänge von 13
 17 Ausgag von 14
 18 Detektor
 18a Ausgang von 18
 19 Auswerter
 20 Ausgang von 19
 21 Multiplexer
 22 Eingang von 21
 23, 23' Nachbildungen
 24 Ausgang von 23'
 25 Ausgangsstufe
 26 Ausgang von 25
 27 Ansteuerschaltung
 28 Ausgang von 27
 29 Inverter
 30, 31, 32 NAND-Gatter
 33 Inverter
 34 ODER-Gatter
 35 NAND-Gatter
 36 UND-Gatter
 37 RS-Flipflop
 E1...En digitale Eingänge
 A1...An digitale Ausgänge

Ansprüche

1. Verfahren zur Simulation eines Fehlers in einer Logikschaltung mit Feldeffekttransistoren, bei dem von einer jeweils in aufeinanderfolgenden Taktperioden angelegten Folge von Eingangsbitmustern über ein den Fehler enthaltendes Simulationsmodell Ausgangsbitmuster abgeleitet werden, die mit für den fehlerfreien Fall geltenden Sollmustern verglichen werden, **dadurch gekennzeichnet**, daß zur Simulation eines Verzögerungsfehlers der Logikschaltung ein Simulationsmodell zur Simulation eines Unterbrechungsfehlers der Logikschaltung verwendet wird, wobei eine bei einem Unterbrechungsfehler auftretende Signalspeicherung durch die Funktion einer Ausgangsstufe des Simulationsmodells berücksichtigt wird, die ein an dem Ausgang der Logikschaltung auftretendes, durch den Unterbrechungsfehler nicht beeinflusstes Signal an ihren Ausgang durchschaltet, jedoch beim Auftreten eines durch den Unterbrechungsfehler beeinflussten Signals des unmittelbar vor diesem an dem Ausgang der Logikschaltung aufgetretenen Signals aufrecht erhält, und daß die Aufrechterhaltung der Durchschaltung nach einer einzigen Taktperiode beendet wird.

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß bei Beendigung der Durchschaltung des unmittelbar vorher am Ausgang der Logikschaltung aufgetretenen Signals das letztere durch das bei einer fehlerfreien Logikschaltung auftretende Ausgangssignal ersetzt wird.

3. Simulationsmodell zur Durchführung des Verfahrens nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß eine Nachbildungsstufe (13) vorgesehen ist, die in Verbindung mit einer nachgeschalteten, die Funktion eines RS-Flipflops nachbildenden Ausgangsstufe (14) eine mit einem Unterbrechungsfehler behaftete Logikschaltung simuliert, wobei die Ansteuerung der Ausgangsstufe über zwei Ausgänge (15, 16) der Nachbildungsstufe (13) in der Weise erfolgt, daß ein an dem einen Ausgang (15) der Nachbildungsstufe (13) auftretendes Signal, das von dem Unterbrechungsfehler nicht beeinflusst ist, an den Ausgang (17) der ersten Ausgangsstufe (14) durchgeschaltet wird, und daß beim Auftreten eines von dem Unterbrechungsfehler beeinflussten Signals am Ausgang (15) der Nachbildungsstufe (13) die Durchschaltung des unmittelbar vor diesem am Ausgang (15) der Nachbildungsstufe (13) aufgetretenen Signals aufrecht erhalten wird, daß ein an die beiden Ausgänge (15, 16) der Nachbildungsstufe (13) gelegter Detektor (18) vorgesehen ist, der beim Auftreten einer für den Unterbrechungsfehler signifikanten Signalbelegung an den Ausgängen (15, 16) der Nachbildungsstufe (13) ein Ausgangssignal abgibt, das dem Eingang eines über einen Takteingang (19a) mit Taktimpulsen beaufschlagten Auswerter (19) zugeführt wird, und daß der Auswerter (19) mit dem Steuereingang eines Multiplexers (21) beschaltet ist, dessen erster Eingang mit dem Ausgang (17) der ersten Ausgangsstufe (14) verbunden ist, dessen zweiter Eingang mit dem Ausgang einer gemeinsam mit der Nachbildungsstufe (13) angesteuerten, fehlerfreien Nachbildung (23) beschaltet ist und dessen Ausgang (11) den Ausgang des Simulationsmodells (12) darstellt.

4. Simulationsmodell zur Durchführung des Verfahrens nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß eine die Funktion der zu prüfenden Logikschaltung simulierende, fehlerfreie Nachbildungsstufe (23') vorgesehen ist, der eine zweite Ausgangsstufe (25) mit einem Daten- und einem Steuereingang nachgeschaltet ist, wobei der Dateneingang der zweiten Ausgangsstufe (25) mit dem Ausgang (24) der fehlerfreien Nachbildungsstufe (23') verbunden ist, daß eine für den zu simulierenden Unterbrechungsfehler angelegte, parallel zur fehlerfreien Nachbildungsstufe (23') angesteuerte Ansteuerschaltung (27) vorhanden ist, deren Ausgang mit dem Steuereingang der zweiten Ausgangsstufe (25) beschaltet ist, daß die Ansteuerschaltung (27) beim Auftreten einer vom

Unterbrechungsfehler nicht zu beeinflussenden Signalbelegung an den Eingängen der fehlerfreien Nachbildungsstufe (23') ein erstes Ausgangssignal abgibt, das den Ausgang der fehlerfreien Nachbildungsstufe (23') auf den Ausgang (26) der zweiten Ausgangsstufe (25) durchschaltet, beim Auftreten einer durch den Unterbrechungsfehler zu beeinflussenden Signalbelegung an den Eingängen der fehlerfreien Nachbildungsstufe (23') jedoch ein zweites Ausgangssignal abgibt, daß die Durchschaltung des unmittelbar vor dem Anlegen dieser letztgenannten Signalbelegung am Ausgang (24) der fehlerfreien Nachbildungsstufe (23') aufgetretenen Signals auf den Ausgang (26) der zweiten Ausgangsstufe (25) aufrecht erhält, daß die Ausgangssignale der Ansteuerschaltung (27) einem Auswerter (19) zugeführt werden, der über einen Takteingang (19a) mit Taktimpulsen beaufschlagt ist, und daß der Auswerter (19) mit dem Eingang eines Multiplexers (21) beschaltet ist, dessen erster Eingang mit dem Ausgang (26) der zweiten Ausgangsstufe (25) verbunden ist, dessen zweiter Eingang mit dem Ausgang (24) der fehlerfreien Nachbildungsstufe (23') beschaltet ist und dessen Ausgang (11) den Ausgang des Simulationsmodells (12') darstellt.

5. Simulationsmodell nach einem der Ansprüche 3 oder 4, **dadurch gekennzeichnet**, daß der Auswerter (19) aus einem D-Flipflop (29) besteht, dessen Takteingang mit den Taktimpulsen beaufschlagt ist, und daß der Eingang und der Ausgang des D-Flipflops an die beiden Eingänge eines ersten NAND-Gatters (30) gelegt sind, dessen Ausgang mit dem Steuereingang des Multiplexers (21) verbunden ist.

6. Simulationsmodell nach einem der Ansprüche 3 bis 5, **dadurch gekennzeichnet**, daß der Multiplexer (21) ein erstes und ein zweites UND-Gatter (31, 32) enthält, deren erste Eingänge über einen Inverter (33) miteinander verbunden sind, daß der zweite Eingang des ersten UND-Gatters (31) mit dem Ausgang (17, 26) der ersten bzw. zweiten Ausgangsstufe (14, 25) beschaltet ist, daß der zweite Eingang des zweiten UND-Gatters (32) mit dem Ausgang der fehlerfreien Nachbildung (23) bzw. der fehlerfreien Nachbildungsstufe (23') der Logikschaltung beschaltet ist und daß die Ausgänge des ersten und zweiten UND-Gatters (31, 32) an die Eingänge eines ODER-Gatters (34) gelegt sind, dessen Ausgang den Ausgang (11) des Multiplexers (21) darstellt.

7. Simulationsmodell nach einem der Ansprüche 3, 5 oder 6, **dadurch gekennzeichnet**, daß die Nachbildungsstufe (13) die Funktion eines NAND-Gatters nachbildet und aus einem zweiten NAND-Gatter (35) und einem dritten UND-Gatter (36) besteht, deren erste Eingänge jeweils einen Eingang der Nachbildungsstufe (13) darstellen, daß ihre zweiten Eingänge jeweils mit dem ersten

Eingang des jeweils anderen dieser beiden Gatter (36, 35) verbunden sind, und daß die Ausgänge des zweiten NAND-Gatters (35) und des dritten UND-Gatters (36) jeweils mit dem S-Eingang und dem R-Eingang eines die Ausgangsstufe (14) bildenden RS-Flipflops (37) beschaltet sind, dessen einer Ausgang den Ausgang der ersten Ausgangsstufe (14) darstellt, wobei der S- und der R-Eingang jeweils mit den Eingängen des Detektors (18) beschaltet sind.

FIG 1

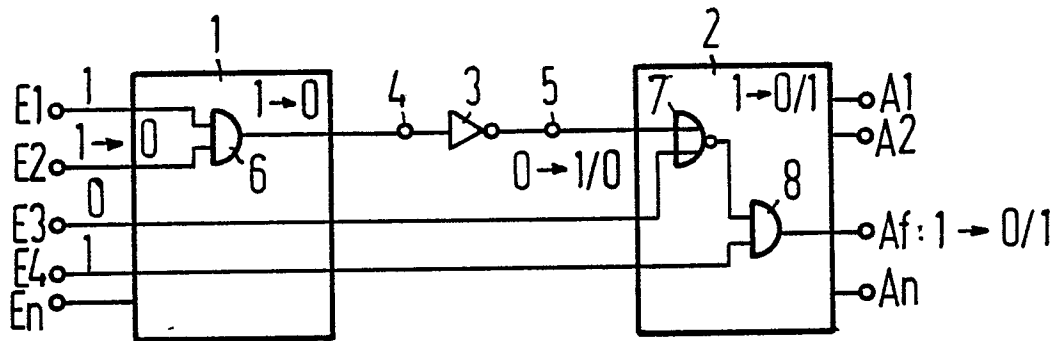


FIG 2

