

12 **EUROPÄISCHE PATENTANMELDUNG**

21 Anmeldenummer: **88200092.0**

51 Int. Cl.4: **G09G 1/28 , G09G 1/16**

22 Anmeldetag: **20.01.88**

30 Priorität: **26.01.87 DE 3702226**

43 Veröffentlichungstag der Anmeldung:
03.08.88 Patentblatt 88/31

84 Benannte Vertragsstaaten:
DE FR GB IT

71 Anmelder: **Philips Patentverwaltung GmbH**
Wendenstrasse 35 Postfach 10 51 49
D-2000 Hamburg 1(DE)

84 **DE**

71 Anmelder: **N.V. Philips' Gloeilampenfabrieken**
Groenewoudseweg 1
NL-5621 BA Eindhoven(NL)

84 **FR GB IT**

72 Erfinder: **von Vignau, Ralph**
Achtern Styg 1
D-2000 Hamburg 53(DE)
Erfinder: **Lange, Jürgen**
Immenhöven 22
D-2000 Hamburg 62(DE)

74 Vertreter: **Poddig, Dieter, Dipl.-Ing. et al**
Philips Patentverwaltung GmbH
Wendenstrasse 35 Postfach 10 51 49
D-2000 Hamburg 1(DE)

54 **Anordnung zum Erzeugen von Bildsteuersignalen.**

57 Die Bildsteuersignale, insbesondere Farbbildsteuersignale für die Darstellung eines Bildes auf einer Darstellungsanordnung, beispielsweise einer Farbbildröhre, müssen abhängig von dieser Darstellungsanordnung einen bestimmten Aufbau haben. Die Information für das darzustellende Bild kann von verschiedenen Quellen kommen, z.B. BTx über Telefonleitung. Die Umsetzung dieser von außen zugeführten unterschiedlichen Bildinformation in die Bildsteuersignale erfolgt üblicherweise mittels eines Prozessors und weiterer, spezieller Schaltung. Mit der vorgeschlagenen Anordnung soll eine schnelle Umsetzung unter weitgehender Entlastung des Prozessors durchgeführt werden, und es sollen Änderungen an derartigen Bildern durch den Benutzer leicht möglich sein.

Die erfindungsgemäße Anordnung setzt die zugeführte Bildinformation jeweils in derartige Codewörter um, daß diese beim zyklisch wiederhol-

ten Auslesen aus dem Bildwiederholtspeicher möglichst schnell und einfach in die Bildsteuersignale für die erforderliche Anordnung umgesetzt werden können. Diese Codewörter sind dabei pixelorientiert und beziehen sich somit stets auf die unmittelbare Bildpunktinformation, so daß dadurch auch leichter gezielte Veränderungen eines Bildes möglich sind. Eine autonome Adressenberechnung sorgt zusätzlich für weitestgehende Entlastung des Prozessors.

Umsetzung von insbesondere BTx- und Grafik-Bildinformation in Ansteuersignale für beispielsweise Farbbildröhren.

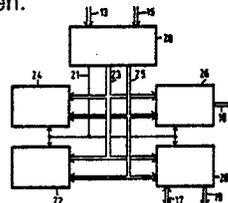


Fig. 2

EP 0 276 887 A2

Anordnung zum Erzeugen von Bildsteuersignalen

Die Erfindung betrifft eine Anordnung zum Erzeugen von Bildsteuersignalen, insbesondere Farb- bildsteuersignalen für die sequentielle Darstellung der Bildpunkte eines matrixförmig aufgebauten Bildes, wobei die Bildinformation für das Bild als Folge einzelner Mehrbitzeichen eingehen, deren Bitkombination entweder den Farbwert jeweils eines Bildpunktes oder jeweils ein darzustellendes Zeichensymbol in einem Feld aus mehreren Bildpunktzeilen mit je mehreren Bildpunkten oder einen Steuercode zur Angabe von Attributen der darzustellenden Zeichensymbole wie z.B. Farbton des Zeichensymbols und Hintergrundfarbe angeben, mit einem Prozessor, der mindestens die Verarbeitung der eingehenden Mehrbitzeichen steuert, einem ersten Speicher, der von Zeichencodes, die von den jeweils ein darzustellendes Zeichensymbol angehenden Mehrbitzeichen abgeleitet sind, und eine durch die Nummer der Bildpunktzeile bestimmte Bitkombination adressiert wird und jeweils eine die Folge der Bildpunkte in der betreffenden Bildpunktzeile angegebende Bitfolge abgibt, einem zweiten Speicher zur Aufnahme von Codewörtern, die wiederholt sequentiell synchron mit der Bildpunkt- darstellung ausgelesen werden und einer Umsetzanordnung mit einem Schieberegister zur Parallel-Serien-Wandlung, die die aus dem zweiten Speicher ausgelesenen Codewörter in eine mit der Folge der Darstellung der Bildpunkte auftretende Folge der Farbsteuersignale umsetzt.

Eine derartige Anordnung ist im Zusammenhang mit der integrierten Schaltung SAA 5350 "Eurom" beschrieben in "Technische Information 840827" der Firma Valvo bzw. im Datenblatt der genannten integrierten Schaltung. Diese umfaßt dabei insbesondere die Umsetzanordnung und den ersten Speicher sowie weitere Steuerschaltungen, die u.a. das Einschreiben der Mehrbitzeichen für Zeichensymbole einer vollständigen Zeichenzeile des Farbbildes sowie die zugehörigen Attribute in die integrierte Schaltung steuert, wobei diese Mehrbitzeichen dem zweiten Speicher entnommen werden. Um Bildpunkte darzustellen, deren Farbwert jeweils durch ein eingegangenes Mehrbitzeichen bestimmt ist, werden die Mehrbitzeichen für Bildpunkte jeweils eines Feldes entsprechend dem Feld für ein Zeichensymbol vom Prozessor zusammengefaßt und in die gleiche Datenstruktur gebracht wie die Zeichensymbole und in einen gesonderten Speicher abgespeichert, so daß alle Bildpunkte eines Feldes nur gemeinsam über die Adresse dieses Feldes und eine zugehörige Attributinformation erreichbar sind. Dadurch ist die gemischte Darstellung von Bildteilen aus derart angegebenen Bildpunkten und Bildteilen mit Zeichen-

symbolen in einem Farbbild wesentlich erschwert. Außerdem sind Manipulationen an Teilen der Bildinformation, insbesondere an Mehrbitzeichen für Zeichensymbole, nur unter wesentlicher Verwendung des Prozessors möglich, der dafür erhebliche Zeit benötigt, da er dafür nicht speziell ausgelegt ist. Ferner ist durch die Tatsache, daß der Umsetzanordnung die vollständigen Mehrbitzeichen für Zeichensymbole und die Attribute unmittelbar zugeführt werden, so daß diese bei jedem Halbbild erneut in Farbsteuersignale umgesetzt werden müssen, die Umsetzgeschwindigkeit begrenzt, so daß für Farbbilder mit hoher Auflösung und höherer Bildfrequenz die technisch mögliche Geschwindigkeit der Umsetzanordnung nicht ausreicht.

Aufgabe der Erfindung ist es, eine Anordnung der eingangs genannten Art anzugeben, die weitgehend unabhängig von der Art der Beschreibung der Bildpunkte, d.h. unabhängig davon, ob diese Bildpunkte unmittelbar durch die eingehenden Mehrbitzeichen angegeben sind oder durch Mehrbitzeichen, die Zeichensymbole angeben, eine einfache Umsetzung und Verarbeitung der Mehrbitzeichen unter weitgehender Entlastung des Prozessors ermöglicht, so daß auf diese Weise einfacher Manipulationen am Bild vorgenommen werden können, an denen der Prozessor nur relativ wenig beteiligt ist.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß eine Steueranordnung vorgesehen ist, die mindestens aus dem ersten Speicher ausgelesene Bitfolgen mit vom Prozessor zugeführten Daten, die im Falle der Bitfolgen von den Steuercodes zur Angabe der Attribute abgeleitet sind, verknüpft und dabei Codewörter erzeugt, die je die vollständige Bildinformation einer Anzahl aufeinanderfolgender Bildpunkte enthalten, und diese erzeugten Codewörter in Speicherstellen des zweiten Speichers einschreibt, deren Adressen eine Adressensteueranordnung aus Adresseninformation des Prozessors erzeugt.

Die zugeführten Mehrbitzeichen werden in dem Fall, daß sie Zeichensymbole bedeuten, also zunächst durch die Steueranordnung in Bildpunkte bzw. Bildpunktgruppen aufgelöst, so daß die Codewörter des zweiten Speichers weitgehend nur die Farbinformationen und gegebenenfalls weitere Attribute der einzelnen Bildpunkte bzw. Bildpunktgruppen enthalten, die von der Umsetzanordnung mit höher Geschwindigkeit in die Farbsteuersignale umgesetzt werden können. Zusätzlich sind bestimmte gezielte Veränderungen des Bildinhaltes leichter möglich, unabhängig davon, von welcher Art von Mehrbitzeichen dieser Bildinhalt stammt.

Außerdem ist eine gemischte Darstellung von Codewörtern, die aus verschiedenen Arten von Mehrbitzeichen entstanden sind, besonders einfach möglich. Die Adressensteuerordnung kann sowohl beim Einschreiben der Codewörter in den zweiten Speicher als auch beim Auslesen aus diesem dessen Adressierung weitgehend autonom verwalten, so daß der Prozessor auch in dieser Hinsicht weitgehend entlastet ist.

Zum Verknüpfen der Bitfolgen des ersten Speichers mit den Datenwörtern des Prozessors weist gemäß einer Ausgestaltung der Erfindung die Steuerordnung eine Maskieranordnung auf, die abhängig von ersten vom Prozessor zugeführten Daten Teile einer vom ersten Speicher zugeführten Bitfolge oder eines vom zweiten Speicher zugeführten Codewortes durch entsprechende Teile von zweiten, vom Prozessor zugeführten Daten ersetzt. Dadurch wird ohne wesentliche Belastung des Prozessors jede aus dem ersten Speicher ausgelesene Bitfolge einfach mit der zugehörigen Attributinformation, insbesondere der Farbinformation, kombiniert. Zusätzlich ermöglicht dieser Aufbau besonders einfach, einzelne Codewörter teilweise oder vollständig direkt durch Codewörter aus dem Prozessor zu ersetzen, so daß Änderungen eines Bildes, das aus von außen zugeführten Informationen erzeugt ist, leicht und übersichtlich möglich sind. Die Adressensteuerordnung entlastet den Prozessor auch in diesem Falle weitgehend von wesentlichen Programmabläufen zur Adressenverwaltung.

Gemäß einer weiteren Ausgestaltung der Erfindung weist die Maskieranordnung für jedes Bit des Codewortes einen Umschalter auf, der dem Codewortausgang wahlweise abhängig von einer vom Prozessor gelieferten Maskierinformation, die in einem Register zwischengespeichert ist, die Information der Bitfolge bzw. des Codewortes oder der vom Prozessor zugeführten Daten zuführt. Durch die vorweg vom Prozessor gelieferte Maskierinformation werden die Stellen des Codewortes, die durch Prozessordaten ersetzt werden sollen, einfach ausgewählt.

Nach einer weiteren Ausgestaltung der Erfindung ist der Maskieranordnung eine steuerbare Schiebeanordnung für die vom ersten Speicher zugeführten Bitfolgen vorgeschaltet, die jedes Bit einer Bitfolge um eine von der Stelle in der Bitfolge abhängige Anzahl Stellen verschiebt und jeweils mehreren benachbarten Bitstellen gleiche Werte zuordnet. Auf diese Weise können mit geringem Aufwand insbesondere Zeichensymbole mit doppelter oder mehrfacher Breite dargestellt werden. Die Darstellung mit doppelter Höhe ist einfach durch entsprechende Adressenumrechnung mit Hilfe der Adressensteuerordnung möglich.

Für eine weitgehend vom Prozessor un-

abhängige Adressenverwaltung enthält die Adressensteuerordnung einen Adressenrechner zum Ändern der Adressen in vorgegebenen Schritten, adressierbare, vom Prozessor ladbare Adreßregister und einen Vergleicher zum Vergleichen einer vom Adressenrechner geänderten Adresse mit einer in einem ausgewählten Adressenregister gespeicherten Adresse enthält. Der Adressenrechner ist ein einfacher Addierer/Subtrahierer, der zu Anfangsadressen vom Prozessor in einem entsprechenden Adreßregister jeweils bestimmte Schrittwerte addiert oder von diesen Anfangswerten subtrahiert, so daß der Prozessor lediglich Anfangsadressen für größere Bildbereiche zu liefern braucht. Durch den Vergleicher wird unmittelbar festgestellt, wann die Bearbeitung des vom Prozessor vorgegebenen Bildfeldes durch die Adressensteuerordnung beendet ist. Da bei den von der Steuerordnung durchgeführten Bearbeitungen jeweils nur bestimmte Schrittweiten auftreten, ist es ferner zweckmäßig, daß die Werte für die Schrittweite zum Ändern der Adressen in einen Festwertspeicher in der Adressensteuerordnung gespeichert sind. Auf diese Weise bildet die Adressensteuerordnung eine weitgehend abgeschlossene Einheit, die vom Prozessor leicht zu steuern ist.

Die Steuerung der Vorgänge in der Steuerordnung und der Adressensteuerordnung, insbesondere das Einschreiben und Auslesen von Registern darin, kann vollständig durch den Prozessor erfolgen. Da hierfür jedoch nur wenige festgelegte Abläufe vorkommen, ist es nach einer weiteren Ausgestaltung der Erfindung zweckmäßig, daß die Steuerordnung eine Ablaufsteuerung aus einem Zähler und einem von diesem adressierten Festwertspeicher enthält, von dessen Ausgängen einige über einen dritten Umschalter mit Setzeingängen des Zählers verbunden sind und weitere Ausgänge Steuerleitungen insbesondere für die Maskieranordnung bilden und die Adressensteuerordnung bilden. Auf diese Weise braucht der Prozessor nur Anfangswerte für die Steuerabläufe in der Steuerordnung und der Adressensteuerordnung zu liefern, so daß die weiteren Abläufe unabhängig vom Prozessor erfolgen und dieser weiter entlastet wird.

Eine besonders günstige Realisierung der erfindungsgemäßen Anordnung ergibt sich dadurch, daß die Steuerordnung, die Adressensteuerordnung und die Umsetzanordnung in einer einzigen monolithisch integrierten Schaltungsanordnung enthalten sind. Für den Aufbau einer Darstellungsanordnung mit einer Farbbildröhre sind dann außer den dafür erforderlichen Ablenkschaltungen nur wenige weitere aktive Bauelemente erforderlich. Bei entsprechender Technik der Halbleiterherstellung ist es auch möglich, die letztgenannten Ele-

mente mit dem Prozessor zusammen auf einer Halbleiterscheibe zu integrieren und lediglich die Speicher extern vorzusehen, so daß sich eine sehr kompakte Bauweise ergibt.

Ausführungsbeispiele der Erfindung werden nachstehend anhand der Zeichnung näher erläutert. Es zeigen:

Fig. 1 schematisch ein Blockschaltbild der wichtigsten Teile einer erfindungsgemäßen Anordnung,

Fig. 2 schematisch ein Blockschaltbild der Bildsignalsteuerung,

Fig. 3 den näheren Aufbau der Steueranordnung darin,

Fig. 4 Einzelheiten des Aufbaues der Adressensteuerung,

Fig. 5 den Aufbau der Ablaufsteuerung in der Steueranordnung,

Die Fig. 1 zeigt ein schematisches Blockschaltbild, in dem der Block 10 eine Bildsignalsteuerung darstellt, die an den drei Ausgängen 18 die vorzugsweise analogen Farbsteuersignale für die Ansteuerung einer nicht dargestellten Farbbildröhre liefert. Die Bildsignalsteuerung 10 ist ferner über eine bidirektionale Datenleitung 17 mit einem Schreib-Lese-Speicher 16 verbunden, der über eine Adressleitung 19 von der Bildsignalsteuerung 10 adressiert wird. Die Datenleitung 17 und die Adressleitung 19 bestehen tatsächlich in üblicher Weise je aus einer größeren Anzahl paralleler einzelner Leitungen für die einzelnen Bits der Daten bzw. Adressen und sind hier der Einfachheit halber nur als eine Doppelleitung dargestellt. Dies gilt auch in der weiteren Beschreibung für derartige Mehrfachleitungen, wie z.B. die Leitungen 13 und 15 in Fig. 1.

Die Bildsignalsteuerung 10 ist außerdem mit einem Prozessor 12 über eine bidirektionale Datenleitung 13 und eine Adressleitung 15 verbunden, an die ferner ein Festwertspeicher 14 angeschlossen ist, der insbesondere die Programmdateien für den Prozessor 12 sowie gegebenenfalls weitere feste Daten für die Bildsignalsteuerung 10 enthält. Der Prozessor 12 kann ein üblicher Mikroprozessor sein, der als eine einzige integrierte Schaltung ausgebildet ist. Derartige Mikroprozessoren sind preisgünstig auf dem Markt erhältlich. Zweckmäßig wird auch die Bildsignalsteuerung 10 als eine einzige integrierte Schaltung ausgeführt, um auf diese Weise die Anzahl äußerer Verbindungen zwischen Schaltungsteilen zu verringern und die Zuverlässigkeit zu erhöhen.

Der Prozessor 12 empfängt über die Leitung 11 von außen die Mehrbitzeichen, die je nach Quelle in bestimmter, vorgegebener Weise aufgebaut sind. An den Prozessor ist ferner eine nicht dargestellte Bedienungseinheit, insbesondere eine Tastatur angeschlossen, über die eine Bedienungssper-

son Anweisungen in den Prozessor 12 eingeben kann. Dieser nimmt gegebenenfalls entsprechend diesen Anweisungen eine Vorverarbeitung der über die Leitung 11 zugeführten Mehrbitzeichen vor und erzeugt Zeichencodes, die der Bildsignalsteuerung 10 über die Datenleitung 13 zugeführt werden, wobei über die Adressenleitung 15 angegeben wird, an welcher Stelle des Farbbildes die daraus erzeugte Bildinformation dargestellt werden soll. Die Bildsignalsteuerung 10 verarbeitet diese Zeichencodes, indem diese in Codewörter mit bestimmtem Format umgesetzt und über die Datenleitung 17 im Speicher 16 abgespeichert werden, und zum Darstellen der dadurch gegebenen Bildinformation werden diese Codewörter aus dem Speicher 16 zyklisch synchron mit der Strahlableitung der nicht dargestellten Farbbildröhre ausgelesen und über die Datenleitung 17 der Bildsignalsteuerung 10 zugeführt, die daraus die Farbbildsignale erzeugt, die auf den Leitungen 18 abgegeben werden. Die Bildsignalsteuerung 10 weist hierfür noch weitere Eingänge bzw. Ausgänge auf, insbesondere für Taktsignale und Synchronisierungssignale, die hier der Übersichtlichkeit halber nicht dargestellt sind.

In Fig. 1 sind der Prozessor 12 sowie die Speicher 14 und 16 grundsätzlich bekannte Bauelemente. Der Aufbau der Bildsignalsteuerung 10 ist dagegen etwas ausführlicher als Blockschaltbild in Fig. 2 dargestellt. Die Mehrfachleitungen 13 und 15 vom Prozessor 12 (Fig. 1) führen auf eine Schnittstellenschaltung 20, die Signale auf diesen Leitungen in Prozessorsteuersignale umsetzt, die über die Leitung 21 abgegeben und anderen Schaltungsteilen zugeführt werden, sowie in Prozessordaten und Prozessoradressen, die über die Leitung 23 bzw. 25 den weiteren Schaltungsteilen zugeführt werden.

Der Block 24 stellt eine Taktsteuerung dar, die über den Eingang 29 Taktsignale empfängt und mit Hilfe von über die Leitungen 21 und 23 zugeführten Signalen Taktsteuersignale, die über weitere Leitungen der Mehrfach-Leitung 21 abgegeben werden, und Synchronisierungssignale erzeugt, die über den Ausgang 27 abgegeben werden und beispielsweise die Strahlstromableitung der Farbbildröhre für die Erzeugung des Farbbildes steuern.

In der Steueranordnung 22 erfolgt nun die Umsetzung der über die Datenleitung 13 vom Prozessor zugeführten Zeichencodes, die aus den Mehrbitzeichen gebildet sind über die Leitung 23 weitergeleitet werden, in Codewörter, und zwar unter Mitwirkung von Steuersignalen der Steuerleitung 21, und die erzeugten Codewörter werden über die Datenleitung 23 wieder abgegeben und insbesondere der Speichersteuerung 28 zugeführt. Diese dient zur Erzeugung von Datenwörtern und Adressen auf den Leitungen 17 und 19, die dem Spei-

cher 16 in Fig. 1 zugeführt werden, wobei dieser Speicher nicht nur die Codewörter enthält, aus denen die Farbsteuersignale erzeugt werden, sondern auch beispielsweise die Daten für die Umsetzung der vom Prozessor aus den Mehrbitzeichen gebildeten Zeichencodes, die Zeichensymbole darstellen, in die entsprechenden Bitfolgen, wie später noch erläutert wird.

Die Speichersteuerung 28 dient jedoch nicht nur für das Steuern des Einschreibens, sondern auch des Auslesens aus dem Speicher 16, und die ausgelesenen Codewörter werden einer Umsetzungsanordnung 26 über die Datenleitung 23 zugeführt, und außerdem erhält die Umsetzungsanordnung 26 noch Adressensignale über die Leitung 25 sowie Steuersignale über die Leitung 21, die entweder aus Prozessordaten in der Schnittstellenschaltung 20 oder im Taktgenerator 24 erzeugt worden sind. Die Umsetzungsanordnung 26 erzeugt eine Folge von je parallelen Datenwörtern auf der Ausgangsleitung 18, die mit der Geschwindigkeit der darzustellenden Bildpunkte auftreten und die die Farbe dieser Bildpunkte angeben. Diese Farb-Datenwörter werden in bekannter Weise einem nicht dargestellten Dreifach-Digital-Analog-Wandler zugeführt, der daraus drei analoge Farbsteuersignale für die Ansteuerung der Farbbildröhre auf der Leitung 18 erzeugt, sofern dieser Digital-Analog-Wandler nicht in der Umsetzungsanordnung 26 enthalten ist.

Die Fig. 3 zeigt ein Blockschaltbild des Teils der Steueranordnung 22, der für die Verarbeitung von Daten dient, insbesondere zur Umsetzung der vom Prozessor gebildeten Zeichencodes in die Codewörter für den zweiten Speicher. Dabei wird angenommen, daß der erste und der zweite Speicher lediglich verschiedene Speicherbereiche, d.h. verschiedene Adressenbereiche eines physikalisch einheitlichen Speichers mit einem einzigen parallelen Mehrbit-Datenanschluß zum Einschreiben oder Auslesen von Datenwörtern in einen bzw. aus einem Speicherbereich gebildet sind.

Dieser parallele Mehrbit-Datenanschluß führt über die bidirektionale Datenleitung 31 auf ein Speicherregister 32, das mit Hilfe eines Steuersignals das über die Leitung 31 zugeführte Datenwort parallel einschreibt und einer Schiebeanordnung 34 zuführt, die später beschrieben wird. Zunächst wird angenommen, daß diese Schiebeanordnung 34 jedes zugeführte Datenwort über die Leitung 33 unverändert abgibt und dem einen Eingang einer Maskieranordnung 30 zuführt. Deren zweiter Eingang ist über die Leitung 39 mit dem Ausgang eines Registers 38 verbunden, dem über die Leitung 35 parallele Datenwörter vom Prozessor zugeführt werden.

Die Maskieranordnung 30 enthält für jedes Bit der beiden Leitungen 33 und 39 bzw. für jedes Bit, das in beiden Leitungen vorhanden ist, einen Um-

schalter, und diese Umschalter werden durch je ein Bit auf der Leitung 37 gesteuert, die mit dem Ausgang eines Registers 36 verbunden ist, das ebenfalls über die Leitung 35 Datenwörter vom Prozessor erhält. Die Auswahl der beiden Register 36 und 38 zum Einschreiben eines Datenwortes auf der Leitung 35 erfolgt über nicht dargestellte Steuerleitungen. Normalerweise wird zunächst das Register 36 geladen, das eine Voreinstellung der Umschalter bewirkt, die für eine Anzahl aufeinanderfolgender Datenwörter auf den Leitungen 33 und 39 konstant ist, nämlich insbesondere beim Umsetzen von Zeichencodes in Codewörter.

In diesem Falle werden durch jeden Zeichencode vom Prozessor, den dieser aus den Mehrbitzeichen durch eine Ergänzung um zusätzliche Bits zur Auswahl beispielsweise verschiedener Zeichensätze gebildet hat, nacheinander die Bits der einzelnen Bildpunktzeilen eines Feldes aus dem ersten Speicherbereich des Speichers ausgelesen, wobei jede Bitfolge beispielsweise 12 Bit umfaßt, und diese Bitfolgen werden nacheinander der Maskieranordnung 30 zugeführt, die insgesamt für 32 Bit ausgelegt ist. Die fehlenden 20 Bit werden durch Information über die Leitung 39 ergänzt, indem über die Leitung 37 die entsprechenden Umschalter der Maskieranordnung 30 eingestellt werden. Die so erzeugten 32 Bit werden aufeinanderfolgend in zwei Hälften, die die oberen bzw. die unteren 16 Bit umfassen, durch entsprechende, nicht dargestellte Steuerleitungen an der Maskieranordnung 30 über die Leitung 31 ausgegeben und dem Speicher zugeführt. Dabei wird angenommen, daß der Speicher Datenwörter mit 16 Bit speichern kann.

Mit dieser Anordnung ist es auch möglich, Codewörter zur Darstellung von Graphikinformation zu erzeugen oder zu ändern. In diesem Falle enthält ein über die Datenleitung 31 zugeführtes Codewort mit 16 Bit die 4-Bit-Farbinformation von jeweils vier aufeinanderfolgenden Bildpunkten. Durch entsprechende Maskierinformation, die dem Register 36 vorher zugeführt wird, kann in einem derartigen, über die Datenleitung 33 der Maskieranordnung 30 zugeführten Codewort die Farbinformation eines oder mehrerer Bildpunkte durch Informationen, die vom Prozessor über die Datenleitung 35, das Register 38 und die Leitung 39 der Maskieranordnung 30 zugeführt werden, ersetzt werden. Ein geändertes Codewort wird dann wieder über die Datenleitung 31 dem Speicher zugeführt und darin eingeschrieben.

Die Schiebeanordnung soll ermöglichen, zur Darstellung eines Zeichensymbols mit doppelter Breite von der über die Datenleitung 31 zugeführten Bitfolge zunächst die erste Hälfte auf die volle Anzahl der Bits der Bitfolge zu erweitern, so daß jeweils zwei benachbarte Bits der Ausgangslei-

tung 33 der Schiebeanordnung 34 denselben Bitwert eines entsprechenden Biteingangs erhalten unter Aufrechterhaltung der Reihenfolge der Bits, und diese so erweiterte Bitfolge wird der Maskieranordnung 30 zur Umsetzung in ein vollständiges Codewort zugeführt, das abgespeichert wird. Anschließend wird die zweite Hälfte der über die Datenleitung 31 zugeführten Bitfolge in entsprechender Weise erweitert, der Maskieranordnung 30 zugeführt und um dieselbe Information über die Leitung 39 zu einem vollständigen Codewort ergänzt, das im Speicher an der Stelle für die folgende Bildpunktgruppe abgespeichert wird. Diese Erweiterungen der Bitfolge in der Schiebeanordnung läßt sich durch entsprechend verbundene Umschalter erreichen, die durch ein nicht dargestelltes Steuersignal für die Schiebeanordnung 34 parallel betätigt werden.

Bisher wurde nur die Verarbeitung von Daten aus dem Speicher (Speicher 16 in Fig. 1) bzw. die Verknüpfung dieser Daten mit Mikroprozessordaten in dem in Fig. 3 dargestellten entsprechenden Teil der Steueranordnung 22 erläutert. Die Adressierung des Speichers erfolgt mit Hilfe einer Anordnung, die näher in Fig. 4 dargestellt. Diese empfängt über den Eingang 35 ebenso wie die Anordnung nach Fig. 3 Daten, insbesondere einen Teil oder alle der auf der Leitung 23 in Fig. 2 gelieferten Prozessordaten. Diese führen auf eine Anordnung 42 sowie auf einen Schalter 44 und außerdem auf ein Register 60, dessen Funktion später erwähnt wird. Die Ausgänge der Anordnungen 42 und 44 sowie eines Adressenrechners 50, die alle auf der Leitung 41 zusammenführen, sind normalerweise hochohmig und geben nur bei Steuersignalen auf entsprechenden, nicht dargestellten Steuerleitungen ein Datenwort niederohmig auf diese Leitung 41.

Ein auf der Leitung 35 eintreffendes Datenwort, das einen Zeichencode vom Prozessor darstellt, wird in der Anordnung 42 in eine Adresse übersetzt, im einfachsten Falle durch Verschiebung um eine Anzahl Stellen, und über die Leitung 41 in ein bestimmtes der Adressenregister 46 eingeschrieben. Dieses Adressenregister ist über eine Leitung 43 ausgewählt, die über einen Multiplexer 48 von der Leitung 25 eine bestimmte Adresseninformation vom Prozessor (siehe Fig. 2) oder von der Leitung 55 eine bestimmte Adresseninformation von der internen Ablaufsteuerung, die später erläutert wird, erhält. Der Multiplexer 48 wird vorzugsweise durch ein Steuersignal vom Prozessor auf der Leitung 21 gesteuert.

Die in dem ausgewählten Adreßregister 46 gespeicherte Adresse wird auf der Leitung 45 ausgegeben und um eine Anzahl höchstwertiger Bits aus dem Register 60 ergänzt, um auf die volle Breite der Adressen für den Speicher zu kommen, wobei

gleichzeitig durch den Inhalt dieses Registers 60 bestimmte Speicherbereiche ausgewählt werden können. Tatsächlich enthält das Register 60 zwei Werte, damit beim Adressieren für das Auslesen und für das Einschreiben verschiedene Speicherbereiche angesprochen werden können.

Im übrigen führt die Leitung 45 u.a. auch auf den einen Eingang des Adressenrechners 50, der am anderen Eingang über die Leitung 47 von einem Multiplexer 52, der außerdem ein Speicherregister enthält, weitere Daten erhält. Im vorliegenden Falle bei der Umsetzung von Zeichencodes in Codewörter wird der Multiplexer 52 über nicht dargestellte Steuerleitungen so eingestellt, daß er auf der Leitung 47 Daten der Leitung 49 abgibt, die von einem kleinen Festwertspeicher 54 geliefert werden, der über die Leitung 51 angesteuert wird. Dieser liefert beispielsweise einen positiven Einheitsschritt, so daß der Adressenrechner 50 die zugeführte Adresse um eine Einheit erhöht und wieder der Leitung 41 zum Zurückschreiben in das Adressenregister 46 zuführt. Dadurch wird anschließend die folgende Speicherstelle adressiert, die insbesondere die Information der zweiten Bildzeile eines Zeichensymbolfeldes enthält, und in dieser Form wird nacheinander die gesamte Information eines Zeichensymbols adressiert. Diese Information wird in der Anordnung nach Fig. 3 verarbeitet, wie dort beschrieben wurde.

Die über die Leitung 35 zugeführten Daten können jedoch auch direkt eine Adresse darstellen, beispielsweise zur unmittelbaren Beeinflussung einzelner Bildpunkte oder größerer Bildbereiche, wobei dann diese Daten über den Schalter 44 direkt der Leitung 41 zugeführt werden. Im letzteren Falle können beispielweise größere Bildbereiche mit einem Anfangspunkt und den Dimensionen in Höhe und Breite angegeben werden, beispielsweise zum Verändern des Inhalts dieses Bildbereiches oder zum Ersetzen der Information dieses Bildbereiches durch andere Informationen aus dem Speicher. Da in diesem Falle die gleichen Operationen für viele Bildpunkte nacheinander ablaufen, braucht dieser Ablauf nicht mehr vom Prozessor im einzelnen gesteuert zu werden, sondern kann mit Hilfe der noch zu beschreibenden internen Ablaufsteuerung vollständig selbständig gesteuert werden. Die Angaben über den zu verändernden Bildbereich und ggf. über die Daten, die dort eingefügt werden sollen, werden in einzelne vorgegebene Register 46 eingeschrieben, die vom Prozessor über die Leitung 25 ausgewählt werden, und danach wird der Multiplexer 48 umgeschaltet, um die Adressenauswahl über die Leitung 55 aus der internen Ablaufsteuerung vorzunehmen.

Bei Vorgabe eines Anfangspunktes und der Größe eines Bildbereiches, das weitgehend selbständig bearbeitet werden soll, muß geprüft

werden, wann das Ende des Bereiches erreicht ist. Dazu wird zunächst aus Anfangswert und Größe der Endwert im Adressenrechner 50 berechnet und dieser berechnete Wert über ein Adressenregister 46 in ein Register 56 eingeschrieben, das seinen Inhalt über die Leitung 53 einem Vergleicher 58 zuführt, der an seinem anderen Eingang die momentane Adresse der Leitung 45 empfängt. Nun werden nacheinander die einzelnen Bildpunkte des gewünschten Bildbereich bearbeitet, und wenn der Endpunkt erreicht ist, gibt der Vergleicher 58 am Ausgang 59 ein Signal ab, das die interne Ablaufsteuerung beeinflusst.

Auf ähnliche Weise können die Adressen für noch weitere ähnliche Abläufe weitgehend intern erzeugt werden, ohne daß der Prozessor im einzelnen für deren Steuerung erforderlich ist. Die dafür notwendigen Steuersignale, insbesondere für das Einschreiben und Auslesen von Registern und das Umschalten von Multiplexern, kann größtenteils von einer internen Ablaufsteuerung geliefert werden, die in Fig. 5 näher dargestellt ist. Diese enthält einen Festwertspeicher 62 mit einer sehr großen Wortbreite, die alle erforderlichen Steuersignale ohne weitere Decodierung unmittelbar enthält. Der dafür erforderliche Aufwand ist jedoch sehr begrenzt, da nur ganz bestimmte Abläufe vorkommen und somit nur wenige unterschiedliche Schritte, d.h. wenige unterschiedliche Datenwörter in dem Festwertspeicher 62 erforderlich sind.

Die Adressierung des Festwertspeichers 62 erfolgt über einen Zähler 64, die Steuerung des Zählers 64 erfolgt über einen Eingang 61, über den der Zähler 64 beispielsweise rückgesetzt, mittels eines Taktsignals weitergezählt oder auch auf eine Stellung gesetzt werden kann, die über die Leitung 67 zugeführt wird. Diese wird von einem Multiplexer 66 geliefert, und zwar durch Prozessordaten auf der Leitung 35, durch Daten auf der Leitung 69, die aus bestimmten Datenbits insbesondere der Leitung 31 (Fig. 3) und Signalzuständen anderer Schaltungsteile wie am Ausgang 59 des Vergleichers 58 (Fig. 4) zusammengesetzt sind, oder durch vom Festwertspeicher 62 auf der Mehrfachleitung 63 erzeugte Daten, wobei die Auswahl ebenfalls von bestimmten Bits des aus dem Festwertspeicher 62 ausgelesenen Datenwortes über die Leitung 65 gesteuert wird. Durch das Setzen des Zählers 64 auf eine auf der Leitung 63 vom Festwertspeicher 62 gelieferte Stellung lassen sich leicht Ablaufschleifen realisieren, während durch die Daten auf den Leitungen 35 und 69 bestimmte Abläufe ausgewählt werden, die insbesondere im letzteren Fall von internen Bedingungen abhängen. Der Festwertspeicher 62 liefert ferner über die Leitung 51 die Adresse für den Festwertspeicher 54 für die Festwerte bei der Adressenberechnung mittels des Adressenrechners 50 in Fig. 4, über die

Leitung 55 die Auswahl der Adressenregister 46 in Fig. 4 sowie auf der Mehrfachleitung 57 weitere Steuersignale für insbesondere die Register und Multiplexer der Anordnungen nach Fig. 3 und Fig. 4.

Ansprüche

1. Anordnung zum Erzeugen von Bildsteuersignalen, insbesondere Farbbildsteuersignalen für die sequentielle Darstellung der Bildpunkte eines matrixförmig aufgebauten Bildes, wobei die Bildinformation für das Bild als Folge einzelner Mehrbitzeichen eingehen, deren Bitkombination entweder den Farbwert jeweils eines Bildpunktes oder jeweils ein darzustellendes Zeichensymbol in einem Feld aus mehreren Bildpunktzeilen mit je mehreren Bildpunkten oder einen Steuercode zur Angabe von Attributen der darzustellenden Zeichensymbole wie z.B. Farbton des Zeichensymbols und Hintergrundfarbe angeben, mit einem Prozessor, der mindestens die Verarbeitung der eingehenden Mehrbitzeichen steuert, einem ersten Speicher, der von Zeichencodes, die von den jeweils ein darzustellendes Zeichensymbol angegebenden Mehrbitzeichen abgeleitet sind, und eine durch die Nummer der Bildpunktzeile bestimmte Bitkombination adressiert wird und jeweils eine die Folge der Bildpunkte in der betreffenden Bildpunktzeile angegebende Bitfolge abgibt, einem zweiten Speicher zur Aufnahme von Codewörtern, die wiederholt sequentiell synchron mit der Bildpunktdarstellung ausgelesen werden und einer Umsetzanordnung mit einem Schieberegister zur Parallel-Serien-Wandlung, die die aus dem zweiten Speicher ausgelesenen Codewörter in eine mit der Folge der Darstellung der Bildpunkte auftretende Folge der Farbsteuersignale umsetzt, dadurch gekennzeichnet, daß eine Steueranordnung vorgesehen ist, die mindestens aus dem ersten Speicher ausgelesene Bitfolgen mit vom Prozessor zugeführten Daten, die im Falle der Bitfolgen von den Steuercodes zur Angabe der Attribute abgeleitet sind, verknüpft und dabei Codewörter erzeugt, die je die vollständige Bildinformation einer Anzahl aufeinanderfolgender Bildpunkte enthalten, und diese erzeugten Codewörter in Speicherstellen des zweiten Speichers einschreibt, deren Adressen eine Adressensteueranordnung aus Adresseninformation des Prozessors erzeugt.

2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Steueranordnung eine Maskieranordnung aufweist, die abhängig von ersten vom Prozessor zugeführten Daten Teile einer vom ersten Speicher zugeführten Bitfolge oder eines vom zweiten Speicher zugeführten Codewortes durch entsprechende Teile von zweiten, vom Prozessor zugeführten Daten ersetzt.

3. Anordnung nach Anspruch 2,
dadurch gekennzeichnet, daß die Maskieranord-
 nung für jedes Bit des Codewortes einen Um-
 schalter aufweist, der dem Codewortausgang wahl-
 weise abhängig von einer vom Prozessor gelieferten
 Maskierinformation, die in einem Register zwischengespeichert ist, die Information der Bitfolge
 bzw. des Codewortes oder der vom Prozessor zugeführten Daten zuführt.

5

4. Anordnung nach Anspruch 3,
dadurch gekennzeichnet, daß der Maskieranord-
 nung eine Schiebeanordnung für die vom ersten
 Speicher zugeführten Bitfolgen vorgeschaltet ist,
 die jedes Bit einer Bitfolge um eine von der Stelle
 in der Bitfolge abhängige Anzahl Stellen verschiebt
 und jeweils mehreren benachbarten Bitstellen
 gleiche Werte zuordnet.

10

15

5. Anordnung nach einem der Ansprüche 1 bis
 4,
dadurch gekennzeichnet, daß die Adressensteuera-
 nordnung einen Adressenrechner zum Ändern der
 Adressen in vorgegebenen Schritten, adressier-
 bare, vom Prozessor ladbare Adreßregister und
 einen Vergleicher zum Vergleichen einer vom
 Adressenrechner geänderten Adresse mit einer in
 einem ausgewählten Adressenregister gespeicher-
 ten Adresse enthält.

20

25

6. Anordnung nach Anspruch 5,
dadurch gekennzeichnet, daß die Werte für die
 Schrittweite zum Ändern der Adressen in einen
 Festwertspeicher in der Adressensteueranordnung
 gespeichert sind.

30

7. Anordnung nach einem der Ansprüche 1 bis
 5,
dadurch gekennzeichnet, daß die Steueranordnung
 eine Ablaufsteuerung aus einem Zähler und einem
 von diesem adressierten Festwertspeicher enthält,
 von dessen Ausgängen einige über einen dritten
 Umschalter mit Setzeingängen des Zählers verbun-
 den sind und weitere Ausgänge Steuerleitungen
 insbesondere für die Maskieranordnung bilden und
 die Adressensteueranordnung bilden.

35

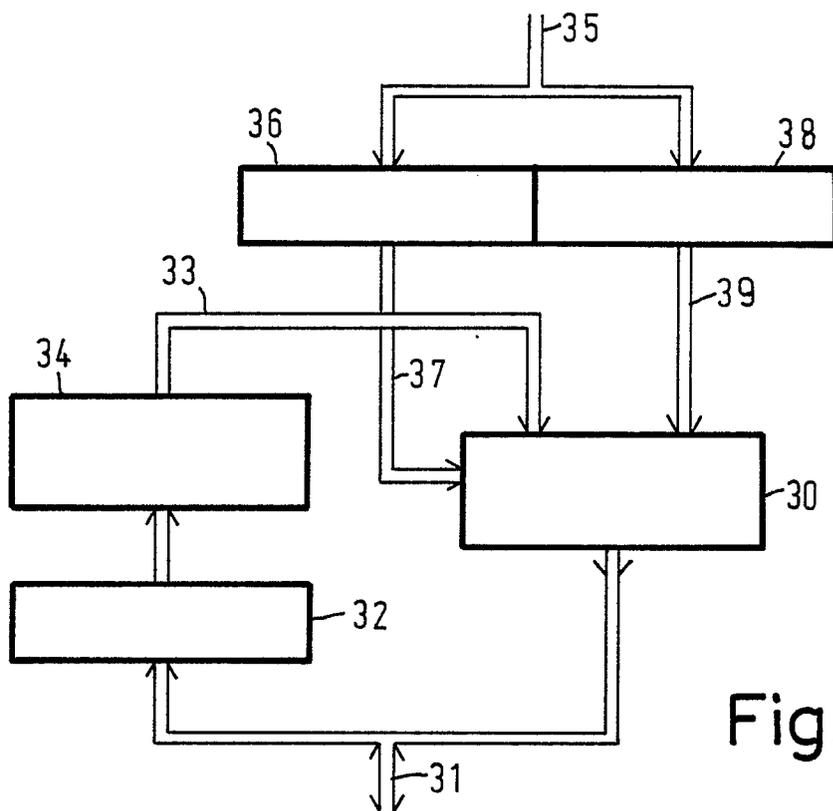
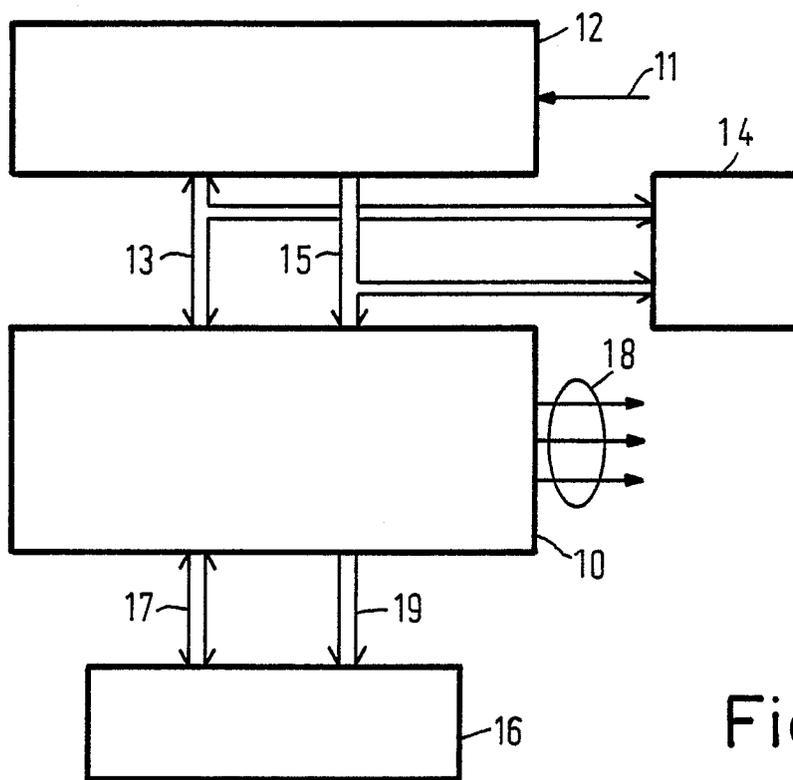
40

8. Anordnung nach einem der vorstehenden
 Ansprüche,
dadurch gekennzeichnet, daß die Steueranordnung,
 die Adressensteueranordnung und die Umsetza-
 nordnung in einer einzigen monolithisch integrier-
 ten Schaltungsanordnung enthalten sind.

45

50

55



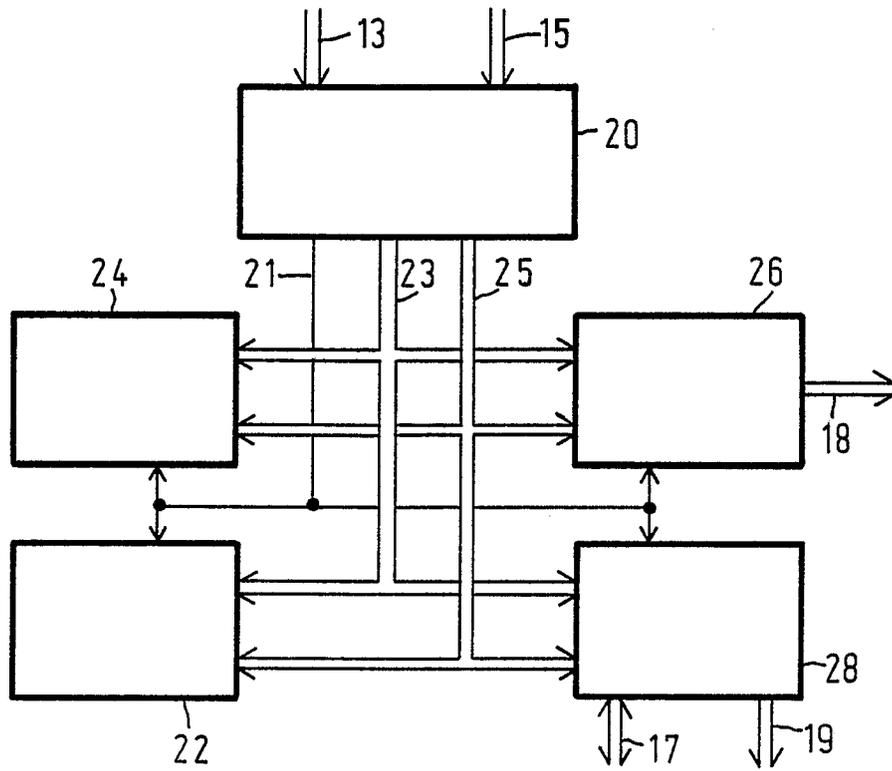


Fig. 2

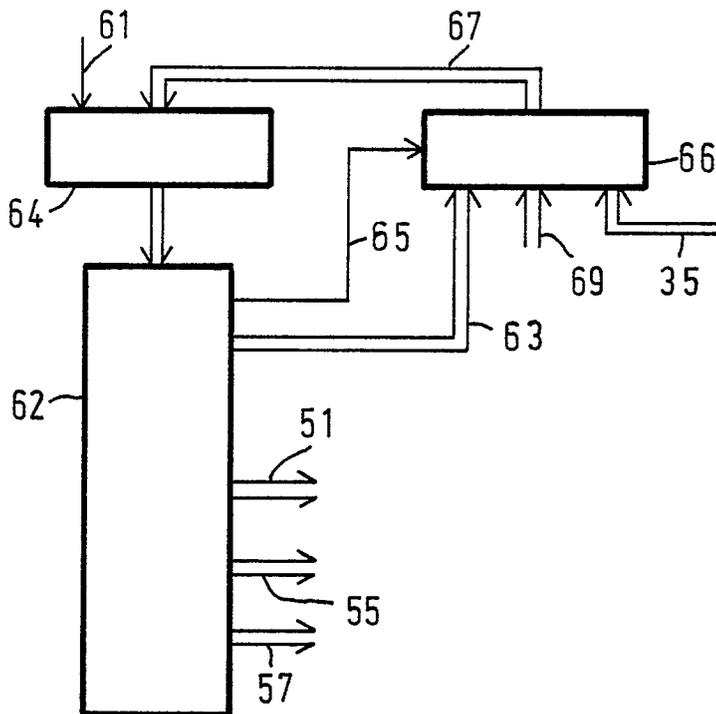


Fig. 5

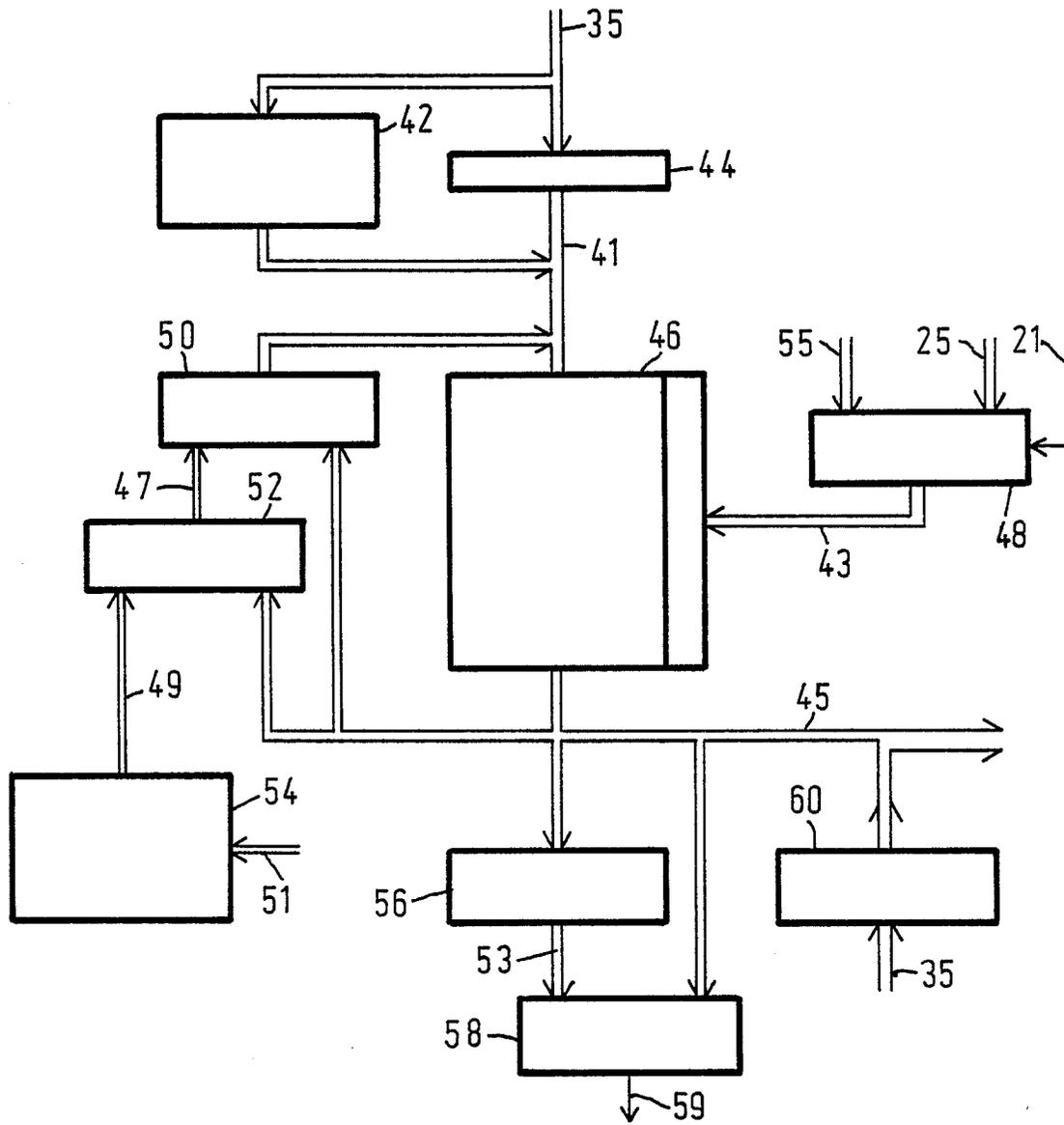


Fig. 4