

12 **EUROPÄISCHE PATENTANMELDUNG**

21 Anmeldenummer: 88105405.0

51 Int. Cl.4: **H04N 7/137**

22 Anmeldetag: 05.04.88

30 Priorität: 28.04.87 DE 3714130

43 Veröffentlichungstag der Anmeldung:
02.11.88 Patentblatt 88/44

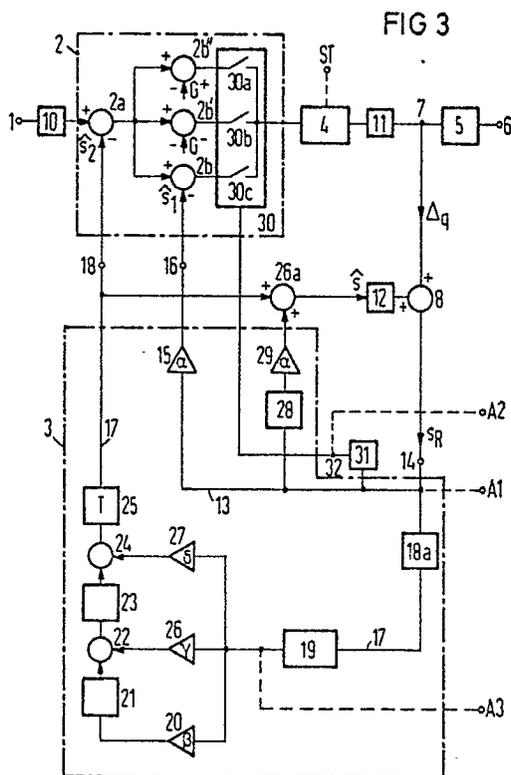
84 Benannte Vertragsstaaten:
DE FR GB IT NL

71 Anmelder: **Siemens Aktiengesellschaft Berlin und München**
Wittelsbacherplatz 2
D-8000 München 2(DE)

72 Erfinder: **Matthiesen, Fred, Dipl.-Ing.**
Kolumbusstrasse 19
D-8000 München 90(DE)
Erfinder: **Schöbinger, Matthias, Dr. phil. nat.**
Schleissheimerstrasse 71
D-8000 München 40(DE)
Erfinder: **Totzek, Ulrich, Dr.Ing.**
Herzogstandstrasse 6
D-8000 München 90(DE)
Erfinder: **Zehner, Bernd, Dr.Ing.**
Therese-Giehse-Allee 23
D-8000 München 83(DE)

54 **Anordnung zur DPCM-Codierung von Fernsehsignalen.**

57 DPCM-Codierer, bei dem von digitalisierten Bildpunktsignalen (s) jeweils Schätzwerte (\hat{s}) subtrahiert werden und die Schätzfehler nach Quantisierung und Codierung zur Signalübertragung verwendet werden. Jeder Schätzwert (\hat{s}) wird aus einem in einem Addierer (8) gebildeten rekonstruierten Bildpunktsignal abgeleitet. Dabei finden getrennte, gleichzeitige Subtraktionen des am Addiererausgang abgegriffenen Signals sowie des positiven und des negativen Addierergrenzwertes jeweils vom eingangsseitigen Bildpunktsignal (s) statt, wobei eine Überlauferkennungseinrichtung (31) und ein Multiplexer (30) dafür sorgen, daß von den drei insoweit gebildeten Differenzen jeweils nur die dem tatsächlichen Additionsergebnis (kein Überlauf, positiver Überlauf, negativer Überlauf) Rechnung tragende Differenz an den Quantisierer (4) durchgeschaltet wird.



EP 0 288 783 A2

Anordnung zur DPCM-Codierung von Fernsehsignalen.

Die Erfindung bezieht sich auf eine Anordnung zur DPCM-Signalcodierung von Fernsehsignalen nach dem Oberbegriff des Patentanspruchs 1.

Eine Anordnung dieser Art, die zum Beispiel aus den Proc. IEEE Bd. 73, Nr. 4, April 1985, Seiten 592 bis 598, vergleiche insbesondere Figuren 1, 2 und 4, bekannt ist, sei anhand eines in Figur 1 dargestellten Prinzipschaltbildes erläutert. Dabei liegt an einem Eingang 1 der Anordnung eine Folge von digitalisierten Bildpunktsignalen s an, die über im einzelnen nicht dargestellte Abtast- und Haltestufen zugeführt werden. Zur Reduktion des Datenflusses bemüht man sich, redundante und irrelevante Anteile des Bildsignals herauszunehmen, um beispielsweise die Bitübertragungsraten senken zu können, ohne die Bildqualität hierdurch zu verschlechtern. Im einzelnen geschieht dies dadurch, daß nicht die aufeinanderfolgenden Bildpunktsignale über den zu einer Empfangsstelle führenden Übertragungskanal übertragen werden, sondern nur die Differenzsignale, die durch eine Differenzbildung zwischen jeweils einem aktuellen Bildpunktsignal s und einem aufgrund der vorausgegangenen Bildpunktsignale in einem Prädiktor ermittelten Schätzwert \hat{s} gebildet werden. Ein solches Verfahren wird auch als Differenz-Pulscode-modulation (DPCM) bezeichnet.

Die für eine DPCM-Codierung erforderliche Differenzbildung geschieht in einem Subtrahierer 2, dessen erster Eingang mit dem Eingang 1 und dessen zweiter Eingang mit einem Prädiktor 3 beschaltet ist. Jedes Differenzsignal Δ , das auch als Schätzfehler bezeichnet wird, wird in einem Quantisierer 4 quantisiert, wobei das sich ergebende, mit dem Quantisierungsfehler q behaftete Differenzsignal $\Delta_q = \Delta + q$ in einem Codierer 5 codiert und über einen Ausgang 6 dem Übertragungskanal zugeführt wird. Zur Bildung des Schätzwertes \hat{s} ist ein rekursiver Signalpfad vorgesehen, der von einem Schaltungspunkt 7 ausgangsseitig vom Quantisierer 4 ausgeht, einen ersten Addierer 8, eine Begrenzeinrichtung 9 und den Prädiktor 3 enthält und an den zweiten Eingang des Subtrahierers 2 geführt ist. Der Ausgang des Prädiktors 3 ist weiterhin mit einem zweiten Eingang des ersten Addierers 8 verbunden, der durch Addition des quantisierten Differenzsignals Δ_q und des Schätzwertes \hat{s} ein sog. rekonstruiertes Bildpunktsignal s_R bildet. Für jedes aktuelle Bildpunktsignal s liefert der Prädiktor 3 aus wenigstens einem der vorhergegangenen Bildpunktsignale den Schätzwert \hat{s} .

Bezeichnet man gemäß Fig. 2 den in einem Fernsehbild m in der Zeile n liegenden, aktuellen Bildpunkt mit X , den unmittelbar vorher abgetasteten Bildpunkt mit A , den X entsprechenden Bild-

punkt der vorhergehenden Zeile $n - 1$ mit C und die dem letzteren benachbarten, unmittelbar vor bzw. nach diesem abgetasteten Bildpunkte mit B und D und bezeichnet man weiterhin die entsprechenden Bildpunkte des vorhergegangenen Bildes $m - 1$ mit X' und A' bis D' , so ergibt sich folgendes: Man kann zur Bildung des Schätzwertes \hat{s} für das Bildpunktsignal von X die Bildpunktsignale von wenigstens einem der Punkte A bis D heranziehen, wobei man von einer zweidimensionalen (2D-) Prädiktion spricht. Verwendet man hierzu zusätzlich oder ausschließlich die Bildpunktsignale von wenigstens einem der Bildpunkte X' und A' bis D' , so liegt eine dreidimensionale (3D-) Prädiktion vor. Im ersteren Falle kann der Schätzwert \hat{s} beispielsweise nach der 2D-Schätzgleichung

$$\hat{s} = \alpha \cdot s_A + \beta \cdot s_B + \gamma \cdot s_C + \delta \cdot s_D \quad (1)$$

ermittelt werden, im letzteren Fall zum Beispiel nach der 3D-Schätzgleichung

$$\hat{s} = s_X' \quad (2)$$

wobei mit s_A das rekonstruierte Bildpunktsignal des Bildpunktes A bezeichnet ist, mit s_B das des Bildpunktes B usw. und wobei die Koeffizienten α , β , γ und δ Bewertungsfaktoren darstellen, die den einzelnen Bildpunktsignalen zugeordnet sind. Die Schätzgleichung (2) ist dann zu empfehlen, wenn der auch als "Aktivität" bezeichnete Kontrast des aktuellen Bildpunktes X zu den ihn umgebenden Bildpunkten gering ist.

Der Erfindung liegt die Aufgabe zugrunde, eine Anordnung der eingangs genannten Art anzugeben, bei der eine schnelle Signalverarbeitung gewährleistet ist. Das wird erfindungsgemäß durch eine Ausbildung der Anordnung nach dem kennzeichnenden Teil des Patentanspruchs 1 erreicht.

Der mit der Erfindung erzielbare Vorteil liegt insbesondere in den reduzierten Arbeitszeiten der im rekursiven Signalpfad liegenden Funktionseinheiten, die für die Bildung und Subtraktion des Schätzwertes \hat{s} vom aktuellen Bildpunktsignal s erforderlich sind. Die erfindungsgemäße Anordnung eignet sich sowohl zum Einsatz in 2D-als auch in 3D-DPCM-Codierungsverfahren. Sie läßt sich in relativ einfacher Weise in integrierter Schaltungstechnik auf einem Halbleiterkörper realisieren.

Die Patentansprüche 2 bis 7 sind auf bevorzugte Ausgestaltungen und Weiterbildung der Erfindung gerichtet.

Die Erfindung wird nachfolgend anhand von in der Zeichnung dargestellten, bevorzugten Ausführungsbeispielen näher erläutert. Dabei zeigt:

Fig. 1 das Prinzipschaltbild einer bekannten Anordnung zur DPCM-Codierung,

Fig. 2 eine Darstellung von einzelnen Bildpunkten zweier aufeinanderfolgender Fernsehbilder zur Erläuterung von Fig. 1,

Fig. 3 ein erstes Ausführungsbeispiel der Erfindung,

Fig. 4 eine Weiterbildung der Anordnung nach Fig. 3 und

Fig. 5 ein zweites Ausführungsbeispiel der Erfindung.

Fig. 3 zeigt eine Anordnung nach der Erfindung, die von dem in Fig. 1 dargestellten Grundaufbau eines DPCM-Coders ausgeht. Zusätzlich zu den bereits anhand von Fig. 1 erläuterten, mit den gleichen Bezugszeichen versehenen Funktionseinheiten sind mit Taktimpulsspannungen beaufschlagte Register 10, 11 und 12 vorgesehen, von denen das Register 10 in Serie zum Eingang 1 liegt, das Register 11 zwischen den Schaltungsteilen 4 und 7 und das Register 12 vor dem zweiten Eingang des Addierers 8. Zu Beginn einer Taktimpulsperiode i seien im Register 10 ein aktuelles Bildpunktsignal s gespeichert, das z.B. dem Bildpunkt X entspricht, im Register 11 ein quantisiertes Differenzsignal Δ_q , das vom Bildpunktsignal s der Periode $i-1$ und damit vom Bildpunkt A abgeleitet ist, und im Register 12 ein Schätzwert \hat{s} , der aus den Bildpunktsignalen einiger zeitlich davor liegender Taktimpulsperioden gebildet ist. Dabei besteht die Zeitbedingung, daß während der Taktimpulsperiode i im Addierer 8 ein rekonstruiertes Bildpunktsignal s_R gebildet werden muß, im Prädiktor 3 ein neuer Schätzwert \hat{s} zu ermitteln ist, im Subtrahierer 2 ein Differenzsignal $\Delta = s - \hat{s}$ zu bilden ist und im Quantisierer 4 ein quantisiertes Signal Δ_q abzuleiten ist,

so daß bis zum Beginn der nächstfolgenden Taktimpulsperiode $i+1$ das letztgenannte Signal bereits im Register 11 gespeichert worden ist. In der Taktimpulsperiode $i+1$ wiederholt sich dann der Vorgang, wobei im Register 10 bereits das nächstfolgende Bildpunktsignal gespeichert ist. Es besteht also ein zeitkritischer Signalpfad, der vom Ausgang des Registers 11 über 7, 8, 3, 2 und 4 zum Eingang von 11 verläuft. Die Signalverarbeitung innerhalb dieses zeitkritischen Pfades muß innerhalb einer Taktimpulsperiode erfolgen.

Da der Prädiktor 3 in Fig. 3 nach einer 2D-Schätzggleichung entsprechend Beziehung (1) arbeitet, weist er einen ersten Schaltungszweig 13 auf, der vom Eingang 14 über einen ersten Bewerter 15, der eine Signalbewertung mit einem Bewertungsfaktor durchführt, zu einem ersten Ausgang 16 verläuft. An diesem ist ein erster, mit Hilfe des Bildpunktes A gewonnener Signalanteil \hat{s}_1 des Schätzwertes \hat{s} abgreifbar. Ein zweiter Schaltungszweig 17 verläuft von 14 zu einem zweiten

Ausgang 18 des Prädiktors und dient zur Ableitung eines zweiten, mit Hilfe der Bildpunkte B, C und D gewonnenen Signalanteils \hat{s}_2 . Der Signalanteil \hat{s}_2 setzt sich dabei aus mehreren Komponenten zusammen, von denen die erste über einen Bewerter 18a, ein Verzögerungsglied 19, einen Bewerter 20, der eine Bewertung nach dem Faktor β durchführt, und eine Kettenschaltung eines Verzögerungsgliedes 21, eines Addierers 22, eines Verzögerungsgliedes 23, eines Addierers 24 und eines Verzögerungsgliedes 25 abgeleitet wird. Nimmt man an, daß das Verzögerungsglied 19 eine Verzögerung hervorruft, die dem Ausdruck $(z^{-2}) \cdot T$ entspricht, wobei z die Anzahl der Bildpunkte pro Fernsehzeile angibt und T eine Taktimpulsperiodendauer bedeutet, und geht man weiter davon aus, daß die vorzugsweise als getaktete Register ausgebildeten Verzögerungsglieder 21, 23 und 25 jeweils um eine Taktimpulsperiodendauer T verzögern, so erkennt man, daß sich die erste Komponente von \hat{s}_2 aus dem Bildpunkt B ableitet. Eine zweite Komponente, die über einen mit dem Faktor γ bewertenden Bewerter 26 vom Ausgang des Verzögerungsgliedes 19 abgegriffen und einem Eingang des Addierers 22 zugeführt wird, drückt die Abhängigkeit des Signalanteils \hat{s}_2 vom Bildpunkt C aus, während eine dritte, über einen Bewerter 27 (Faktor δ) vom Ausgang von 19 abgeleitete Komponente den Einfluß des Bildpunktes D ausdrückt. Der Schätzwert \hat{s} setzt sich dann aus beiden Signalanteilen \hat{s}_1 und \hat{s}_2 additiv zusammen.

Die Aufteilung des Schätzwertes \hat{s} in die beiden Signalanteile \hat{s}_1 und \hat{s}_2 macht eine entsprechende Aufteilung des Subtrahierers 2 von Fig. 1 in zwei zueinander in Kette geschaltete Subtrahierer 2a und 2b erforderlich, wobei in 2a der Signalanteil \hat{s}_2 von dem im Register 10 gespeicherten Bildpunktsignal s abgezogen wird und der Signalanteil \hat{s}_1 seinerseits in 2b von der so gebildeten Differenz abgezogen wird. Aus den Signalanteilen \hat{s}_2 und \hat{s}_1 wird andererseits in einem Addierer 26a der Schätzwert \hat{s} ermittelt, wobei \hat{s}_1 für diese Addition eigens über einen mit dem Eingang 14 verbundenen Begrenzer 28 und einen dem Bewerter 15 nachgebildeten Bewerter 29 abgeleitet wird. Der Ausgang des Addierers 26a ist mit dem Eingang des Registers 12 verbunden.

Neben dem Subtrahierer 2b sind in Fig. 3 zwei weitere Subtrahierer 2b' und 2b'' vorgesehen, wobei die ersten Eingänge von 2b, 2b' und 2b'' zueinander parallel geschaltet sind. Während jedoch der zweite Eingang von 2b mit dem Signalanteil \hat{s}_1 belegt ist, wird dem zweiten Eingang von 2b' ein negativer Begrenzungswert G^- zugeführt, der dem negativen Begrenzungswert der Begrenzereinrichtung 9 von Fig. 1, multipliziert mit α , entspricht. Der zweite Eingang von 2b'' ist mit einem positiven Begrenzungswert G^+ beauf-

schlagt, der dem positiven Begrenzungswert der Einrichtung 9, multipliziert mit α , entspricht. Die Ausgänge der Subtrahierer 2b, 2b' und 2b'' sind an die Eingänge eines Multiplexers 30 gelegt, dessen Ausgang mit dem Eingang des Quantisierers 4 verbunden ist. Eine Überlauferkennungseinrichtung 31, die mit dem Ausgang des Addierers 8 verbunden ist, steuert über ihren Ausgang 32 den Multiplexer 30. Dabei wird für den Fall, daß die im Addierer 8 gebildete Summe den vorgegebenen, positiven Grenzwert G^+ übersteigt, vom Ausgang 32 ein Steuersignal abgegeben, das den Schalter 30a schließt und den Ausgang des Subtrahierers 2b'' mit dem Eingang des Quantisierers 4 verbindet. Unterschreitet die im Addierer 8 gebildete Summe den vorgegebenen negativen Grenzwert G^- , so wird der Schalter 30b des Multiplexers geschlossen und der Ausgang von 2b mit dem Eingang von 4 verbunden. Schließlich wird für den Fall, daß die in 8 gebildete Summe sich innerhalb des durch G^+ und G^- bestimmten Wertebereiches befindet, der Schalter 30c geschlossen, so daß die in 2b gebildete Differenz an den Eingang von 4 gelangt.

Da der Bewerter 15 in Serie zu dem zweiten Eingang des digitalen Subtrahierers 2b angeordnet ist, kann eine Bewertung mit einem Faktor α , der durch eine Zahl 2^n ($n = 1, 2$ usw. oder $-1, -2$ usw.) ausgedrückt wird, in einfacher Weise dadurch realisiert werden, daß das zu bewertende Signal, in diesem Fall das rekonstruierte Bildpunktsignal s_R , welches z. B. aus acht Bits besteht, nicht den Eingängen der ihm stellenmäßig entsprechenden Stufen des Subtrahierers 2b zugeführt wird, sondern den um eine entsprechende Stellenzahl in Richtung auf höherwertige oder niedrigerwertige Bits versetzten Stufeneingängen. Entsprechendes gilt auch für die Bewerter 20, 26, 27 und 29, deren Funktionen ebenfalls durch eine versetzte Zuordnung der einzelnen Bits der zu bewertenden digitalen Signale zu den Eingängen des als Register ausgebildeten Verzögerungsgliedes 21 oder den Stufeneingängen der Addierer 22, 24 und 26 realisiert werden können.

Der Ausgang des Addierers 8 ist direkt mit dem Eingang des Subtrahierers 2b verbunden. Die in 8 gebildete Summe kann daher bitweise, und zwar beginnend mit der Stufe niedrigster Wertigkeit, entsprechend dem Übertragungsdurchlauf an die einzelnen Stufeneingänge des Subtrahierers 2b angelegt werden. Die Subtraktion läuft also nahezu parallel zur Addition ab und ist nur um die Signallaufzeit vom Eingang bis zum Summenausgang der Stufe der niedrigsten Wertigkeit des Addierers 8 verzögert. Die Funktion der Begrenzereinrichtung 9 in Fig. 1 wird nun dadurch realisiert, daß in 2b, 2b' und 2b'' unabhängig voneinander drei Differenzbeiträge gebildet werden, von denen jeweils nur einer

an den Quantisierer 4 durchgeschaltet wird. Die Entscheidung, welche der drei Differenzen weiterverarbeitet wird, trifft die Überlauferkennungseinrichtung 31. In entsprechender Weise wird die im Subtrahierer 2a gebildete Differenz den ersten Eingängen der Subtrahierer 2b, 2b' und 2b'' bitweise, und zwar beginnend mit der Stufe niedrigster Wertigkeit, zugeführt, so daß auch die in 2a und 2b durchgeführten Subtraktionen nahezu gleichzeitig erfolgen.

Durch die nach der Erfindung realisierte Begrenzerfunktion wird die Signalverarbeitung im genannten rekursiven Signalpfad gegenüber der Signalverarbeitung nach Fig. 1 wesentlich beschleunigt, da dort erst nach Ablauf der vollen Arbeitszeit des Addierers 8 eine Begrenzung des Summensignals in der Einrichtung 9 erfolgen kann und der Subtrahierer 2 erst im Anschluß hieran die Differenz zwischen dem Bildpunktsignal s und dem gegebenenfalls begrenzten Summensignal des Addierers 8 ermittelt.

Der Begrenzer 28 läßt zwar keine fast gleichzeitige Summenbildung in den Addierern 8 und 26 zu, doch liegt er in einem vom Ausgang des Registers 12 über 8, 28, 29 und 26a zum Eingang von 12 verlaufenden Signalpfad, der nicht zeitkritisch ist, da in ihm keine Signalquantisierung vorgenommen wird.

Fig. 4 zeigt eine Teilschaltung, die die Anordnung nach Fig. 3 zu einem DPCM-Coder mit adaptiver Quantisierung ergänzt. Dabei wird davon ausgegangen, daß der Quantisierer 4 auf eine von mehreren Quantisierungskennlinien umschaltbar ist, die sich insbesondere dadurch unterscheiden, daß jeweils unterschiedlich große Quantisierungsschritte verwendet werden. Ist der Kontrast eines zu codierenden Bildpunktes, z.B. X, zu den ihn umgebenden Bildpunkten nur gering, so erfolgt die Quantisierung in kleinen Stufen, während bei größeren Kontrastwerten auf Quantisierungskennlinien mit jeweils größeren Quantisierungsstufen umgeschaltet wird. Der Quantisierer 4 ist mit einem Steuereingang ST versehen, dem Steuersignale zugeführt werden, die eine Umschaltung auf eine jeweils ausgewählte Quantisierungskennlinie bewirken. Die in Figur 4 dargestellte Teilschaltung stellt dabei eine Steuerschaltung dar, über die ein dem Eingang ST zugeführtes Steuersignal abgeleitet wird.

Die Steuerschaltung nach Fig. 4 weist drei Eingänge auf, die jeweils mit den Ausgängen A1, A2 und A3 der Anordnung nach Fig. 3 verbunden sind und daher die gleichen Bezugszeichen tragen. Der Eingang A1 entspricht dem Schaltungspunkt 14 von Fig. 3, der Eingang A2 dem Ausgang 32 der Überlauferkennungseinrichtung 31 und der Eingang A3 dem Ausgang des Verzögerungsgliedes 19. Über A3 werden die von den Bildpunkten B, C und

D abgeleiteten, rekonstruierten Bildpunktsignale s_B , s_C und s_D nacheinander drei in Serie zueinander liegenden Registern 33 bis 35 zugeführt und in diesen gespeichert. Diese Bildpunktsignale werden zunächst in einer Vergleichseinrichtung 36 derart miteinander verglichen, daß an einem ersten Ausgang 37 von 36 das größte dieser drei Bildpunktsignale erscheint, das mit x_2 bezeichnet wird, und an einem zweiten Ausgang 38 von 36 das kleinste dieser drei Signale, das mit x_3 bezeichnet wird. In nachge schalteten Registern 39 und 40 werden die Signale x_2 und x_3 gespeichert. Über den Eingang A1 wird das vom Bildpunkt A abgeleitete, rekonstruierte Bildpunktsignal s_A zugeführt, das im folgenden mit x_1 bezeichnet wird. Man bildet nun die Differenzsignale $x_1 - x_3$, $x_1 - x_2$ und $x_2 - x_3$. Dazu sind drei Subtrahierer 41, 42 und 43 vorgesehen, wobei die ersten Eingänge von 41 und 42 mit dem Eingang A1 verbunden sind und die zweiten Eingänge dieser Subtrahierer jeweils an den Ausgängen der Register 40 und 39 liegen. Der erste Eingang des Subtrahierers 43 ist mit dem Ausgang des Registers 39 beschaltet, der zweite Eingang von 43 mit dem Ausgang des Registers 40. Der Ausgang von 41 ist über einen Multiplexer 44 an den Eingang einer Logikschaltung 45 geführt, die das Differenzsignal $x_1 - x_3$ in eine von mehreren Amplitudenklassen einordnet und in Abhängigkeit von der Klasse, in die das Differenzsignal eingeordnet wurde, ein klassenspezifisches Steuersignal s_{ST1} abgibt. Nimmt man an, daß z.B. drei verschiedene Grenzwerte GW1 bis GW3 definiert sind, die vier verschiedene Amplitudenklassen begrenzen, so wird für den Fall, daß $x_1 - x_3$ unterhalb von GW1 liegt, ein erstes Steuersignal s_{ST1} abgegeben, das eine erste Quantisierungskennlinie des Quantisierers 4 auswählt. Liegt $x_1 - x_3$ zwischen GW1 und GW2, so ergibt sich ein zweites Steuersignal s_{ST1} , das eine zweite Quantisierungskennlinie auswählt. Gehört $x_1 - x_3$ einer Klasse an, deren Grenzen durch GW2 und GW3 gegeben sind, so wird eine dritte Quantisierungskennlinie ausgewählt, während die Zugehörigkeit des Differenzsignals zu der oberhalb von GW3 liegenden, vierten Klasse eine Auswahl der vierten Quantisierungskennlinie bedingt.

In analoger Weise wird das im Subtrahierer 42 gebildete Differenzsignal $x_1 - x_2$ über einen Multiplexer 46 dem Eingang einer Logikschaltung 47 zugeführt, die je nach Zugehörigkeit dieses Differenzsignals zu einer der vorstehend genannten Amplitudenklassen ein klassenspezifisches Steuersignal s_{ST2} abgibt. Weiterhin gelangt das Differenzsignal $x_2 - x_3$ an den Eingang einer Logikschaltung 48, in der ein klassenspezifisches Steuersignal s_{ST3} in der bereits beschriebenen Weise erzeugt wird. Eine Auswahlsteuerung 49 leitet aus den Vorzeichenbits der Differenzsignale $x_1 - x_3$, $x_1 - x_2$ und $x_2 -$

x_3 ein Steuersignal s_M ab, das angibt, welches dieser Differenzsignale das größte ist. s_M wird sodann einem Multiplexer 50 zugeführt, der in Abhängigkeit von s_M nur eines der Steuersignale s_{ST1} , s_{ST2} oder s_{ST3} an den Eingang ST des Quantisierers 4 durchschaltet, und zwar dasjenige, das von dem größten der drei zuletzt genannten Differenzsignale abgeleitet worden ist.

Mit einer solchen Steuerschaltung, die prinzipiell bereits aus der DE-OS 33 31 426 bekannt ist, wird in Abhängigkeit von dem maximalen Kontrast, der zwischen jeweils zwei Bildpunkten innerhalb der Bildpunktgruppe A, B, C und D auftritt, eine diesem maximalen Kontrast zugeordnete Quantisierungskennlinie des Quantisierers 4 ausgewählt. Der Aufbau und die Funktionsweise der Vergleichseinrichtung 36, der Logikschaltungen 45, 47 und 48 und der Auswahlsteuerung 49 sind der DE-OS 33 31 426 zu entnehmen.

Die Begrenzungsfunktion, die innerhalb des zeitkritischen Pfades 7, 8, 15, 2, 4 und 11 (Fig. 3) durch die parallel zu 2b arbeitenden Subtrahierer 2b' und 2b'', den Multiplexer 30 und die Überlaufkennungseinrichtung 31 realisiert wird, ist in der Steuerschaltung nach Fig. 4 dadurch realisiert, daß neben dem Subtrahierer 41 zwei weitere Subtrahierer 41' und 41'' vorgesehen sind, wobei die zweiten Eingänge aller dieser Subtrahierer zueinander parallel geschaltet sind. Der erste Eingang von 41' ist mit dem negativen Begrenzungswert G^- beschaltet, der erste Eingang von 41'' mit dem positiven Begrenzungswert G^+ . Die Ausgänge von 41, 41' und 41'' sind an zugeordnete Eingänge des Multiplexers 44 gelegt, der über Schalter 44a bis 44c nur einen der Subtrahiererausgänge an den Eingang der Logikschaltung 45 durchschaltet. In analoger Weise sind dem Subtrahierer 42 zwei weitere Subtrahierer 42' und 42'' zugeordnet, wobei jeweils einer der Ausgänge der Subtrahierer 42, 42' oder 42'' über einen der Schalter 46a bis 46c des Multiplexers 46 an den Eingang der Logikschaltung 47 durchgeschaltet wird. Die Steuerung der Schalter 44a bis 44c und 46a bis 46c erfolgt in Abhängigkeit von dem Ausgangssignal der Überlaufkennungseinrichtung 31, das über den Eingang A2 zugeführt wird. Bleibt s_A innerhalb des durch G^+ und G^- bestimmten Wertebereichs, so werden die Schalter 44a und 46a geschlossen. Überschreitet dagegen das Bildpunktsignal s_A den positiven Grenzwert G^+ , so schließen die Schalter 44c und 46c, und unterschreitet s_A den negativen Grenzwert $-G$, so werden 44b und 46b geschlossen. Trotz aufrechterhaltener Begrenzungsfunktion innerhalb des rekursiven Schaltungszweiges 7, 8, A1, 41 (42), 44 (46) 45 (47), 50, 4 und 11 wird hierdurch eine schnelle Steuerung des Quantisierers 4 erreicht, da eine nahezu gleichzeitige Addition im Addierer 8 und Subtraktion in den

Subtrahierern 41, 41', 41'' und 42, 42' und 42'' erfolgt.

Fig. 5 zeigt einen nach der Erfindung ausgebildeten, adaptiven 3D-DPCM-Coder, bei dem die Prädiktion des Schätzwertes in der Weise vorgenommen wird, daß in Abhängigkeit von den jeweils zu übertragenden Bildpunktsignalen eine Umschaltung von einer 2D-Schätzgleichung, z.B. (1), auf eine 3D-Schätzgleichung, z.B. (2), oder umgekehrt erfolgt. Die 2D-Schätzgleichung (1) wird bei einem hinreichend großen Kontrast innerhalb der Bildpunktgruppe A bis D verwendet, die Schätzgleichung (2) bei zu niedrigen Kontrastwerten. Es sind zwei getrennte DPCM-Schleifen vorgesehen, von denen die erste nach der 2D-Schätzgleichung (1) arbeitet, entsprechend Fig. 3 aufgebaut ist und mit den dort bereits verwendeten Bezugszeichen versehen ist. Der Teil dieser Schleife, der den Signalanteil \hat{s}_2 berücksichtigt, wurde lediglich aus Gründen der Übersichtlichkeit weggelassen. Zum Unterschied von Fig. 3 ist zwischen den Ausgang des Quantisierers 4 und den Eingang des Registers 11 ein Schalter S1 eingefügt und zwischen dem Ausgang des Addierers 26 und dem Eingang des Registers 12 ein Schalter S2 angeordnet. Vom Ausgang des Registers 10 gelangt man zum Eingang 51 einer zweiten, nach der 3D-Schätzgleichung (2) arbeitenden Schleife. Diese weist einen Subtrahierer 52 auf, dessen erster Eingang mit 51 verbunden ist und dessen Ausgang an den Eingang eines Quantisierers 53 geführt ist; dessen Ausgang über einen Schalter S3 mit dem Eingang eines Registers 54 verbunden ist. Der Ausgang von 54 liegt am ersten Eingang eines Addierers 55, dessen Ausgang mit dem Eingang eines Begrenzers 56 beschaltet ist. Vom Ausgang des letzteren gelangt man zum Eingang eines Prädiktors 57, dessen Ausgang mit dem zweiten Eingang des Subtrahierers 52 und über einen Schalter S4 mit dem Eingang eines weiteren Registers 58 verbunden ist, dessen Ausgang mit dem zweiten Eingang des Addierers 55 beschaltet ist. Der Prädiktor 57 liefert einen Schätzwert \hat{s}' , der gemäß der Beziehung (2) dem rekonstruierten Signal s_x' entspricht, das vom Bildpunkt X' des vorhergehenden Fernsehbildes m-1 abgeleitet worden ist. Da der Prädiktor 57 im einzelnen nicht dargestellte Verzögerungsglieder enthält, die die Bildung von \hat{s}' etwa um eine Bilddauer verzögern, ist in der 3D-Schleife 51 bis 58 kein zeitkritischer Pfad vorhanden, der eine Datenverarbeitungsgeschwindigkeit erfordern würde, wie sie für die 2D-Schleife 11, 7, 8, 15, 2 und 4 verlangt werden muß. Die Eingänge der Register 11 und 54 sind über eine Leitung 59 zueinander parallel geschaltet, die Eingänge der Register 12 und 58 über eine Leitung 60.

Zur Erklärung der Wirkungsweise der Anordnung nach Fig. 5 wird davon ausgegangen, daß die

Schalter S1 und S2 geschlossen und die Schalter S3 und S4 zunächst geöffnet sind. Dabei arbeitet die 2D-Schleife wie bereits anhand von Fig. 3 beschrieben, während die 3D-Schleife über das Register 54 den quantisierten Schätzfehler Δ_q der 2D-Schleife und über das Register 58 den Schätzwert \hat{s} der 2D-Schleife zugeführt erhält und hieraus mit Hilfe des Prädiktors 57 einen Schätzwert \hat{s}' bildet. Im Subtrahierer 52 wird \hat{s}' von einem eingangsseitigen Bildpunktsignal s subtrahiert, so daß ein 3D-Schätzfehler Δ' gebildet wird. Über zwei Leitungen 61 und 62 werden nun die Schätzfehler Δ und Δ' den Eingängen einer Prädiktorsteuerung 63 zugeführt, über deren Ausgang die Schalter S1 bis S4 angesteuert werden. In der Prädiktorsteuerung 63 wird dazu festgestellt, welches der beiden Signale Δ oder Δ' kleiner ist als das andere. Ist Δ kleiner, d.h. liefert die 2D-Schleife den besseren Schätzwert, so bleiben die Schalter S1 und S2 geschlossen, wobei der in 4 quantisierte Schätzfehler Δ_q im Codierer 5 codiert und sodann über den Ausgang 6 auf die Übertragungsstrecke gegeben wird. Liefert jedoch die 3D-Schleife den kleineren Schätzfehler Δ' , so werden die Schalter S1 und S2 geöffnet und stattdessen die Schalter S3 und S4 geschlossen. Dabei gelangt dann der quantisierte Schätzfehler Δ_q' nach dem Durchlaufen des Registers 11 und des Codierers 5 über den Ausgang 6 auf die Übertragungsstrecke und außerdem über die Register 11 und 12 in die obere 2D-Schleife, die hieraus mit Hilfe des in ihr enthaltenen Prädiktors den nächsten Schätzwert \hat{s} bildet. Wird jedoch beim nächsten anliegenden Bildpunktsignal s festgestellt, daß der Schätzfehler Δ wieder kleiner ist als Δ' , so erfolgt eine neuerliche Umschaltung auf die 2D-Schleife, was durch Schließen der Schalter S1 und S2 und Öffnen der Schalter S3 und S4 bewirkt wird.

Der 3D-DPCM-Coder nach Fig. 5 arbeitet wegen der durch den Prädiktor 57 zeitunkritischen 3D-Schleife 51 bis 58 mit einer Geschwindigkeit, die dem 2D-Coder nach Fig. 3 voll entspricht.

Weitere Ausführungsformen der Erfindung unterscheiden sich von den oben beschriebenen dadurch, daß die Begrenzungswerte G^+ und G^- des ersten Addierers 8, die den von 8 abgegebenen Wertebereich zwischen sich begrenzen, gleiche Vorzeichen aufweisen. Beispielsweise können G^+ und G^- jeweils positive Begrenzungswerte darstellen. Daher ist ganz allgemein G^+ als ein oberer Begrenzungswert und G^- als ein unterer Begrenzungswert zu bezeichnen.

Ansprüche

1. Anordnung zur DPCM-Codierung von Fernsehsignalen, bei der von digitalisierten Bildpunktsignalen (s) jeweils Schätzwerte (\hat{s}) subtrahiert und die erhaltenen Differenzsignale nach einer Quantisierung und Codierung zur Signalübertragung herangezogen werden, mit einem rekursiven Signalpfad, der einen ersten Addierer (8) zur Bildung von rekonstruierten Bildpunktsignalen (s_R) aus den quantisierten Differenzsignalen und den Schätzwerten, eine Begrenzereinrichtung, einen Prädiktor (3) zur Bildung der Schätzwerte (\hat{s}) und eine Subtraktionsvorrichtung (2) zur Bildung der Differenzsignale aufweist, **dadurch gekennzeichnet**, daß die Subtraktionsvorrichtung (2) drei Subtrahierer ($2b$, $2b'$, $2b''$) enthält, deren parallel geschaltete erste Eingänge mit den Bildpunktsignalen oder von diesen über einen vorgeschalteten Subtrahierer (2a) abgeleiteten Signalen beschaltet sind, daß der zweite Eingang des ersten Subtrahierers (2a) der Subtraktionsvorrichtung (2) mit dem Ausgang des ersten Addierers (8) verbunden ist, daß die zweiten Eingänge der beiden anderen Subtrahierer ($2b'$, $2b''$) der Subtraktionsvorrichtung (2) jeweils mit einem unteren Grenzwert (G^-) und einem oberen Grenzwert (G^+) des ersten Addierers (8) beaufschlagt sind und daß die Ausgänge der genannten drei Subtrahierer über einen Multiplexer (30) mit dem Eingang eines die Quantisierung durchführenden Quantisierers (4) verbunden sind, wobei ein Steuereingang des Multiplexers mit einer vom Ausgang des ersten Addierers (8) gesteuerten Überlauferkennungseinrichtung (31) beschaltet ist.

2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß der vorgeschaltete Subtrahierer (2a) über seinen ersten Eingang mit den digitalisierten Bildpunktsignalen (s) beschaltet ist, daß der zweite Eingang desselben über eine Serienschaltung aus mehreren Verzögerungsgliedern (19, 21, 23, 25), weiteren Addierern (22, 24) und einen ersten Begrenzer (18a) mit dem Ausgang des ersten Addierers (8) verbunden sind, daß die weiteren Addierer (22, 24) jeweils über einen ihrer Eingänge mit am Ausgang eines dieser Verzögerungsglieder (19) abgreifbaren, zeitverzögerten Bildpunktsignalen beaufschlagt sind und daß der zweite Eingang des vorgeschalteten Subtrahierers (2a) mit dem ersten Eingang eines ersten zusätzlichen Addierers (26a) beschaltet ist, dessen zweiter Eingang über einen zweiten Begrenzer (28) mit dem Ausgang des ersten Addierers (8) verbunden ist und dessen Ausgang mit dem zweiten Eingang des ersten Addierers (8) beschaltet ist.

3. Anordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß der Quantisierer (4) auf unterschiedliche Quantisierungskennlinien umschaltbar ausgebildet ist, daß von einem der Verzögerungs-

glieder (19) drei rekonstruierte Bildpunktsignale (s_B , s_C und s_D) ableitbar sind, daß eine Vergleichseinrichtung (36) vorgesehen ist, in der das größte dieser drei Bildpunktsignale (x_2) und das kleinste derselben (x_3) selektiert werden, daß ein rekonstruiertes, aktuelles Bildpunktsignal (x_1) am Ausgang des ersten Addierers (8) abgegriffen wird, daß die Differenzbeträge aus dem aktuellen Bildpunktsignal und dem genannten größten Bildpunktsignal (x_1-x_2), aus dem aktuellen Bildpunktsignal und dem genannten kleinsten Bildpunktsignal (x_1-x_3) und aus dem genannten größten und dem genannten kleinsten Bildpunktsignal (x_2-x_3) ermittelt werden, daß für jeden dieser Differenzbeträge eine Logikschaltung (45, 47, 48) vorgesehen ist, in der die Zuordnung zu einer Mehrzahl von Grenzwerten und den hierdurch definierten Amplitudenklassen ermittelt und ein dieser Zuordnung entsprechendes klassenspezifisches Steuersignal (s_{ST1} , s_{ST2} , s_{ST3}) gebildet wird, daß dasjenige der klassenspezifischen Steuersignale, das zu dem größten der drei Differenzbeträge (x_1-x_2 , x_1-x_3 , x_2-x_3) gehört, über einen zweiten Multiplexer (50) einen Steuereingang des Quantisierers (4) beaufschlagt, so daß eine diesem klassenspezifischen Steuersignal zugeordnete Quantisierungskennlinie ausgewählt wird, daß neben dem den Differenzbetrag aus dem aktuellen Bildpunktsignal (x_1) und dem kleinsten der genannten Bildpunktsignale (x_3) bildenden Subtrahierer (41) noch zwei weitere Subtrahierer ($41'$, $41''$) vorgesehen sind, wobei in diesen weiteren Subtrahierern jeweils die Differenz zwischen dem oberen bzw. unteren Grenzwert (G^+ , G^-) des ersten Addierers (8) und dem kleinsten der genannten Bildpunktsignale (x_3) gebildet wird, daß ein von der Überlauferkennungseinrichtung (31) gesteuerter dritter Multiplexer (44) vorgesehen ist, der lediglich eines der in den drei zuletzt genannten Subtrahierern gebildeten Ergebnisse als den Differenzbetrag zwischen dem aktuellen Bildpunktsignal und dem genannten kleinsten Bildpunktsignal (x_1-x_3) an die nachgeordnete Logikschaltung (45) weitergibt, daß neben dem den Differenzbetrag aus dem aktuellen Bildpunktsignal und dem größten der genannten Bildpunktsignale (x_1-x_2) bildenden Subtrahierer (42) noch zwei weitere Subtrahierer ($42'$, $42''$) vorgesehen sind, wobei in diesen letzteren jeweils die Differenz zwischen dem oberen bzw. unteren Grenzwert (G^+ , G^-) des ersten Addierers (8) und dem größten der genannten Bildpunktsignale (x_2) gebildet wird, und daß ein von der Überlauferkennungseinrichtung (31) gesteuerter vierter Multiplexer (46) vorgesehen ist, der lediglich eines der in den drei zuletzt genannten Subtrahierern gebildeten Ergebnisse als den Differenzbetrag zwischen dem aktuellen Bildpunktsignal und dem genannten größten Bildpunktsignal (x_1-x_2) an die nachgeordnete Logikschaltung (47) weitergibt.

4. Anordnung nach Anspruch 3, **dadurch gekennzeichnet**, daß der zweite Multiplexer (50) über eine Auswahlsteuerung (49) gesteuert wird, die mit den Vorzeichen der den Logikschaltungen (45, 47 und 48) zugeführten Differenzbeträge beaufschlagt ist. 5

5. Anordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß ein zweiter rekursiver Signalpfad vorgesehen ist, der einen zweiten zusätzlichen Subtrahierer (52), einen zweiten Quantisierer (53), einen zweiten zusätzlichen Addierer (55) und einen zweiten Prädiktor (57) enthält, welcher ein etwa um eine Bilddauer verzögerndes Verzögerungsglied aufweist, daß der erste Eingang des zusätzlichen Subtrahierers (52) mit den digitalisierten Bildpunktsignalen (s) beaufschlagt ist, daß der zweite Eingang dieses Subtrahierers (52) mit dem Ausgang des zweiten Prädiktors (57) verbunden ist, daß der Ausgang des zweiten Prädiktors (57) mit einem zweiten Eingang des zweiten zusätzlichen Addierers (55) beschaltet ist, daß die Eingänge des ersten und zweiten Quantisierers (4, 53) mit den Eingängen einer Prädiktorsteuerung (63) verbunden sind, über deren Ausgang zwei in Serie zu den Ausgängen des ersten und zweiten Quantisierers (4, 53) angeordnete Schalter (S1, S3) und zwei den die Schätzwerte liefernden Ausgängen des ersten und zweiten Prädiktors (3, 57) nachgeordnete Schalter (S2, S4) steuerbar sind, daß die Ausgänge des ersten und zweiten Quantisierers (4, 53) über die ihnen nachgeordneten Schalter (S1, S3) miteinander verbunden sind und daß die die Schätzwerte liefernden Ausgänge des ersten und zweiten Prädiktors (3, 53) über die ihnen nachgeordneten Schalter (S2, S4) miteinander verbunden sind. 10
15
20
25
30
35

6. Anordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß beiden Eingängen des ersten Addierers (8) jeweils ein mit einer Taktimpulsspannung beaufschlagtes Schieberegister (11, 12) vorgeschaltet ist. 40

7. Anordnung nach den Ansprüchen 5 und 6, **dadurch gekennzeichnet**, daß beiden Eingängen des zweiten zusätzlichen Addierers (55) zwei weitere mit Taktimpulsspannungen beaufschlagte Schieberegister (54, 58) vorgeschaltet sind. 45

50

55

8

FIG 1

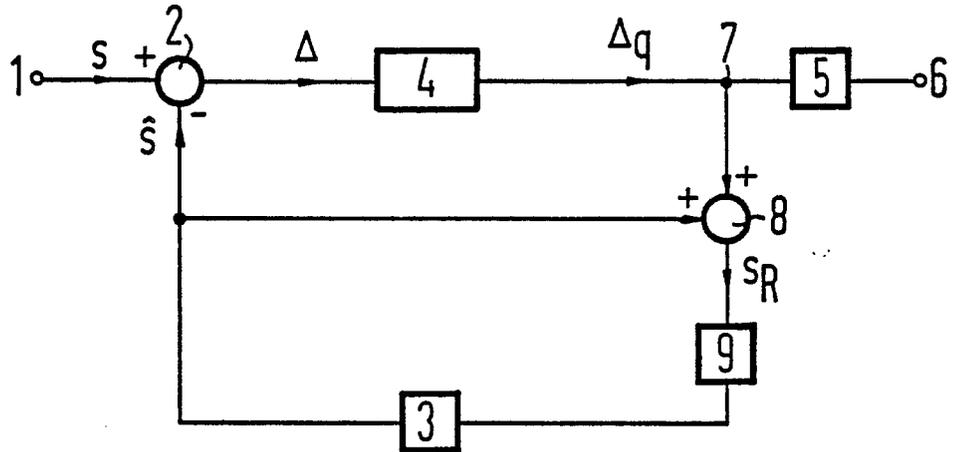


FIG 2

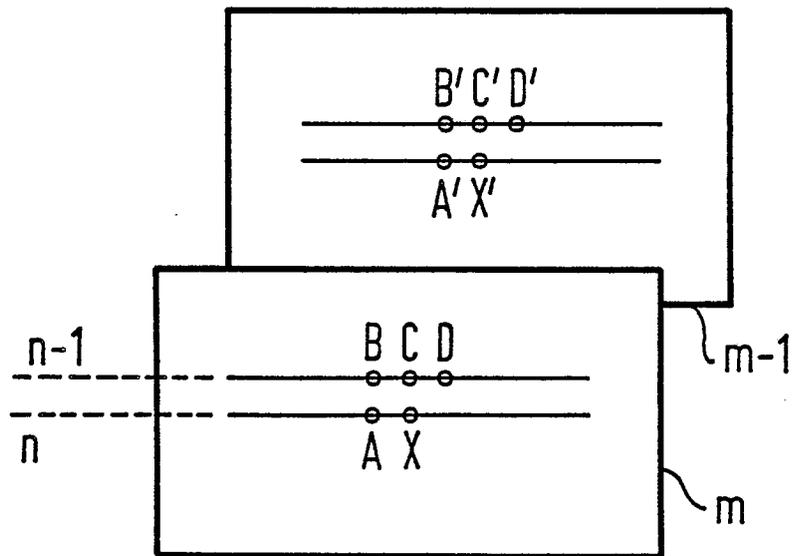


FIG 4

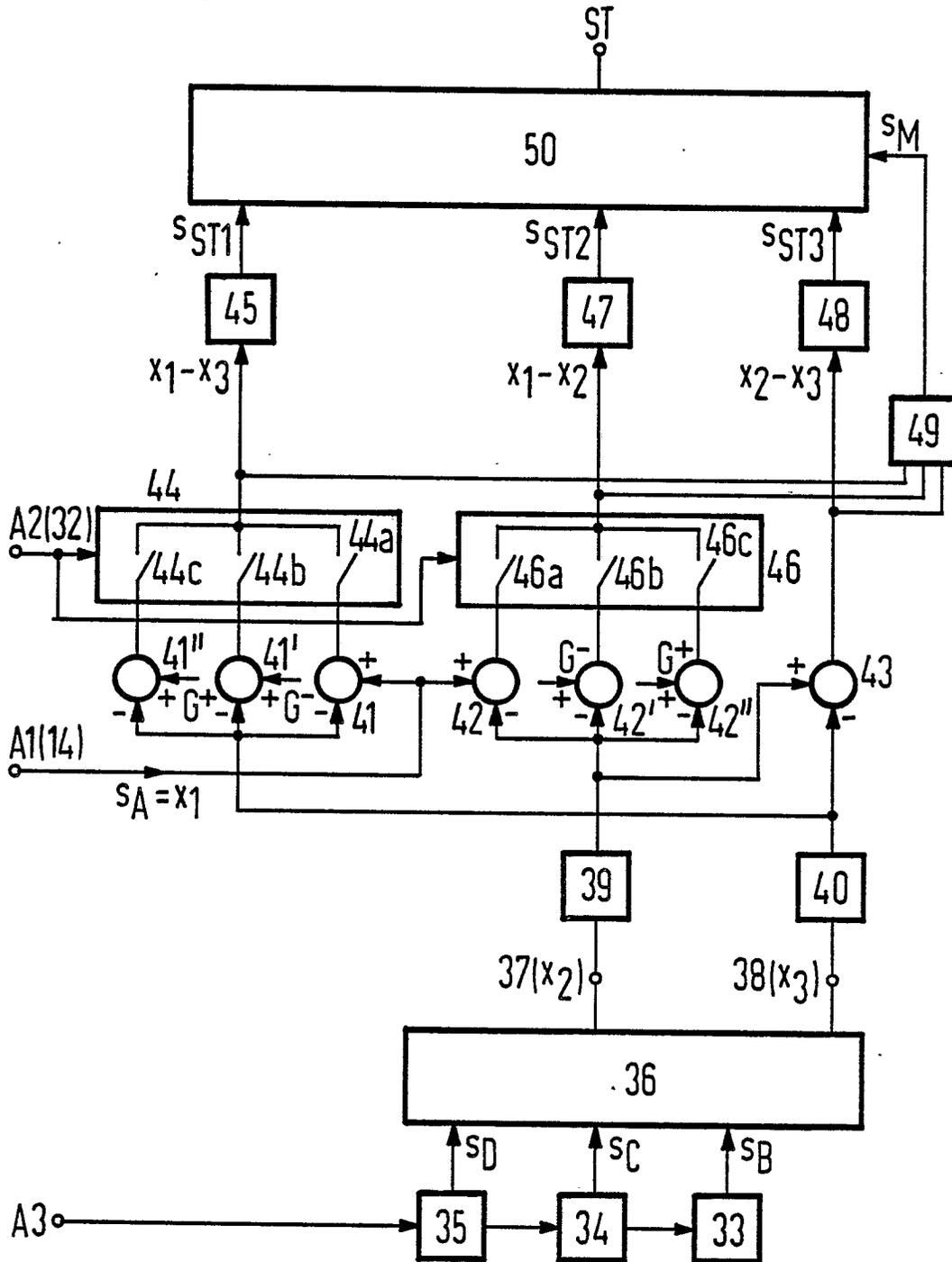


FIG 5

