

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets

(11)

Veröffentlichungsnummer:

0 365 706
A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(21)

Anmeldenummer: 88117942.8

(51)

Int. Cl.⁵: H03K 17/06

(22)

Anmeldetag: 27.10.88

(43)

Veröffentlichungstag der Anmeldung:
02.05.90 Patentblatt 90/18

(71)

Anmelder: Siemens Aktiengesellschaft
Wittelsbacherplatz 2
D-8000 München 2(DE)

(84)

Benannte Vertragsstaaten:
AT BE CH DE ES FR GB GR IT LI LU NL SE

(72)

Erfinder: Kumpfmüller, Hans-Georg, Dipl.-Ing.
Attilastrasse 7
D-8405 Donaustauf(DE)
Erfinder: Schäfer, Joachim, Dipl.-Ing.
Kreuzweg 49
D-8440 Straubing-Kagers(DE)

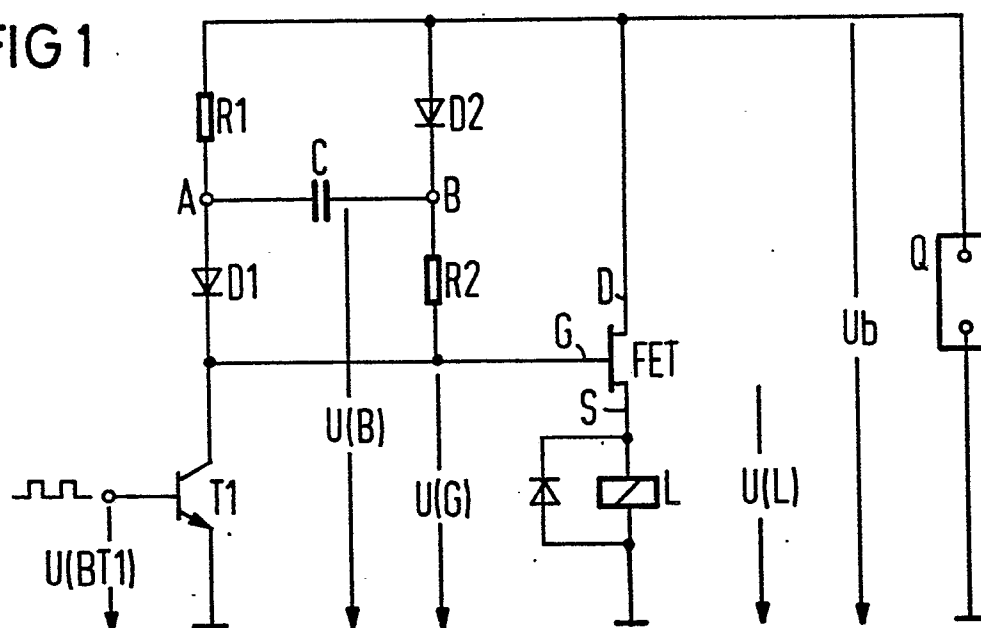
(54)

Leistungsendstufe mit einer Last.

(57)

Leistungsstufe mit einer Last (L), die über die Source-Drain-Strecke eines Feldeffekt-Transistors (FET) mit einer Spannungsquelle (Q) verbunden ist. Zwischen Drain- und Gateanschluß des Feldeffekt Transistors liegt eine speziell ausgebildete Spannungsverdoppler-Schaltung. Diese bewirkt, daß zum Ansteuern des Feldeffekt-Transistors lediglich eine Steuerspannung und ein Schalter (Steuertransistor T1) erforderlich ist.

FIG 1



EP 0 365 706 A1

Leistungsendstufe mit einer Last

Die Erfindung bezieht sich auf eine Leistungsendstufe mit einer Last, die über die Source-Drain-Strecke eines Feldeffekt-Transistors (FET) an eine Gleichspannungsquelle angeschlossen ist, nach dem Oberbegriff des Patentanspruchs (EP-A 02 36 967).

Soll der Feldeffekt-Transistor durchgeschaltet werden, so muß das Potential an seinem Gateanschluß um einige Volt höher liegen als an seinem Drainanschluß.

Die bekannte Schaltungsanordnung weist einen FET auf, dessen Source-Drain-Strecke in Reihe mit einer zu schaltenden Last an einer Spannungsquelle (Arbeitsstromkreis) liegt. Der eine Anschluß eines Kondensators ist über eine Diode an eine Spannungsquelle (Ladestromkreis) und über eine weitere Diode an den Gateanschluß des FET (Steuerstromkreis) angeschlossen, wobei zwischen den beiden Dioden und der Spannungsquelle jeweils ein Schalter angeordnet ist. Dem anderen Anschluß des Kondensators wird eine getaktete Gleichspannung zugeführt, wenn der FET durchschalten soll. Gleichzeitig muß der eine Schalter geschlossen und der andere geöffnet sein.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung der genannten Art zu vereinfachen.

Diese Aufgabe wird durch die im Patentanspruch genannten Merkmale gelöst.

Der besondere Vorteil der Erfindung gegenüber der bekannten Schaltungsanordnung liegt darin, daß anstelle von zwei Schaltern und drei unterschiedlichen Steuerspannungen nur noch ein Schalter und eine Steuerspannung erforderlich sind.

Die Erfindung wird am Beispiel einer Leistungsendstufe mit induktiver Last anhand der Figuren näher erläutert. Es zeigen

Figur 1 ein Schaltbild der erfindungsgemäßen Schaltungsanordnung und

Figur 2 den zeitlichen Verlauf

- a) der Steuerspannung $U(BT1)$,
- b) der Spannung $U(B)$ am Verbindungspunkt B,
- c) der Spannung $U(G)$ am Gateanschluß G und
- d) von Spannung $U(L)$ und Strom $i(L)$ an der Last L.

Die Last L in Figur 1 ist als Erregerwicklung eines Relais mit parallel geschalteter Löschdiode dargestellt. Diese Last L ist über die Source-Drain-Strecke eines Feldeffekt-Transistors an eine Spannungsquelle Q angeschlossen (Arbeitsstromkreis). Der FET ist beispielsweise ein Power-MOS-Transistor. Der Gateanschluß G des FET ist mit dem

Kollektor eines Steuertransistors T1 verbunden, dessen Emitter an Masse - dem negativen Pol der Spannungsquelle - liegt und an dessen Basis eine Steuerspannung $U(BT1)$ anlegbar ist.

Zwischen dem positiven Pol der Spannungsquelle und dem Drainanschluß D einerseits und dem Gateanschluß G andererseits ist eine Schaltung aus fünf Bauelementen eingefügt. Zwischen der Spannungsquelle Q und einem ersten Verbindungspunkt A liegt ein erster Widerstand R1, zwischen dem ersten Verbindungspunkt A und dem Gateanschluß G liegt eine erste Diode D1 in Durchlaßrichtung zum Gateanschluß G. Von der Spannungsquelle Q in Durchlaßrichtung zu einem zweiten Verbindungspunkt B liegt eine zweite Diode D2 und zwischen dem zweiten Verbindungspunkt B und dem Gateanschluß G liegt ein zweiter Widerstand R2. Zwischen den beiden Verbindungspunkten A und B liegt ein Kondensator C.

Im Ruhezustand ist die Schaltungsanordnung an die Spannungsquelle Q angeschlossen. An der Basis des Steuertransistors T1 liegt eine den Transistor durchsteuernde konstante Gleichspannung $U(BT1) = 1$ Volt.

Der Gateanschluß G und der Verbindungspunkt A liegen nahezu auf Massepotential, der Verbindungspunkt B hingegen nahezu auf dem Potential U_b der Spannungsquelle Q; der Kondensator C ist aufgeladen.

Da der Gateanschluß G nahezu auf Massepotential liegt, ist der FET gesperrt; Spannung $U(L)$ und Strom $i(L)$ an der Last sind Null.

Soll nun die Last L mit der Spannungsquelle Q verbunden werden (Bereich II in Figur 2), so muß als Steuersignal $U(BT1)$ eine getaktete Gleichspannung an die Basis des Steuertransistors T1 angelegt werden, deren Amplitude periodisch zwischen den Werten 1 V und 0 V wechselt (Figur 2a, Bereich II).

Mit der Impulspause des Steuersignals $U(BT1)$ geht der Steuertransistor T1 in den nicht leitenden Zustand und die Spannung am Verbindungspunkt A springt auf den Wert $+U_b$. Um den gleichen Betrag springt die Spannung $U(B)$ am Verbindungspunkt B auf nahezu $+2U_b$ (Figur 2b). Dieser Spannungswert wird auf den Gateanschluß G übertragen (Figur 2c) und der FET geht in den leitenden Zustand über. Der Steuerstromkreis besteht aus der Spannungsquelle, den beiden Widerständen R1, R2, dem Kondensator C, der Gate-Source-Strecke des FET und der Last L. An der Last L liegt die Spannung $U(L)$, welche nur um den geringen Spannungsabfall am FET geringer ist als die Spannung $+U_b$ der Spannungsquelle (Figur 2d). Ein rasch anwachsender Laststrom $i(L)$ ist die Fol-

ge (gestrichelte Linie in Figur 2d).

Mit dem nächsten Impuls der Steuerspannung $U(BT1)$ wird der Steuertransistor T1 wieder leitend, der Gateanschluß G wird mit Masse verbunden und der FET sperrt. Die Spannung $U(L)$ wird nahezu Null und der Laststrom $i(L)$ wird kleiner. Das Potential am Verbindungspunkt A fällt auf nahezu Massepotential und das Potential am Verbindungspunkt B wird um denselben Betrag verringert. Es fließt wieder ein Strom durch den Kondensator C, wodurch dieser nachgeladen wird. Mit der nächsten Impulspause des Steuersignals $U(BT1)$ wiederholen sich die Vorgänge, wie bereits beschrieben.

Diese Vorgänge (Figur 2a bis d, Bereich II) wiederholen sich, solange die getaktete Gleichspannung als Steuersignal $U(BT1)$ am Steuertransistor T1 anliegt. Nach Umschalten des Steuersignals $U(BT1)$ auf die konstante Gleichspannung $U(BT1) = 1 \text{ V}$ kehrt die Schaltungsanordnung in den Ruhezustand zurück (Figur 2a bis d, Bereich III).

Ansprüche

Leistungsstufe

- mit einem Arbeitsstromkreis, in dem eine Last (L) über die Source-Drain-Strecke eines Feldeffekt-Transistors (FET) an eine Gleichspannungsquelle (Q) angeschlossen ist,
- mit einem Steuerstromkreis, in dem in Serienschaltung die Gate-Source-Strecke des Feldeffekt-Transistors (FET), die Last (L), die Gleichspannungsquelle (Q) und ein Kondensator (C) so angeordnet sind, daß die Summe der Spannungen der Gleichspannungsquelle (Q) und an dem Kondensator (C) im Sinne einer Durchsteuerung des Feldeffekt-Transistors (FET) an dessen Gate-Source-Strecke schaltbar ist,
- mit einem Ladestromkreis, der in Serienschaltung die Gleichspannungsquelle (Q), den Kondensator (C) und eine Diode (D2) enthält, und
- mit einem Schalter (T1) parallel zu Gate-Source-Strecke und Last (L),

dadurch gekennzeichnet,

- daß der Ladestromkreis auch den Schalter (T1) und eine zweite Diode (D1) enthält, wobei der Kondensator (C) zwischen den beiden Dioden (D1; D2) angeordnet ist, und
- daß jedem der beiden Serienzweige (C-D1; C-D2), bestehend aus dem Kondensator (C) und einer benachbarten Diode (D1, D2) ein Widerstand (R1; R2) parallel geschaltet ist.

25

30

35

40

45

50

55



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 88 11 7942

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
X	EP-A-0 229 482 (GENERAL MOTORS CORP.) * Spalte 10, Zeile 36 - Spalte 15, Zeile 50; Figuren 1,2 *	1	H 03 K 17/06
A	NEW ELECTRONICS, Band 18, Nr. 13, 25. Juni 1985, Seite 25, London, GB; G. PECKHAM: "CMOS driver for high threshold MOSFETS" * Insgesamt *	1	
A,D	EP-A-0 236 967 (SIEMENS) * Spalte 2, Zeile 32 - Spalte 3, Zeile 42; Figur 1 *	1	
A	US-A-3 866 060 (BANNISTER et al.) * Spalte 4, Zeile 35 - Spalte 5, Zeile 2; Figur 4 *	1	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
			H 03 K H 02 M H 01 H H 02 J
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 27-06-1989	Prüfer CANTARELLI R.J.H.
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	