

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Veröffentlichungsnummer: **0 409 030 B1**

(12)

EUROPÄISCHE PATENTSCHRIFT

(45)

Veröffentlichungstag der Patentschrift: **02.03.94**

(51)

Int. Cl.⁵: **G09G 3/18**

(21)

Anmeldenummer: **90113043.5**

(22)

Anmeldetag: **07.07.90**

(54)

Schaltungsanordnung zum Betrieb einer Flüssigkristallanzeige.

(30)

Priorität: **21.07.89 DE 3924061**
28.02.90 DE 4006243

(43)

Veröffentlichungstag der Anmeldung:
23.01.91 Patentblatt 91/04

(45)

Bekanntmachung des Hinweises auf die
Patenterteilung:
02.03.94 Patentblatt 94/09

(84)

Benannte Vertragsstaaten:
DE FR GB IT NL

(56)

Entgegenhaltungen:
DE-A- 3 234 782
DE-C- 2 939 553

(73)

Patentinhaber: **EUROSIL electronic GmbH**
Erfurter Strasse 16
D-85386 Eching(DE)

(72)

Erfinder: **Broderick, Peter**
Frundsbergstrasse 26
D-8000 München 19(DE)
Erfinder: **Stout, Graham**
Franz Fihl Strasse 2a
D-8000 München 50(DE)

(74)

Vertreter: **Maute, Hans-Jürgen, Dipl.-Ing.**
TEMIC TELEFUNKEN microelectronic GmbH,
Postfach 35 35
D-74025 Heilbronn (DE)

EP 0 409 030 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung mit einem ersten Taktgenerator aufweisenden Mikroprozessor zum Betrieb einer Flüssigkristallanzeige im Zeitschrittmultiplexverfahren gemäß dem Oberbegriff des Anspruchs 1.

Eine solche Schaltungsanordnung ist durch die DE-C-29 39 553 bekannt. Dort wird eine Flüssigkristallanzeige LCD mit Rückelektroden-Impulsfolgen R1, R2, R3 und Segmentelektroden-Impulsfolgen SA, ..., SH angesteuert, wozu aus einem Festwertspeicher ROM, der gegebenenfalls programmierbar ist, den Impulsfolgen entsprechende Impulsmuster abgegeben werden. Der Festwertspeicher ROM wird durch eine Schaltung INFO, beispielsweise eine Datenverarbeitungseinrichtung, angesteuert, mit der die mit der Flüssigkristallanzeige LCD darzustellenden Informationen abhängig von einem Übernahmesignal TO des Festwertspeichers ROM abgegeben werden können. Die den Impulsfolgen entsprechenden Impulsmuster werden in dem Festwertspeicher ROM in Abhängigkeit der darzustellenden, von der Schaltung INFO gesendeten Informationen sowie mittels Impulssignalen unterschiedlicher Impulslänge zusammengesetzt. Das Impulsmuster für die Rückelektroden-Impulse werden parallel an einen dem Festwertspeicher ROM nachgeschalteten Speicher STR parallel und das Impulsmuster für die Segmentelektroden-Impulse seriell an eine dem Festwertspeicher ROM nachgeschaltete Schieberegisteranordnung seriell abgegeben. Die beiden Speicher STR bzw. STS weisen eine Zahl von Speicherstellen für die parallele Zuführung der Impulse auf, die der Zahl der Rückelektroden bzw. der Segmentelektroden aller Anzeigestellen entsprechen. Die Impulssignale unterschiedlicher Impulslänge werden von einem Frequenzteiler FT geliefert, der außerdem einen Übernahmeimpuls TC an den das Schieberegisteranordnung SR nachgeschalteten Speicher STS sowie den Speicher STR, die wiederum die Flüssigkristallanzeige LCD ansteuern, liefert. Der Festwertspeicher ROM sowie der Frequenzteiler FT werden mit den Impulsen eines Zeittaktgenerators CL gesteuert, der ferner den Schiebetakt für die Schieberegisteranordnung SR erzeugt. Die Schieberegisteranordnung SR weist eine Stufenzahl auf, die der Zahl der in der Flüssigkristallanzeige insgesamt vorhandener Segmentelektroden entspricht. Der die Flüssigkristallanzeige LCD steuernde Speicher STS arbeitet nicht nur als Speicherschaltung, sondern auch als Spannungsanpassungsschaltung, indem die Spannung der von dem Speicher abzugebenden Signale an die durch die Flüssigkristallanzeige LCD gestellten Erfordernisse anpaßt.

Die Erzeugung der die Impulsfolgen für die Rückelektroden und die Segmentelektroden veran-

lassenden Impulsmuster in einer einzigen, allen Anzeigestellen gemeinsamen Steuerschaltung hat jedoch den Nachteil, daß nur eine bestimmte Konfiguration einer Flüssigkristallanzeige realisierbar ist, beispielsweise eine mit einem Dreischritt-Multiplexverfahren betriebene vierstellige Flüssigkristallanzeige, wobei jede Anzeigestelle drei Rückelektroden und drei Segmentelektroden aufweist (siehe hierzu Ausführungsbeispiel gemäß Figur 4 der o.g. Druckschrift). Es könnte somit keine Flüssigkristallanzeige mit weniger als drei Rückelektroden bzw. drei Segmentelektroden mit dieser Schaltungsanordnung betrieben werden, da die Dekodierung der von der Schaltung INFO, beispielsweise einer Datenverarbeitungseinrichtung, an den Festwertspeicher ROM gesendeten Datensignale sowie die Zusammensetzung der den Rückelektroden- bzw. Segmentelektroden-Impulsfolgen entsprechende Impulsmuster in dem Festwertspeicher ROM hardwaremäßig festgelegt ist. Da die den Festwertspeicher ROM steuernde Datenverarbeitungsanlage, beispielsweise ein Mikroprozessor, die auf der Flüssigkristallanzeige darzustellende Informationen in für den Festwertspeicher ROM kompatiblen Form abgeben muß, könnte eine andere Konfiguration einer Flüssigkristallanzeige nur dadurch aufgebaut werden, indem der innere Aufbau des Mikroprozessors geändert wird und gegebenenfalls auch die Anzahl der Stufen des Schieberegisters und der Speicher STR und STS. Dies wäre jedoch ein unzumutbarer Aufwand, wenn für unterschiedliche Konfigurationen von Flüssigkristallanzeigen jeweils ein anderer Mikroprozessor zu entwickeln wäre. Die Flexibilität einer solchen Schaltungsanordnung zur Ansteuerung einer Flüssigkristallanzeige wird daher durch die Verbindung eines solchen Festwertspeichers ROM, der gleichzeitig die Generierung der die Elektroden-Impulsfolgen entsprechenden Impulsmustern ausführt, wesentlich eingeschränkt.

So bietet beispielsweise der zur direkten Ansteuerung einer Flüssigkristallanzeige entwickelte Mikrocomputer LCD-III der Firma Hitachi (Datenblatt "Hitachi microcomputer Databook 4-bit single-chip", Sept. 1984, Seiten 273 bis 298) die Möglichkeit die Multiplexrate softwaremäßig auszuwählen, wobei die den Elektroden-Impulsfolgen entsprechende Impulsmuster im Hauptspeicher des Prozessors bereitgehalten werden, um dann, wenn die Flüssigkristallanzeige im Multiplexbetrieb arbeitet, in einem Schreib-Lese-Speicher RAM eingelesen zu werden; von dort werden sie in ein Schieberegister geschoben und anschließend in einen Speicher, dessen Speicherstellen der Zahl der Segmentelektroden entspricht, parallel ausgelesen. Schließlich werden diese Daten direkt den die Segmentelektroden steuernden Treiberstufen zugeführt. Nachteilig ist hierbei, daß die Ansteuerung

der Flüssigkristallanzeige stillgelegt wird, also die Anzeige erlischt, wenn der Mikroprozessor aus Gründen der Stromersparnis angehalten wird. Auch wird der Mikroprozessor unnötig hoch ausgelastet, da für jeden Zeittakt das Schieberegister neu mit Daten geladen werden muß.

Die Aufgabe der Erfindung besteht daher darin, eine Schaltungsanordnung zum Betrieb einer Flüssigkristallanzeige der eingangs genannten Art anzugeben, bei der eine autonome Datenhaltung unabhängig vom Betriebszustand des Mikroprozessors möglich ist.

Die Lösung dieser Aufgabe ist durch die Merkmale des Anspruchs 1 gegeben.

Erfindungsgemäß ist also die Schieberegisteranordnung als Ringregister ausgebildet. Hierdurch besteht die Möglichkeit, anzuzeigende Daten, die sich über eine gewisse Zeitdauer nicht ändern, in dem Ringregister umlaufen zu lassen, wobei nach jedem Umlauf die Daten zur Ansteuerung der Flüssigkristallanzeige den Treiberstufen der Segmentelektroden zugeführt werden.

Bei einer besonders bevorzugten Weiterbildung der Erfindung werden die für die erste und zweite Schnittstelle zu übertragenden Daten in zeitlich aufeinanderfolgenden Taktschritten der von dem ersten Taktgenerator erzeugten Taktfrequenz über einen einzigen Datenkanal übertragen.

In einer weiteren vorteilhaften Ausbildungsform der Erfindung erfolgt die Aktualisierung der darzustellenden Information dadurch, indem nur die Inhalte solcher Registerstellen aktualisiert werden, deren zugeordnete Segmentelektroden zur aktuell darzustellenden Information erforderlich sind und die Datensignale in den übrigen Registerstellen durch das Ringregister bis zu ihren alten Stellen durchgeschoben werden. Hierdurch entfällt die ständige Generierung der Segmentelektroden-Impulsfolgen für nicht zu aktualisierende Anzeigedaten, wodurch in stromsparender Weise der Mikrocomputer entlastet wird.

Ferner enthält bei einer weiteren bevorzugten Weiterbildung der Erfindung enthält der Mikroprozessor einen zweiten Taktgenerator, dessen Taktfrequenz niedriger ist als die Taktfrequenz des ersten Taktgenerators. In der Betriebsart "SLEEP" des Mikroprozessors wird der erste Taktgenerator abgeschaltet und mittels des zweiten Taktgenerators die Flüssigkristallanzeige dadurch in Betrieb gehalten, indem die Datensignale in den Registerstellen des Ringregisters beibehalten werden und dieselben im Takt der Taktfrequenz des zweiten Taktgenerators auf die Treiberstufen geschaltet werden. In diesem Ruhezustand des Mikroprozessors ist dessen Stromverbrauch wesentlich reduziert.

Schließlich ist bei einer besonders bevorzugten Ausführungsform der Erfindung zur Erzeugung der

die Rückelektroden- und Segmentelektroden-Impulsfolgen aufbauenden Spannungspegel eine geregelte Spannungsquelle vorgesehen, die eine die Temperaturabhängigkeit der Flüssigkristallanzeige kompensierende Ausgangsspannung liefert. Da hierdurch die an die Flüssigkristallanzeige anzulegenden Spannungspegel unabhängig von den Schwankungen der Versorgungsspannung sowie im Hinblick auf das Temperaturverhalten der Flüssigkristallanzeige temperaturkompensiert sind, wird in vorteilhafter Weise der Kontrast der Flüssigkristallanzeige konstant gehalten.

Die erfindungsgemäße Schaltungsanordnung zum Betrieb einer Flüssigkristallanzeige wird nachstehend anhand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnungen näher beschrieben. Es zeigt:

- Figur 1 ein Blockschaltbild einer erfindungsgemäßen Ausführungsform einer Schaltungsanordnung zum Betrieb einer Flüssigkristallanzeige,
- Figur 2 ein Ausführungsbeispiel eines Layouts einer einzelnen Stelle einer Flüssigkristallanzeige sowie die Belegung der zugehörigen Schieberegisterstellen zur Ansteuerung im 2:1 bzw. 4:1-Zeitmultiplexbetrieb.
- Figur 3 ein detailliertes Blockschaltbild der erfindungsgemäßen Ausführungsform gemäß Figur 1,
- Figur 4 ein Blockschaltbild der ersten Schnittstelle der erfindungsgemäßen Ausführungsform gemäß Figur 3,
- Figur 5 ein Blockschaltbild der zweiten Schnittstelle der erfindungsgemäßen Ausführungsform gemäß Figur 3 und
- Figur 6 ein Blockschaltbild der Schieberegisteranordnung der erfindungsgemäßen Ausführungsform gemäß Figur 3.

In den Zeichnungen sind einander entsprechende Teile mit den gleichen Bezugszeichen versehen.

Zur Verdeutlichung des erfindungsgemäßen Prinzips der autonomen Datenhaltung dient das Blockschaltbild der Figur 1 eines Ausführungsbeispiels des Erfindungsgegenstandes, wobei zwecks besserer Übersichtlichkeit eine einfache Darstellung gewählt wurde. Hiernach empfängt eine erste Schnittstelle P1 bzw. eine zweite Schnittstelle P2 von einem Mikroprozessor über eine Datenleitung 10 die in einer Flüssigkristallanzeige LCD darzustellende Daten bzw. Steuerdaten. Die Flüssigkristallanzeige LCD ist aus 16 Segmentelektroden sowie aus vier Rückelektroden aufgebaut. Demnach sind zur Ansteuerung der Segmentelektroden 16 Treiberstufen TS1 bis TS16 erforderlich. Diese Treiberstufen erzeugen in Abhängigkeit der

ihnen zugeführten Impulsmuster die Segmentelektroden-Impulsfolgen zur Ansteuerung der Elektroden. Diese den Segmentelektroden-Impulsfolgen entsprechenden Impulsmuster sind in einem 4-Bit-Schieberegister 2 mit 16 Stufen gespeichert. Das Schieberegister 2 arbeitet hierbei als Ringregister, indem die Daten der letzten Registerstelle zur Ansteuerung des 16. Segmentes über eine Datenleitung wieder in die erste Stufe geschoben werden können. Sollen demzufolge über eine gewisse Zeitdauer immer die gleichen Informationen zur Anzeige gebracht werden, sendet der Mikroprozessor 1 ein entsprechendes. Steuersignal 1 "MASK", das veranlaßt, daß die alten Daten über die erste Schnittstelle P1 wieder in das Schieberegister 2 geschoben werden. Ferner gibt es Fälle, wo nicht der Inhalt jeder Registerstelle zu ändern ist, um eine neue Information anzuzeigen. Daher werden von der Schnittstelle P1 nur die Inhalte solcher Registerstellen aktualisiert, deren zugeordneten Segmentelektroden zur aktuell darzustellenden Information erforderlich sind, während die Daten in den übrigen Registers teilen durch das Schieberegister 2 durchgeschoben werden. Die zweite Schnittstelle P2 erzeugt die Rückelektroden-Impulsmuster und führt sie sowohl dem Schieberegister 2 als auch den Rückelektroden der Flüssigkristallanzeige LCD zu.

Im folgenden soll im Zusammenhang mit der Tabelle der Figur 2 die Datenbelegung des Schieberegisters 2 gemäß der Figur 1 erläutert werden. Hierbei zeigt die Tabelle gemäß der Figur 2 zwei Beispiele eines Layouts einer Anzeigestelle für die Ansteuerung im Multiplex-Verfahren mit einer Multiplexrate von 2:1 bzw. 4:1. Dort ist in der ersten Spalte die Multiplexrate bezeichnet, in der zweiten bzw. dritten Spalte sind die Layouts der Segment- bzw. der Rückelektroden dargestellt und in den restlichen Spalten erfolgt die Zuordnung der Rückelektroden zu den Bildpunkten der entsprechenden Segmentelektroden, wobei beim 2:1-Multiplexverfahren zwei Rückelektroden R1 und R2 und vier Segmentelektroden SEG1, ..., SEG4 mit jeweils zwei Bildpunkten (a,b), (f,g), (e,c) und (d,DP) aufgeführt sind, während beim 4:1-Multiplexverfahren vier Rückelektroden R1, ..., R4 und zwei Segmentelektroden SEG1 und SEG2 mit jeweils vier Bildpunkten (a,c,b,DP) und (f,e,g,d) vorgesehen sind.

Die Segmentdaten werden als Nibbel, also als vier zusammenhängende Bitstellen, wie aus der Figur 1 ersichtlich ist, in das Schieberegister 2 seriell übertragen. Jedes Nibbel enthält also die Daten, die den von jeder Treiberstufe zu erzeugenden Segmentelektroden-Impulsfolgen entspricht, wobei jedes Bit einer anderen Rückelektrode zugeordnet ist. Mit einer im 4:1-Zeitmultiplexverfahren betriebenen 8-Segmentanzeige gemäß der Tabelle in Figur 2 können daher maximal 64 Segmente

über 16 Treiberstufen angesteuert werden. Ist beispielsweise die Ziffer "3" anzuzeigen, so hat das erste Nibbel die Form "1110" und das zweite Nibbel die Form "0011". Im 2:1-Multiplexverfahren werden jedoch dagegen nur die ersten beiden Bitstellen eines Nibbels belegt, wie es ebenfalls aus der Tabelle der Figur 2 zu ersehen ist. In diesem Falle werden jedoch die Bits doppelt übertragen, so daß hierdurch die Rückelektroden-Zeitperiode halbiert ist, wodurch die effektive Impulsfolgenfrequenz für die Rückelektroden verdoppelt wird. Die grundlegenden Rückelektroden-Impulssignale sind daher die gleichen wie im 4:1-Zeitmultiplexverfahren. Somit entfällt eine spezielle Erzeugung von Rückelektroden-Impulsformen im 2:1-Zeitmultiplexverfahren.

Die Figur 3 zeigt das Ausführungsbeispiel der Erfindung gemäß Figur 1 in einer detaillierten Darstellung eines Blockschaltbildes. Hiernach ist mit der Bezugsziffer 1 ein 4-Bit-Mikroprozessor bezeichnet, der einen Taktgenerator 11 zur Takterzeugung enthält, beispielsweise mit einer Taktfrequenz von 1 MHz. Die Datenausgabe DA dieses Mikroprozessors 1 erfolgt über eine Busleitung 10 zur ersten Schnittstelle P1 und zur zweiten Schnittstelle P2 zu deren Dateneingängen DE, während über den Taktoutput TA des Mikroprozessors 1 die Taktimpulse über eine Taktleitung 11 zu den Takteingängen TE dieser beiden Schnittstellen P1 bzw. P2 geleitet werden. Über diese Busleitung 10 werden sowohl die Steuerdaten als auch die eigentlichen Segmentdaten übertragen. Die Segmentdaten nimmt die erste Schnittstelle P1 auf, während die Steuerdaten, beispielsweise die Multiplexrate, die zweite Schnittstelle P2 aufnimmt. Nach entsprechender Verarbeitung der Segmentdaten durch die erste Schnittstelle P1 werden die aufbereiteten Daten über die Leitung 12a einem Schieberegister 2 zugeführt. Ebenso werden die das Schieberegister 2 steuernden Taktimpulse von der ersten Schnittstelle P1 erzeugt und über eine Taktleitung 13 dem Schieberegister 2 zugeführt. Das Schieberegister 2 ist demjenigen entsprechend Figur 1 ausgeführt, ist also ein 16-stufiges 4-Bit-Register und arbeitet als Ringregister, indem die Daten der letzten Stufe über eine Leitung 12b zur ersten Schnittstelle P1 zurückgeführt werden, damit diese Daten in die erste Registerstelle bei vorliegen entsprechender Steuerdaten schieben kann. Diese Steuerdaten werden über eine Leitung 15 von der zweiten Schnittstelle P2 an die erste Schnittstelle P1 geleitet. Die zweite Schnittstelle P2 enthält einen Dekoder P22 zur Dekodierung der Steuerdaten, die anschließend außer zur ersten Schnittstelle P1 auch zu einem Pulsgenerator 3 geleitet werden. Dieser Pulsgenerator 3 erzeugt in Abhängigkeit der softwaremäßig gewählten Multiplexrate eine Impulsfolge, die bis auf die Pegelhö-

he der Rückelektroden-Impulsfolge entspricht. Die Anpassung an die den Rückelektroden entsprechende Pegelhöhe führt der dem Impulsgenerator 3 nachgeschalteten Pegelwandler 7 aus. Die die Rückelektroden-Impulsfolgen BP1 bis BP4 liefernde Ausgänge dieses Pegelwandlers 7 sind über vier Leitungen 17 mit den die Rückelektroden steuernden Treiberstufen TB1 bis TB4 verbunden. Die von dem Pegelwandler 7 erzeugten Rückelektroden-Impulsfolgen BP1 bis BP4 werden gleichzeitig über vier weitere Leitungen 17a dem Schieberegister 2 zugeführt. Die den Segmentelektroden-Impulsfolgen entsprechende Daten sind in den Registerstellen des Schieberegisters 2 gespeichert und werden über 16 Leitungen 14, die mit SS1, ..., SS16 bezeichnet sind, jeweils den Treiberstufen TS1 bis TS16 der Segmentelektroden zugeführt. Diese Segmenttreiberstufen TS1 bis TS16 als auch die Treiberstufen TB1 bis TB4 für die Rückelektroden erzeugen die Segmentelektroden-Impulsfolgen als auch die Rückelektroden-Impulsfolgen zur direkten Ansteuerung der Segmentelektroden bzw. der Rückelektroden. Diese Treiberstufen werden in der Betriebsart "SLEEP" des Mikroprozessors über die Leitung 19 mit einem Taktsignal versorgt, das von einem Taktgenerator 4, der gleichzeitig eine Frequenzteilerstufe enthält, erzeugt wird. Hierzu wird der Taktgenerator 4 von einem Kristalloszillator 5, der mit einer Frequenz von 32 kHz schwingt, über die beiden Leitungen 18a und 18b versorgt. Ferner werden die Treiberstufen TS1, ..., TS16 bzw. TB1, ..., TB4 mit einer die Temperaturabhängigkeit der Flüssigkristallanzeige kompensierende Spannung U_{reg} versorgt. Diese kompensierte Spannung U_{reg} wird von einer Spannungsquelle 6 erzeugt, wobei diese Spannung U_{reg} auch eine Spannungsverdopplerschaltung 8 sowie einer Spannungsverdreiferschaltung 9 zugeführt wird. Die von diesen Einheiten 8 bzw. 9 erzeugte Dopplerspannung U_{dop} bzw. Triplerspannung U_{trip} wird über die Leitung 21 bzw. 22 ebenfalls den Treiberstufen TS1 bis TS16 bzw. TB1 bis TB4 zugeführt. Ferner wird die Triplerspannung U_{trip} auch dem Pegelwandler 7 und dem Schieberegister 2 über eine der Leitungen 17a zugeführt.

Die schon im Zusammenhang mit der Figur 1 beschriebene autonome Datenhaltung erfolgt auch während der Betriebsart "SLEEP" des Mikroprozessors 1, in der dessen Taktgenerator 11 abgeschaltet ist und der Taktgenerator 4 mit der Frequenzteilerstufe die Taktversorgung der Schaltung übernimmt. Hiernach bleiben die in den Registerstellen des Schieberegisters 2 gespeicherten Daten stehen, es werden also in dieser Zeit weder Daten in das Schieberegister 2 geschoben, noch die in dem als Ringregister arbeitenden Schieberegister 2 gespeicherten Daten durchgeschoben. Die Taktfrequenz des zweiten Taktgenerators 4 dient lediglich

dazu, die in den Registerstellen des Schieberegisters 2 stehenden Daten auf dessen Ausgänge SS1 bis SS16 zu schalten. Schaltet nun der Mikroprozessor nach einer Datenübertragung in die Betriebsart "SLEEP", bleiben die anzuzeigenden Daten auf der Flüssigkristallanzeige LCD erhalten, während der Stromverbrauch durch die niedrigere Frequenz verringert wird.

Die Spannungspegel für die Rückelektroden-Impulsfolgen sind wegen der geregelten Spannungsquelle 6 unabhängig von der Versorgungsspannung. Ferner ergibt sich zusammen mit der Temperaturkompensation ein konstanter Kontrast der Flüssigkristallanzeige LCD.

Das Ausführungsbeispiel gemäß Figur 3 ist mit den in der punktgestrichelten Umrandung gezeichneten Schaltungselementen als integrierter Schaltkreis ausgeführt.

Die Figur 4 zeigt einen schematischen Aufbau der ersten Schnittstelle P1, die aus einer Takterzeugungseinheit P11 und einem Multiplexer P12 aufgebaut ist. Die Takterzeugungseinheit P11 erzeugt die Taktimpulse für das Schieberegister 2, die über die Leitung 13 diesem zugeführt werden. Über die Leitung 11 werden die Taktimpulse des Mikroprozessors sowohl der Impulserzeugungseinheit P11 als auch dem Multiplexer P12 zugeführt. Über die Leitungen 15 wird sowohl ein Reset-Impuls als auch das Steuersignal "MASK" dem Multiplexer zugeführt. Die an dem Eingang DE anliegenden 4-Bit-Daten D1 bis D4 werden über vier Leitungen 10 dem Multiplexer P12 zugeführt und auf zwei Leitungen 12a gemultiplext. Am Ausgang DA stehen somit zwei Datensignale DA1 und DA2 zur Verfügung, die dem Schieberegister 2 gemäß Figur 6 zugeführt werden, wobei dieses Schieberegister physikalisch als 2 Bit-Schieberegister aufgebaut ist. Schließlich werden dem Multiplexer P12 über zwei Leitungen 12b der Inhalt der letzten Stufe des Schieberegisters 2 als Datensignal S16A1 und S16A2 zugeführt.

In Figur 5 ist die zweite Schnittstelle P2 gemäß der Figur 3 detaillierter dargestellt, wobei mit den Bezugszeichen P22 und P23 ein Eingangsspeicher bzw. der Dekoder bezeichnet ist. Dem Dateneingang DE des Eingangsspeichers P23 werden über die Leitung 10 die 4 Bit-Steuerdaten C1 bis C4 zugeführt. Der Eingangsspeicher P23 kann beispielsweise aus vier D-Flipflops aufgebaut sein. Die Eingangsdaten werden über eine Leitung 15a dem Dekoder P22 zugeführt. Ferner werden der Eingangsspeicher P23 als auch der Dekoder P22 über eine Taktleitung 19 mit dem Takt versorgt. Schließlich stehen am Ausgang DA über die Leitungen 15 die dekodierten Steuerdaten zur Verfügung. Hierbei wird über eine erste Leitung ein Rücksetzsignal R gesendet, das auch an den Eingangsspeicher P23 weitergeleitet wird, an einer zweiten Leitung ist das

Steuersignal "MASK" erzeugt, während über die restlichen vier Leitungen Steuersignale MUX1 bis MUX4 anstehen, wobei diese Steuersignale die Betriebsart für die Flüssigkristallanzeige LCD bestimmen. Dies kann sowohl eine direkte Ansteuerung der Flüssigkristallanzeige als auch eine Ansteuerung im 2:1-, 3:1- bzw. 4:1-Multiplexverfahren sein. Das Steuersignal "MASK" wird dann gesendet, wenn ein Inhalt einer Registerstelle des Schieberegisters 2 nicht erzeugt werden muß, sondern der alte Inhalt wieder in das Schieberegister 2 geschoben werden kann.

Die Figur 6 zeigt ein Ausführungsbeispiel des Schieberegisters 2 gemäß der Figur 3. Dieses Schieberegister 2 besteht aus Doppel-D-Flipflops D1 bis D16 mit jeweils dem Dateneingang D1 bzw. D2. Den beiden Dateneingängen des ersten Flipflops D1 werden über zwei Leitung 12a die vom Multiplexer erzeugten Datensignale DA1 bzw. DA2 zugeführt. Über zwei Leitungen 13 werden dem Takteingang TE der Flipflops zwei zueinander inverse Taktsignale zugeführt. Jedes D-Flipflop weist vier Ausgänge Q1 bis Q4 auf, wobei die Ausgänge Q1 und Q2 mit den beiden Dateneingängen D1 und D2 des nachfolgenden D-Flipflops verbunden sind. Die beiden Ausgänge Q1 und Q2 des letzten D-Flipflops D16 führen über die beiden Leitungen 12b die Dateninhalte S16A1 bzw. S16A2 der letzten Registerstelle des Schieberegisters 2 der Schnittstelle P1 gemäß der Figur 3 zu, womit die Ringstruktur des Schieberegisters 2 verwirklicht ist. Die Ausgänge Q1 bis Q4 der D-Flipflops sind jeweils über eine Drain-Source-Strecke eines Feldeffekttransistors mit dem Eingang I eines Pegelwandlers PW verbunden. Die jeweils zu einem D-Flipflop D1 bis D16 gehörenden vier Feldeffekttransistoren sind mit TD1 bis TD16 bezeichnet. Die Gate-Elektroden der zum gleichen Ausgang eines D-Flipflops gehörenden Feldeffekttransistors jeder Transistorengruppe TD1 bis TD16 sind verbunden und werden über vier Leitungen 17a mit den von dem Pegelwandler 7 erzeugten Rückelektroden-Impulsfolgen BP1 bis BP4 versorgt. Die Pegelwandler PW1 bis PW16 werden zusätzlich mit der Trippler-Spannung U_{trip} versorgt. An den Ausgängen O dieser Pegelwandler sind die den Segmentelektroden-Impulsfolgen entsprechenden Impulsmuster abgreifbar und werden über die Leitungen SS1 bis SS16 den Treiberstufen TS1 bis TS16 zugeführt.

Mit dem dargestellten erfindungsgemäßen Ausführungsbeispiel lassen sich also bis zu 64 Segmente ansteuern, wobei die Segmentdaten auch in der Ruhestellung des Mikroprozessors (Betriebsart "SLEEP") angezeigt werden. Diese Betriebsart ermöglicht eine Reduzierung des Stromverbrauchs bei gleichzeitiger vorteilhafter Speicherung der Segmentdaten in einem als Ringregister ausgebildeten Schieberegister, so daß hierdurch ein Spei-

cher, beispielsweise ein Schreib-Lese-Speicher (RAM) entfällt. Auch ist kein Dekodierschaltkreis, beispielsweise ein programmierbares logisches Feld (PLA), notwendig, da die Segmentdaten softwaremäßig im Mikroprozessor dekodiert werden. Ebenso softwaremäßig erfolgt die Auswahl der Zeitmultiplexrate, so daß die Schaltung ohne Änderung der Hardware an verschiedene Layouts von Flüssigkristallanzeigen anpaßbar ist.

Ferner gewährleistet eine temperaturkompensiert Regelspannung zur Erzeugung der Spannungspegel für die Rückelektroden- und Segmentelektroden-Impulsfolgen eine Unabhängigkeit von der Versorgungsspannung, die deshalb zwischen 1,2 V und 5 V schwanken kann, ohne eine Einbuße an Kontrast für die Flüssigkristallanzeige zu erleiden.

Schließlich kann die erfindungsgemäße Schaltungsanordnung bezüglich der anzusteuernenden Segmentelektroden einfach erweitert werden, indem die Anzahl der Stufen des Schieberegisters erhöht und gegebenenfalls die Software angepaßt wird.

Patentansprüche

1. Schaltungsanordnung mit einem ersten Taktgenerator (11) aufweisenden Mikroprozessor (1) zum Betrieb einer Flüssigkristallanzeige (LCD) im Zeitschrittmultiplexverfahren, die wenigstens eine Rückelektrode und mehrere Segmentelektroden aufweist, wobei jeder Rückelektrode eine Rückelektroden-Impulsfolge zugeordnet ist, für jede mögliche Kombination von Bildpunkten auf einer Segmentelektrode eine Segmentelektroden-Impulsfolge vorgegeben ist und alle Impulsfolgen periodisch Taktintervalle übereinstimmender Länge und Zahl aufweisen, mit Treiberstufen (TS1, ..., TS16) für die Segmentelektroden, die in Abhängigkeit von den der Schaltungsanordnung zugeführten Datensignalen die Segmentelektroden-Impulsfolgen erzeugen und mit einer Schieberegisteranordnung (2), die die zugeführten Datensignale speichert, wobei die Schieberegisteranordnung (2) eine Stufenzahl aufweist, die der Zahl der Segmentelektroden entspricht, dadurch gekennzeichnet, daß der Mikroprozessor (1) über eine erste Schnittstelle (P1) die Datensignale der Schieberegisteranordnung (2) zugeführt, daß die die Datensignale speichernde Schieberegisteranordnung (2) als Ringregister ausgebildet ist, indem die Daten der letzten Stufe über eine Leitung (126) zur ersten Schnittstelle zurückgeführt werden, daß jede Registerstelle der Schieberegisteranordnung (2) eindeutig einer Segmentelektrode zugeordnet ist, daß der Mikroprozessor (1) über eine

zweite Schnittstelle (P2) Steuerdaten, insbesondere die Zeitmultiplex-Rate festlegenden Daten einem Dekoder (P22) zuführt, daß der Dekoder (P22) die dekodierten Steuerdaten an die erste Schnittstelle und an einen Pulsgenerator (3) weiterleitet, der eine Impulsfolge erzeugt, die bis auf die Pegelhöhe der Rückelektroden-Impulsfolge entspricht, daß zur Erzeugung der Segmentelektroden-Impulsfolgen entsprechend den Inhalten der Registerstellen der Schieberegisteranordnung (2) jede Treiberstufe (TS1, ..., TS16) mit der von dem Pulsgenerator (3) erzeugten Impulsfolge versorgt wird.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die für die erste und zweite Schnittstelle (P1, P2) zu übertragenden Daten in zeitlich aufeinanderfolgenden Taktschritten der von dem ersten Taktgenerator (11) erzeugten Taktfrequenz über einen einzigen Datenkanal (10) übertragen werden.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Aktualisierung der darzustellenden Information auf der Flüssigkristallanzeige (LCD) dadurch erfolgt, indem nur die Inhalte solcher Registerstellen des Ringregisters (2) aktualisiert werden, deren zugeordneten Segmentelektroden zur aktuell darzustellenden Information erforderlich sind und daß die Datensignale in den übrigen Registerstellen durch das Ringregister (2) bis zu ihren alten Stellen durchgeschoben werden.
4. Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß beim Übergang in die Betriebsart "SLEEP" des Mikroprozessors (1) der erste Taktgenerator (11) abgeschaltet wird und daß mittels eines zweiten Taktgenerators (4), dessen Taktfrequenz niedriger ist als die Taktfrequenz des ersten Taktgenerators (11), die Flüssigkristallanzeige (LCD) dadurch in Betrieb gehalten wird, indem die Datensignale in den Registerstellen des Ringregisters (2) beibehalten werden und im Takt der Taktfrequenz des zweiten Taktgenerators (4) dieselben auf die Treiberstufen (TS1, ..., TS 16) geschaltet werden.
5. Schaltungsanordnung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß zur Erzeugung der die Rückelektroden- und Segmentelektroden-Impulsfolgen aufbauenden Spannungspegel eine geregelte Spannungsquelle (6) vorgesehen ist, die eine die Temperaturabhängigkeit der Flüssigkristallanzeige (LCD) kompensierende Ausgangsspannung (U_{reg}) liefert.

Claims

1. Circuit arrangement with a microprocessor (1) having a first clock (11) for operating a liquid crystal display (LCD) by time-division multiplex operations the liquid crystal display having one back electrode and a plurality of segment electrodes, wherein a back electrode pulse train is associated with each back electrode, a segment electrode pulse train is predetermined for each possible combination of picture points on a segment electrode, and all pulse trains have periodic clock intervals of corresponding length and number, with driver stages (TS1, ..., TS16) for the segment electrodes which generate the segment electrode pulse trains as a function of the data signals delivered to the circuit arrangement, and with a shift register arrangement (2) which stores the delivered data signals, the shift register arrangement (2) having a number of stages corresponding to the number of segment electrodes, characterised in that the microprocessor (1) delivers the data signals via a first interface (P1) to the shift register arrangement (2), that the shift register arrangement (2) which stores the data signals is constructed as a ring register, in which the data from the last stage are returned via a conductor (126) to the first interface, that each register location of the shift register arrangement is uniquely associated with one segment electrode, that the microprocessor (1) delivers control data, in particular data which determine the time-division multiplex rate, via a second interface (P2) to a decoder (P22), that the decoder (P22) passes on the decoded control data to the first interface and to a pulse generator (3) which generates a pulse train which corresponds to the amplitude of the back electrode pulse train, that in order to generate the segment electrode pulse trains corresponding to the contents of the register locations of the shift register arrangement (2) each driver stage (TS1, ..., TS16) is supplied with the pulse train generated by the pulse generator (3).
2. Circuit arrangement according to Claim 1, characterised in that the data to be transferred for the first and second interfaces (P1, P2) are transferred via a single data channel (10) in chronologically successive steps of the clock frequency generated by the first clock (11).
3. Circuit arrangement according to Claim 1 or 2, characterised in that the updating of the information to be displayed is carried out on the liquid crystal display (LCD) by updating only the contents of those register locations of the

ring register (2) of which the associated segment electrodes are necessary for the information to be currently displayed, and that the data signals in the remaining register locations are shifted through the ring register (2) to the old locations thereof.

4. Circuit arrangement according to one of the preceding claims, characterised in that during the transition into the "SLEEP" mode of the microprocessor (1) the first clock (11) is switched off, and that by means of a second clock (4), the clock frequency of which is lower than the clock frequency of the first clock (11), the liquid crystal display (LCD) is maintained in operation by keeping the data signals in the register locations of the ring register (2) and switching them to the driver stages (TS1, ..., TS16) in time with the clock frequency of the second clock (4).
5. Circuit arrangement according to one of the preceding claims, characterised in that in order to generate the voltage level which forms the back electrode and segment electrode pulse trains a controlled voltage source (6) is provided which supplies an output voltage (U_{reg}) which compensates for the temperature dependence of the liquid crystal display (LCD).

Revendications

1. Montage comprenant un microprocesseur (1) avec une première horloge (11) pour faire fonctionner un afficheur à cristaux liquides (LCD) selon le procédé de multiplexage de pas temporels, afficheur qui possède au moins une électrode arrière et plusieurs électrodes segments, dans lequel une série d'impulsions d'électrode arrière est coordonnée à chaque électrode arrière, une série d'impulsions d'électrode de segment est préfixée pour chaque combinaison possible de points d'image sur une électrode segment et toutes les séries d'impulsions présentent périodiquement des intervalles de temps qui concordent en longueur et en nombre, comprenant des étages d'attaque (TS1, ..., TS16) pour les électrodes segments, qui génèrent les séries d'impulsions d'électrodes segments en fonction des signaux de données amenés au montage, et comprenant un système à registre à décalage (2) qui mémorise les signaux de données amenés, ce système à registre à décalage (2) présentant un nombre d'étages correspondant au nombre des électrodes segments, caractérisé en ce que le microprocesseur (1) envoie les signaux de données au système à registre à décalage

(2) à travers une première interface (P1), que le système à registre à décalage (2), mémorisant les signaux de données, est réalisé comme un registre annulaire, en ce sens que les données du dernier étage sont renvoyées par une ligne (12b) à la première interface, que chaque position de registre du système à registre à décalage (2) est coordonnée de façon univoque à une électrode segment, que le microprocesseur (1) envoie des données de commande, en particulier les données fixant le taux de multiplexage temporel, à un décodeur (P22) à travers une seconde interface (P2), que le décodeur (P22) transmet les données de commande décodées à la première interface et à un générateur d'impulsions (3) qui génère une série d'impulsions correspondant à la série d'impulsions d'électrode arrière, sauf en ce qui concerne le niveau, et que, pour la génération des séries d'impulsions d'électrodes segments conformément aux contenus des positions de registre du système à registre à décalage (2), chaque étage d'attaque (TS1, ..., TS16) est alimenté avec la série d'impulsions générée par le générateur d'impulsions (3).

2. Montage selon la revendication 1, caractérisé en ce que les données à transmettre pour les première et seconde interfaces (P1, P2), sont transmises dans des pas élémentaires se succédant dans le temps de la fréquence de base produite par la première horloge (11) et à travers un unique canal de données (10).
3. Montage selon la revendication 1 ou 2, caractérisé en ce que l'actualisation de l'information à représenter sur l'afficheur à cristaux liquides (LCD) s'effectue par le fait que seuls sont actualisés les contenus des positions du registre annulaire (2) dont les électrodes segments coordonnées sont nécessaires à l'information à représenter à ce moment et que les signaux de données dans les positions de registre restantes sont avancés à travers le registre annulaire (2), par des décalages successifs, jusqu'à leurs anciennes positions.
4. Montage selon une des revendications précédentes, caractérisé en ce que, au passage au mode de fonctionnement "SOMMEIL" du microprocesseur (1), la première horloge (11) est arrêtée et que, au moyen d'une seconde horloge (4) dont la fréquence de base est plus basse que celle de la première horloge (11), l'afficheur à cristaux liquides (LCD) est maintenu en service du fait que les signaux de données dans les positions du registre annulaire

(2) sont conservés et appliqués aux étages d'attaque (TS1, ..., TS16) à la cadence de la fréquence de base de la seconde horloge (4).

5. Montage selon une des revendications précédentes, caractérisé en ce qu'une source de tension régulée (6) est prévue pour établir les niveaux de tension produisant les séries d'impulsions d'électrodes arrière et d'électrodes segments, source de tension qui fournit une tension de sortie (U_{reg}) compensant la dépendance de la température de l'afficheur à cristaux liquides (LCD).

15

20

25

30

35

40

45

50

55

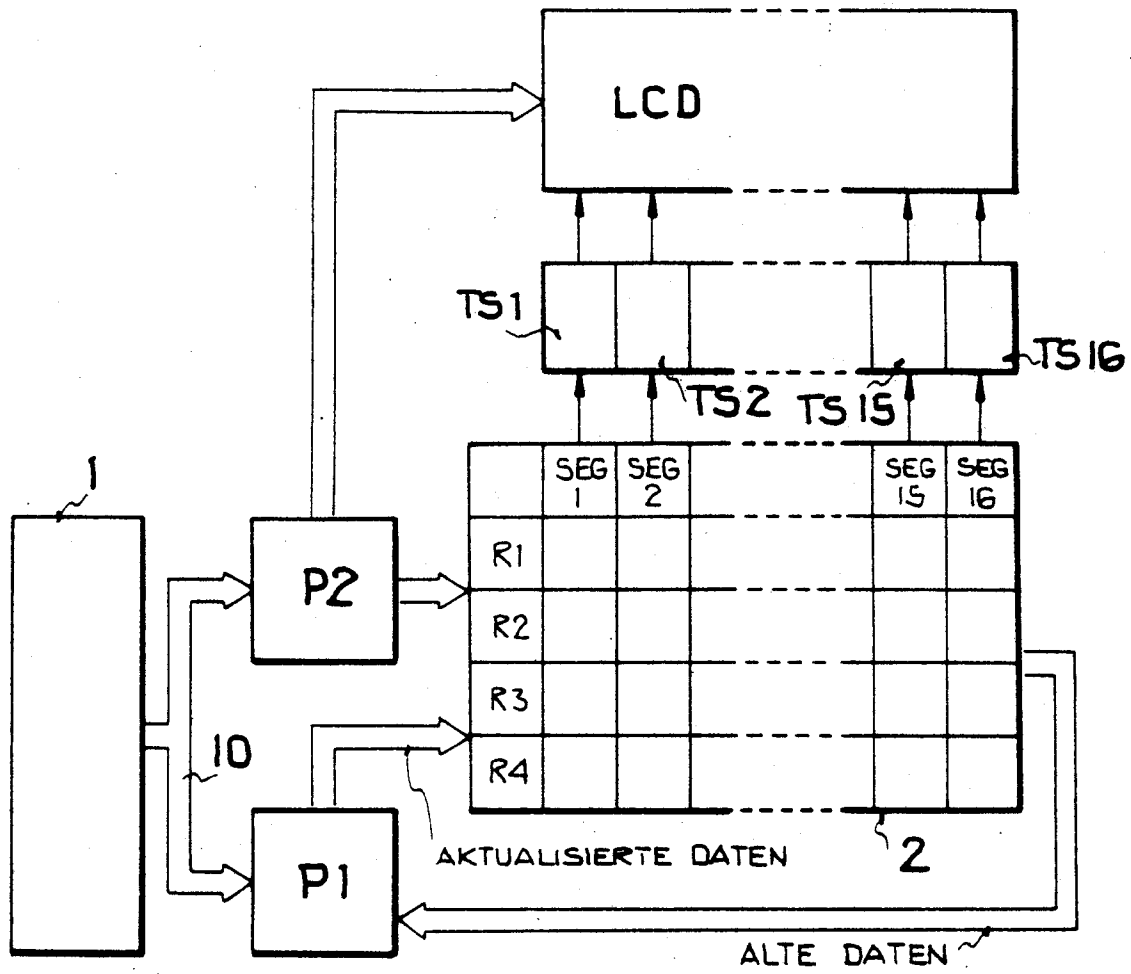


FIG. 1

MULTIPLEX-RATE ↓	FKA SEG-ELEKTRODE	FKA RÜCK-ELEKTRODE	R	SEG 1	SEG 2	SEG 3	SEG 4
2:1			1 2 3 4	a b x x	f g x x	e c x x	d DP x x
4:1			1 2 3 4	a c b DP	f e g d		

FIG. 2

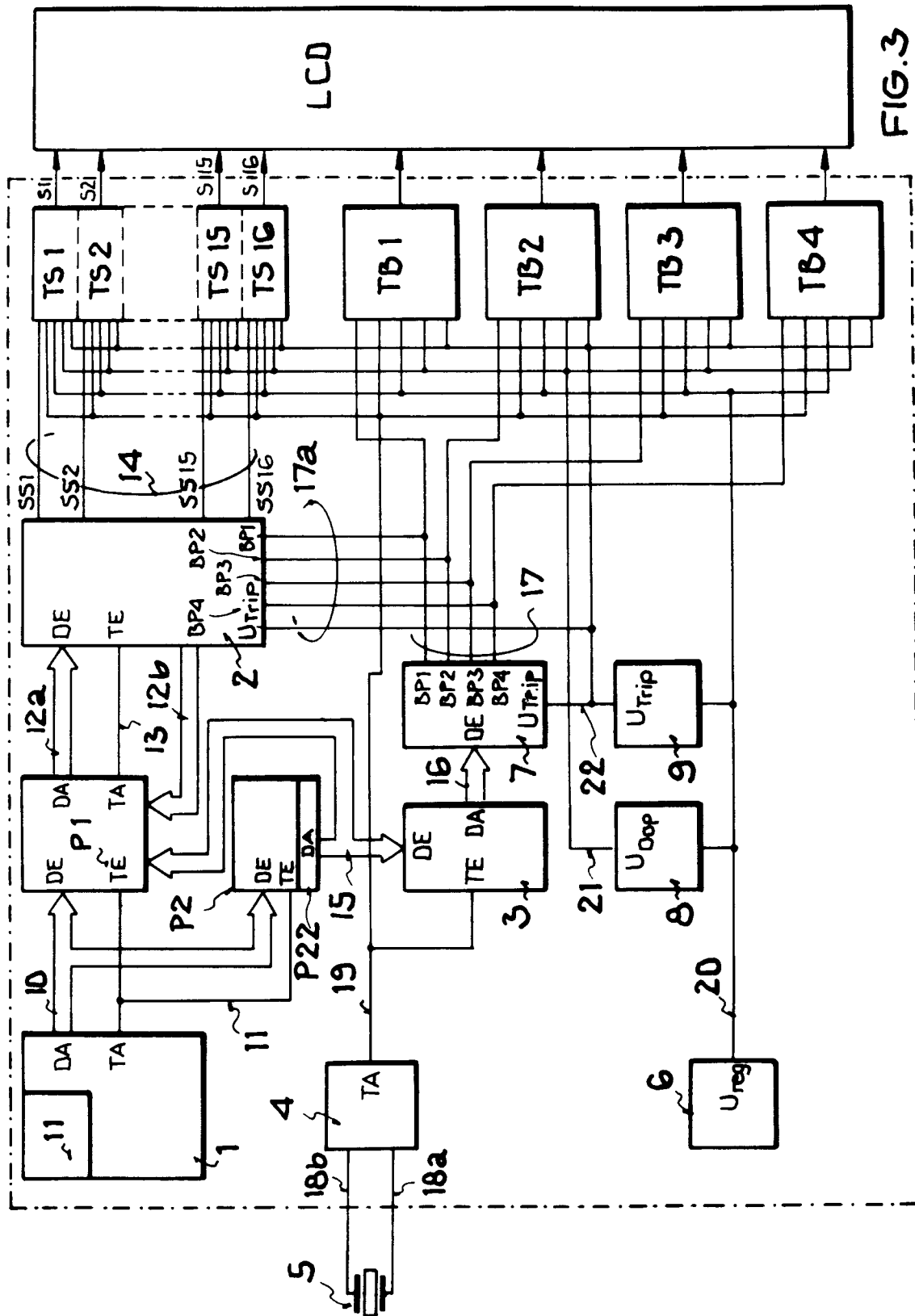


FIG. 3

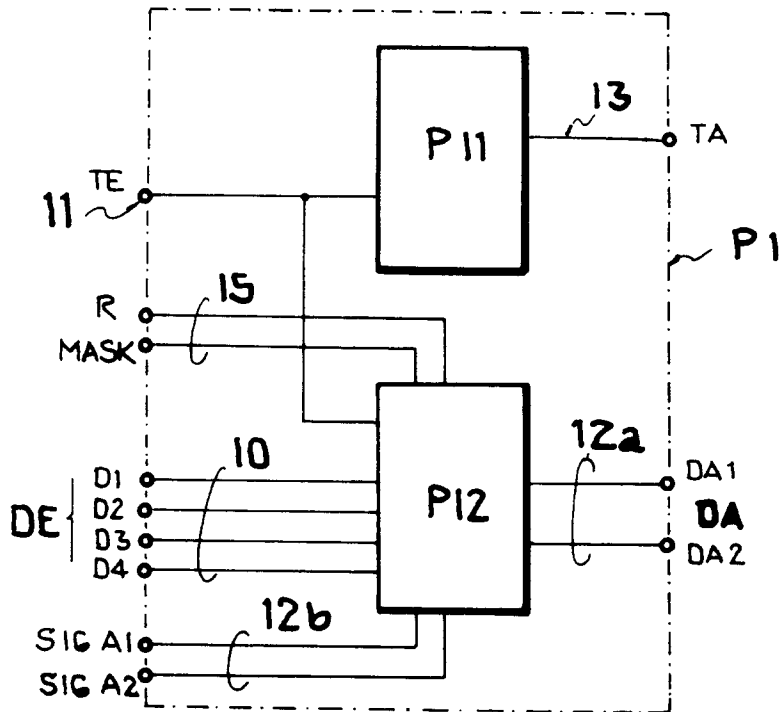


FIG. 4

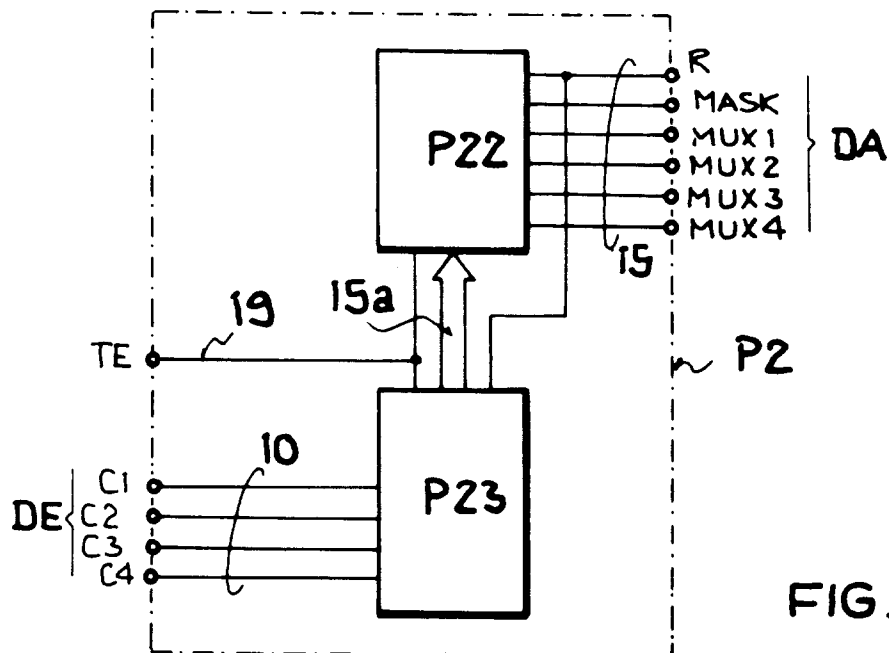


FIG. 5

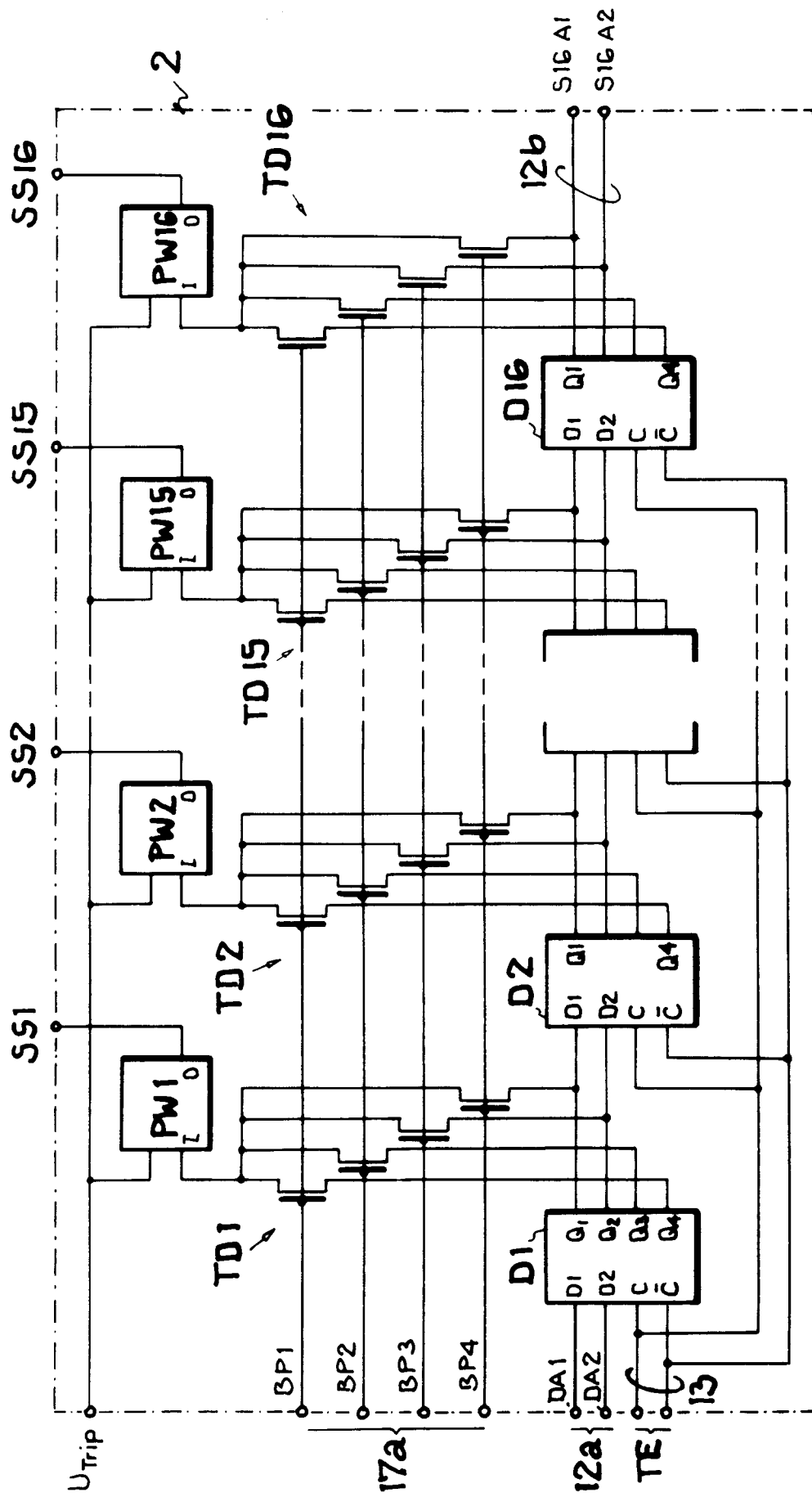


FIG. 6