



Europäisches Patentamt
European Patent Office
Office européen des brevets



Veröffentlichungsnummer: **0 470 508 A2**

EUROPÄISCHE PATENTANMELDUNG

Anmeldenummer: **91112965.8**

Int. Cl.⁵: **G05F 1/563**

Anmeldetag: **01.08.91**

Priorität: **10.08.90 DE 4025428**

Erfinder: **Smolka, Georg, Dr. Ing.**
Lüftiger Hof 19
W-8150 Holzkirchen(DE)

Veröffentlichungstag der Anmeldung:
12.02.92 Patentblatt 92/07

Erfinder: **Veit, Werner, Dipl.-Ing.**
Rudolf-Zorn-Strasse 6
W-8000 München 83(DE)

Benannte Vertragsstaaten:
DE FR GB IT NL

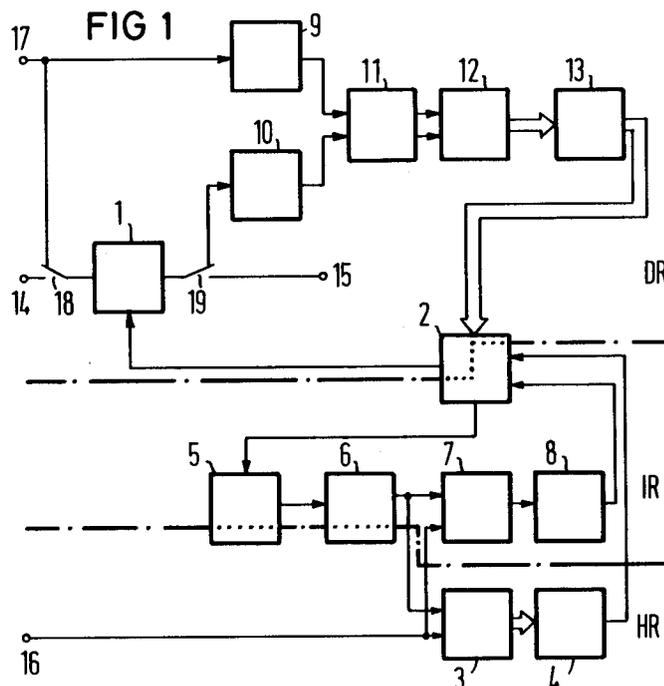
Erfinder: **Werker, Heinz, Dipl.-Ing.**
Am Heimgarten 79 13
W-8028 Taufkirchen(DE)

Anmelder: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

Verfahren und Anordnung zur automatischen Steuerung von Transistoren.

Das Verfahren und die Anordnung zur automatischen Steuerung von Transistoren einer Schaltungsanordnung (1, 5) schlägt getrennte, taktgesteuerte und entkoppelte Regelungsanordnungen (IR, DR, HR) zur Ableitung von Transistor-Steuerspannungen vor. Über ein Umsetznetzwerk (2) arbeiten eine

Hochlaufschaltung (HR), eine indirekte und direkte Regelungsanordnung (IR, DR) zusammen. Auf diese Weise lassen sich Technologie-, Temperatur- und Versorgungsspannungsschwankungen ausgleichen und hochgenaue Transistorkenngrößen erreichen.



EP 0 470 508 A2

Die Erfindung betrifft ein Verfahren zur automatischen Steuerung von Transistoren einer Schaltungsanordnung nach dem Oberbegriff des Patentanspruchs 1 und eine Anordnung zur Durchführung des Verfahrens nach dem Oberbegriff des Patentanspruchs 10.

In integrierten Schaltkreisen besteht oft die Notwendigkeit, Transistoren hinsichtlich bestimmter Kenngrößen zu optimieren. Dabei gilt es auch, Technologie-, Temperatur- oder Versorgungsspannungsschwankungen zu berücksichtigen. Idealerweise dürfen sich derartige parasitäre Einflüsse nicht auf das Verhalten der Transistoren auswirken. Besondere Bedeutung gewinnt das Problem in Schaltungsanordnungen, mit denen bestimmte Funktionen realisiert werden. Das ist beispielsweise bei Integratoren oder bei mit Transistoren realisierten Widerständen der Fall. Schwankungen des Herstellungsprozesses, der Temperatur, der Versorgungsspannung oder auch der Substratvorspannung bewirken dann Schwankungen der gewünschten und vorherbestimmten Transistoreigenschaften, so daß es zu Fehlfunktionen kommen kann. Weiterhin wird der Dynamikbereich bzw. das Frequenzverhalten durch parasitäre Schwankungen negativ beeinflusst.

Ein typisches Beispiel für derartig auftretende Probleme stellen integrierte zeitkontinuierliche Filter mit MOS-Feldeffekttransistoren dar. Aus der Veröffentlichung Z.Czarnul, "Modification of the Banu-Tsividis continuous-time integrator structure", IEEE Trans. on Circuits and Systems, vol. CAS-33, No.7, S.714-716, July 1986 ist bekannt, bei zeitkontinuierlich arbeitenden Integratorstrukturen für MOS-Feldeffekttransistoren Steuerspannungen zu verwenden, so daß sich ein nahezu idealer aktiver Integrator ergibt. Die Steuerspannungen für die als spannungsgesteuerte Widerstände ausgebildeten MOS-Feldeffekttransistoren sollen sämtliche Schwankungen der Technologieprozesse, der Temperatur und der Versorgungsspannung ausgleichen. Die Übertragungsfunktion eines derartigen Integrators ist nahezu frei von linearen Verzerrungen, hängt nicht von der Knickspannung (threshold voltage) der Transistoren und der Substratvorspannung ab. Parasitäre Substratsignale können deshalb die Widerstandswerte nicht beeinflussen und der Dynamikbereich des Integrators kann unabhängig von der Übertragungsfunktion verbessert werden. Diese idealerweise erreichbaren Eigenschaften hängen von der Erzeugung der Steuerspannungen für die Transistoren ab, die zweckmäßigerweise automatisch mit einer Regelung erfolgt.

Aus der Veröffentlichung M.Banu and Y.Tsividis, "An elliptic continuous-time CMOS filter with on-chip automatic tuning", IEEE J.Solid-State Circuits, vol. SC-20, S.1114-1121, Dec. 1985 ist die Erzeugung von Steuerspannungen mit Hilfe einer indirekten Regelung bekannt. Man geht davon aus,

daß sich auf dem Chip realisierte benachbarte Filterelemente bezüglich Schwankungen des Herstellungsprozesses, der Temperatur und der Versorgungsspannung ähnlich verhalten.

Bei der automatischen Erzeugung von Steuerspannungen mit der indirekten Methode ist ein phasengekoppelter Regelkreis (PLL) vorgesehen. Dieser enthält einen spannungsgesteuerten Oszillator (VCO), dem ein Spannungskomparator zur Erzeugung einer rechteckförmigen Signalspannung nachgeschaltet ist. Ein Phasendetektor vergleicht diese rechteckförmige Signalspannung mit einer zweiten, von einem zweiten Spannungskomparator erzeugten rechteckförmigen Signalspannung. Der zweite Spannungskomparator wird von einem Referenztakt angesteuert. Die Ausgangssignale des Phasendetektors durchlaufen ein Schleifenfilter, das bei einem phasengekoppelten Regelkreis (PLL) oft als RC-Glied ausgebildet ist. Die Ausgangssignale des Schleifenfilters bilden bei der indirekten Methode einerseits die Steuerspannungen für die als Widerstände arbeitenden Transistoren des spannungsgesteuerten Oszillators und andererseits die Steuerspannungen für die eigentliche Nutzschaltung, z.B. das Filter. Die Steuerspannungen für den Oszillator und das Filter werden dabei automatisch so eingestellt, daß die Oszillatorfrequenz dem Referenztakt folgt.

Der Nachteil einer derartigen Anordnung besteht darin, daß ihre Wirksamkeit bezüglich der parasitären Schwankungen davon abhängt, daß beide Kreise, also die Nutzschaltung und der VCO, in derselben Technik implementiert werden und daß ihre passiven Elemente auf dem Chip nahe nebeneinander plaziert und mit Hilfe bekannter Techniken einander angepaßt werden. In diesem Idealfall lassen sich dann zwar Temperatur- und Versorgungsspannungsschwankungen weitgehend eliminieren. Bei hohen Ansprüchen an die Frequenzantwort des Filters reicht die indirekte Methode zur Erzeugung von Steuerspannungen jedoch nicht aus.

Aus der Veröffentlichung Y.Tsividis, M.Banu and J.Khoury, "Continuous-Time MOSFET-C Filters in VLSI", IEEE J. Solid-State Circuits, vol.SC-21, No.1, S.15-30, Feb.1986 ist eine Anordnung bekannt, die eine direkte Erzeugung von Steuerspannungen für die Transistoren beschreibt. Dabei wird das Filter selbst in die Regelung einbezogen.

Bei der nur schematisch dargestellten direkten Methode wird unterschieden zwischen dem Fall, daß es erlaubt ist, das Filter periodisch aus dem Signalpfad zu schalten, und daß dies nicht erlaubt ist. Im letzteren Fall muß doppelter Aufwand getrieben werden und zwischen den beiden Anordnungen in komplizierter Weise hin- und hergeschaltet werden. Im ersteren Fall wird das Filter periodisch vom Eingangs- und Ausgangsanschluß weg ge-

schaltet auf einen Regelkreis, der taktgesteuert ist und eine Vergleicherschaltung sowie eine Halteschaltung enthält. Die von der Vergleicherschaltung erzeugten Steuerspannungen werden über die Halteschaltung in das Filter eingespeist.

Die Veröffentlichung beschreibt als Nachteil, daß dem Schaltverhalten zur Umschaltung zwischen dem Regelkreis und dem Signalpfad besondere Bedeutung zukommt. Dabei muß gewährleistet sein, daß ein "glatter Übergang" stattfindet, der aber vom Anwendungsfall abhängt. Die direkte Methode wird als theoretisch möglich, aber noch nicht praktisch realisiert bezeichnet. Wegen der Zweifel an der Ausführbarkeit setzt die Veröffentlichung für das ausgeführte Filter die indirekte Regelungsmethode ein.

Ein weiterer Nachteil ist, daß die Halteschaltung hohe Kapazitäten besitzen muß, um die Steuerspannungen während der aktiven Signalverarbeitungsphase konstant zu halten. Weiterhin nachteilig ist, daß nicht nur das Schaltverhalten bezüglich der Eingangs- und Ausgangsgrößen allein eine Rolle spielt, sondern auch die parasitären Eigenschaften des direkten Filterkreises selbst, z. B. hinsichtlich der Stabilität, die sich durch das Umschalten weiter negativ auswirken können.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren und eine Anordnung zur automatischen Steuerung von Transistoren einer Schaltungsanordnung anzugeben, mit dem parasitäre Schwankungen ausgeglichen und eine hochgenaue Frequenzantwort eines Nutzschaltes erreicht werden kann und mit denen sich optimierte Steuerspannungen, auch unter Berücksichtigung einer Erweiterung auf weitere Nutzschaltes, mit einfachen Mitteln erzeugen lassen.

Dies wird bei einem Verfahren der genannten Art durch die kennzeichnenden Merkmale des Patentanspruchs 1 erreicht. Weiter wird dies bei einer gattungsgemäßen Anordnung gemäß den kennzeichnenden Merkmalen des Patentanspruchs 10 erreicht.

Die Erfindung hat den Vorteil, daß durch die entkoppelte Regelung die Vorteile der direkten und der indirekten Methode für die Erzeugung von Steuerspannungen optimal genutzt werden können, ohne daß sich bei der direkten Methode die bekannten Nachteile ergeben. Die erste Regelungsanordnung umschließt aufgrund der indirekten Methode als zu steuernde Schaltung den Vergleicherschaltkreis ebenso wie den Nutzschaltes. Die Steuerspannungsänderungen bei der direkten Methode, die mit der zweiten Regelungsanordnung erzeugt werden, wirken sich nur auf den Nutzschaltes, nicht dagegen auf den Vergleicherschaltkreis aus. Mit Hilfe des Umsetznetzwerkes, das die Regelungsanordnungen miteinander verbindet, können in einer Schaltungsanordnung mehrere

Nutzschaltes mit Steuerspannungen versorgt werden. Je nach Anforderungen an die Eigenschaften der Nutzschaltes kann mit Hilfe des Umsetznetzwerkes sowohl die indirekte Methode als auch die direkte Methode optimal auf die Nutzschaltes angewendet werden.

Ausgestaltungen der Erfindung sind in Unteransprüchen gekennzeichnet.

Die Erfindung wird nachfolgend anhand eines in den Figuren der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigt:

FIG 1 ein Prinzipschaltesbild einer erfindungsgemäßen Anordnung zur Erläuterung des erfindungsgemäßen Verfahrens,

FIG 2 ein schematisches Bild zur Erläuterung der Wirkungsweise des Umsetznetzwerkes und

FIG 3 eine prinzipielle Ausführungsform eines Umsetznetzwerkes gemäß der Erfindung.

Die Erfindung läßt sich grundsätzlich sowohl in bipolaren als auch in MOS-Technologien verwirklichen. Die Lehre der Erfindung ist weiterhin nicht beschränkt auf bestimmte Nutzschaltes. Als typischen Anwendungsfall soll die Erfindung am Ausführungsbeispiel eines integrierten Filters erläutert werden. Ein derartiges Filter kann beispielsweise ein als zeitkontinuierliches Filter aufgebautes Gebührenbandpass eines Informationsübertragungssystems sein. Um Fehlzählungen der am Filtereingang auftretenden Gebührenimpulse auszuschließen, darf die Filtermittelfrequenz von beispielsweise 16kHz nur um ± 80 Hz schwanken. Bei einer Realisierung des Filters als MOS-Schaltes würde die Mittelfrequenz von 16kHz ohne weitere Maßnahmen aufgrund von Temperatur-, Versorgungsspannungs- und Technologieschwankungen um ± 6 kHz wandern.

Gemäß FIG 1 besteht die erfindungsgemäße Anordnung aus einer indirekten Regelung IR und einer direkten Regelung DR, die um eine Hochlaufregelung HR ergänzt sind. Die Steuerspannungen für den Nutzschaltes des Filters 1 werden mit Hilfe eines Umsetznetzwerkes 2 eingespeist. Das Umsetznetzwerk 2 stellt die Verbindung der drei Regelungen HR, IR und DR her.

Die erste indirekte Regelungsanordnung wird als phasengekoppelter Regelkreis betrieben. Dieser enthält einen spannungsgesteuerten Oszillator (VCO) 5, dem ein Komparator 6 nachgeschaltet ist. Aufgabe dieses Spannungskomparators 6 ist es, dafür zu sorgen, daß aus der Ausgangsspannung des VCO 5 Rechteckspannungen mit konstanter Amplitude gebildet werden, selbst wenn der Signalpegel am Ausgang des VCO sich ändert. Der Ausgang des Spannungskomparators 6 wird auf einen Eingang eines Phasendetektors 7 geschaltet. Der andere Eingang des Phasendetektors 7 wird von

einer Referenzfrequenz über die Klemme 16 gespeist. Für den Fall, daß die Referenz-Taktfrequenz an der Klemme 16 keine Rechteckfrequenz mit konstanter Amplitude liefert, ist der Klemme 16 ebenfalls ein Spannungskomparator nachzuschalten. Der Phasendetektor 7 kann ein einfaches Exklusiv-ODER-Gatter sein. Der Ausgangspegel des Phasendetektors 7 wird so gewählt, daß die DC-Komponente zur Erzeugung ausreichend hoher Steuerspannungen für die Transistoren des Filters geeignet ist. Dem Phasendetektor 7 ist ein Schleifenfilter 8 nachgeschaltet, das üblicherweise ein zeitkonstantes RC-Netzwerk ist. Bei der ersten, indirekten Regelungsanordnung IR wird der Regelkreis geschlossen, indem der Ausgang des Schleifenfilters 8 auf das Umsetznetzwerk 2 geführt ist, das seinerseits die Steuerspannungen für den spannungsgesteuerten Oszillator 5 und das Filter 1 erzeugt.

Wie bei der indirekten Methode zur Erzeugung der Steuerspannungen bekannt, läßt sich größte Effektivität dann erzielen, wenn der spannungsgesteuerte Oszillator 5 und das Nutzfilter 1 in derselben Technik implementiert sind und ihre passiven Elemente nahe beieinander liegen und aufeinander abgestimmt sind. Beide Elemente 1 und 5 sind thermisch so gekoppelt, daß sie weitgehend gleiches Temperaturverhalten zeigen. Damit die durch den phasengekoppelten Regelkreis (PLL) IR ausgeglichene Referenz-Taktfrequenz an der Klemme 16 nicht aufgrund parasitärer Effekte am Ausgang 15 des Filters 1 erscheint, wird die Referenz-Taktfrequenz so gewählt, daß sie sich außerhalb des Bandpassbereiches des Filters 1 befindet. Im Ausführungsbeispiel kann die Referenz-Taktfrequenz an der Klemme 16 beispielsweise 9,143kHz betragen. Im Ausführungsbeispiel ist die indirekte Regelungsanordnung als analoger PLL-Kreis ausgebildet, ebensogut kann jedoch ein digitaler PLL ausgeführt sein. Mit Hilfe dieser ersten, indirekten Regelungsanordnung IR können die Steuerspannungen für den VCO 5 und das Nutzfilter 1 so genau eingestellt werden, wie sich der als Vergleichschaltkreis eingesetzte spannungsgesteuerte Oszillator (VCO) 5 zum zu steuernden Filter 1 verhält. Mit Hilfe der ersten Regelungsanordnung lassen sich auch mehrere Filter steuern, wobei mit Hilfe des Umsetznetzwerks über spannungsgesteuerte Stromquellen die Steuerspannungen separat für jedes Filter angepaßt sein können.

In der zweiten, direkten Regelungsanordnung DR befindet sich der Nutzschaltkreis bzw. das Filter 1 selbst im Regelkreis. Im Ausführungsbeispiel der FIG 1 ist es dabei erlaubt, das Filter 1 periodisch aus dem Signalweg von der Eingangsklemme 14 über das Filter 1 zur Ausgangsklemme 15 zu schalten. In FIG 1 sind die beiden Schalter 18 und 19 in einer Position, daß sich das Filter 1 im

Regelkreis befindet. Ein an der Klemme 17 anliegendes Taktsignal, im Fall des Ausführungsbeispiels mit dem getroffenen Voraussetzungen mit der Frequenz 16kHz, ist zum einen direkt und zum anderen über das Filter 1 an je einen Spannungskomparator 9 bzw. 10 geschaltet, um mit Hilfe der Spannungskomparatoren Rechtecksignale konstanter Amplitude zu erzeugen. Die Ausgangssignale der Spannungskomparatoren 9 und 10 führen zu einer Vergleichs- und Halteschaltung mit den Elementen 11, 12 und 13, die im Ausführungsbeispiel als digital arbeitende Schaltung ausgebildet ist. Der Phasendetektor 11 vergleicht die beiden Ausgangssignale der Spannungskomparatoren 9 und 10 miteinander. Am Ausgang des Phasendetektors liegen, abhängig vom Vergleich, Aufwärts- oder Abwärtspulse vor, die einen Aufwärts-/Abwärts-Zähler 12 steuern. Der Ausgang des Zählers 12 wird mit Hilfe des Decoders mit Speicher 13 decodiert und gespeichert. Die Decoderausgangsspannungen sind auf das Umsetznetzwerk 2 geschaltet, wo sie einen Digital/Analog-Wandler steuern. Der D/A-Wandler kann dabei auch als Einzelelement ausgebildet sein. Der Decoderausgang steuert dann mit Hilfe des D/A-Wandlers Stromquellen an, mit deren Hilfe die Steuerspannungen für das Filter 1 erzeugt werden, so daß auf diese Weise der direkte Regelkreis DR geschlossen wird.

In der bevorzugten Ausführungsform gemäß FIG 1 ist die Vergleichs- und Halteschaltung mit den Elementen 11 bis 13 digital ausgestaltet. Dies bedeutet gegenüber einer analogen Ausführung den Vorteil, daß hohe Kapazitäten wie bei analogen Haltegliedern nicht erforderlich sind. Auf diese Weise lassen sich vorteilhaft auch längere Zeitkonstanten, z.B. größer als 200ms realisieren.

Vorteilhaft wird in dem Ausführungsbeispiel gemäß FIG 1 ein Phasendetektor 11 verwendet, der frequenz- und phasenselektiv ist. Ein derartiger Phasendetektor zur Erzeugung von Aufwärts-/Abwärtspulsen ist beispielsweise aus der Literaturstelle R. Best, "Der digitale Phase-Locked Loop", Elektroniker Nr. 20/21, 1983, S.57-66 / 53-62 bekannt. In der angegebenen Literaturstelle kann beispielsweise der Phasendetektor Nr. 4, Seite 59 eingesetzt werden. Als Decoder mit Speicher 13 dient ein üblicher Decoder, der ein Zählergebnis in beispielsweise einen Binärcode umwandeln und speichern kann.

Neben der indirekten Regelungsanordnung IR und der direkten Regelungsanordnung DR zeigt FIG 1 eine Hochlaufschaltung, die als Hochlaufregelungsanordnung HR realisiert ist. Die Hochlaufschaltung enthält einen Komparator mit Zähler 3, dessen Ausgangssignale, d.h. das Zählergebnis, mit Hilfe eines Digital-/Analog-Wandlers 4 in eine analoge Spannung umgewandelt wird. Der Komparator mit Zähler 3 vergleicht die Referenz-Taktfre-

quenz an der Klemme 16 mit dem Ausgangssignal des spannungsgesteuerten Oszillators 5 nach dessen Verarbeitung durch den Spannungskomparator 6. Der Regelkreis für die Hochlauf-Regelungsanordnung wird geschlossen, indem der Ausgang des Digital-/Analog-Wandlers 4 über das Umsetznetzwerk 2 auf den spannungsgesteuerten Oszillator zurückgeführt wird. Die im Ausführungsbeispiel gemäß FIG 1 ausgeführte digitale Hochlaufschtaltung kann natürlich auch analog ausgeführt sein. Die Hochlauf-Regelungsanordnung arbeitet mit einer Genauigkeit von acht Bit und deckt den gesamten Steuerbereich, der durch die maximalen Technologie-, Temperatur- und Versorgungsspannungsschwankungen gegeben ist, ab. Mit der Hochlaufschtaltung HR wird eine Vorspannung für die indirekte, erste Regelungsanordnung IR erzeugt. Dazu wird die Länge der Ausgangssignale des spannungsgesteuerten Oszillators 5 nach der Verarbeitung durch den Spannungskomparator 6 mit der Pulslänge der Referenzfrequenz an der Klemme 16 verglichen. Das Bitmuster des bei Null startenden mitlaufenden Zählers im Komparator mit Zähler 3 ergibt über den D/A-Wandler 4 die Steuerspannung des spannungsgesteuerten Oszillators 5. Dabei ist die digitale Hochlaufschtaltung HR nur in der Anfangsphase, d.h. nach dem Einschalten der Anordnung aktiv. Wenn der phasengekoppelte Regelungskreis IR eingerastet ist, kann die Hochlaufschtaltung abgeschaltet werden oder weiterhin, dann aber ohne Einfluß, mitlaufen.

FIG 2 zeigt den prinzipiellen Aufbau und die Funktionsweise des Umsetznetzwerkes 2. Vorgesehen sind entsprechend den drei Regelungsanordnungen gemäß FIG 1 drei Stromquellen IDR, IIR und IHR, deren Ströme in einem Knoten K aufsummiert werden. Neben einer von einer Referenzspannung gesteuerten Stromsenke IVR fließt der am Knoten K aufsummierte Strom durch einen Widerstand R, an der er einen Spannungsabfall verursacht. An den Klemmen V1 und V2 läßt sich eine Steuerspannung entnehmen, die in das Filter 1 eingespeist wird. Durch den Einsatz mehrerer Stromquellen können verschiedene Kombinationen spannungsgesteuerter Stromquellen im Umsetznetzwerk realisiert werden und somit verschiedene Steuerspannungen erzeugt werden. Beispielsweise ergibt sich die Steuerspannung für den spannungsgesteuerten Oszillator 5 durch Aufsummierung der Ströme zweier von den Regelungsanordnungen IR und HR gesteuerter Stromquellen in analoger Weise wie FIG 2.

Unter den Voraussetzungen des Ausführungsbeispiels läßt sich bei einer erfindungsgemäßen Anordnung nach FIG 1 bzw. FIG 2 die Bandmittenfrequenz des Filters 1 von 16kHz mit Hilfe der indirekten Regelungsanordnung IR auf ± 300 Hz einstellen. Mit Hilfe der direkten Regelungsanordnung

DR können die verbleibenden Temperatur- und Versorgungsspannungsschwankungen weitgehend ausgeregelt werden, so daß die Bandmittenfrequenz um nicht mehr als ± 50 Hz schwankt. Damit lassen sich die Anforderungen an den schmalen Gebührenbandpaß hoher Güte erfüllen.

Möglich wird der Einsatz einer direkten Regelungsanordnung für den Bandpaß 1 dadurch, daß die Gebührenimpulse in Pulspaketen (Burst) mit mindestens 40 ms Pause empfangen werden. In diesen Pausenzeiten bleibt genügend Zeit, den Signalpfad von der Klemme 14 über das Filter 1 zur Klemme 15 mit den Schaltern 18 und 19 zu unterbrechen und den auf ca. 1 Volt Amplitude begrenzten, an der Klemme 17 angeschlossenen Referenztakt durch den Bandpaß zu schicken. Ein als Filter 4. Grades ausgeführter Gebührenbandpaß 1 besitzt genau in Bandmitte nach kurzer Einschwingzeit von etwa 5 ms eine Phasendrehung von 0 Grad. Nach dieser Einschwingzeit von 5 ms wird durch den Phasendetektor ein frequenz- und phasenselektiver Vergleich des Referenztakts nach dem Filterdurchlauf mit dem Referenztakt selbst durchgeführt. Der Phasendetektor 11 erzeugt dabei je nach Phasenverschiebung Aufwärts- bzw. Abwärts-Pulse. Diese Pulse werden im Aufwärts-/Abwärts-Zähler 12 gezählt und lenken über den Decoder mit Speicher 13 einen digitalen Code aus der Mittenstellung aus. Mit Hilfe dieses Codes werden Stromquellen in dem im Umsetznetzwerk 2 angeordneten DA-Wandler geschaltet. Damit kann der Strom bzw. die Steuerspannungsdifferenz, die sich allein durch das Zusammenwirken der Hochlauf-Regelungsanordnung HR bzw. der ersten, indirekten Regelungsanordnung IR ergeben, erhöht oder erniedrigt werden, bis das Filter 1 entsprechend der vorausgesetzten Regelungsgenauigkeit eingestellt ist. Unter den Voraussetzungen des Ausführungsbeispiels wird eine Genauigkeit von 8 Bit bzw. eine Steuerspannungsgenauigkeit von 6 mV benötigt, um die Bandmittenfrequenz des Filters 1 auf besser als 50 Hz einzustellen. Durch die Halteschtaltung werden die Steuerspannungen in ihrer Einstellung belassen, wenn das Filter 1 wieder in den Signalweg geschaltet wird. Auf diese Weise lassen sich auch Temperatur- und Versorgungsspannungsschwankungen während des Betriebs des Filters weitgehend ausregeln, ohne daß sich paraitäre Regelkreiseigenschaften auswirken. In einer Hochlaufzeitspanne, die vorzugsweise länger dauert als die Zeitspanne bis zum Einrasten des Phasengekoppelten Regelkreises IR, bleibt stets der Referenztakt an der Klemme 17 an das Filter 1 angelegt, so daß dieses möglichst genau eingestellt werden kann. Damit ist auch gewährleistet, daß Gebührensignale, die über die Klemme 14 eingespeist werden, im Gebührendetektor sicher erkannt werden. Ein erkannter Gebührenpuls dient als Kennungszeit-

chen, um mit der nächsten Pulspause den Bandpaß des Filters 1 vom Signalpfad an den Referenztakt zu schalten und dann Veränderungen ständig nachzuregeln.

Die drei beschriebenen Regelkreise arbeiten entkoppelt. Die digitale Hochlaufschtaltung HR ist nur in der Anfangsphase nach dem Einschalten aktiv, wenn die beiden anderen Regelungen noch nicht arbeiten. Der indirekte Regelungskreis IR umschließt als Regelungsanordnung den phasengekoppelten Regelungskreis, wobei die Steuerspannungen für den spannungsgesteuerten Oszillator 5 auch für das Filter 1 verwendet werden. Die Steuerspannungsänderungen der direkten Regelungsanordnung DR wirken nur auf das Filter 1 und nicht auf den Spannungsgesteuerten Oszillator 5.

Figur 3 zeigt schematisch den Aufbau des Umsetznetzwerks 2, mit dem die Regelkreise zusammengeführt und zur Erzeugung der Steuerspannungen verbunden werden. Gleiche Elemente wie in den vorhergehenden Figuren sind mit gleichen Bezugszeichen versehen. Die Schaltung wird von einer Spannungsversorgung zwischen den Klemmen VDD und VSS gespeist.

Signaleingänge der Schaltung sind mit dem Schleifenfilter 8 des phasengekoppelten Regelkreises IR, mit dem D/A-Wandler 4 der Hochlaufschtaltung HR und mit den Ausgängen des Decoders mit Speicher 13 verbunden. Weiterhin besitzt die Schaltung einen Eingang VR, an dem ein Referenzpotential liegt. Den nicht näher bezeichneten Verbindungsklemmen zu dem Phasenfilter 8 und dem DA-Wandler 4 sowie der Klemme VR sind jeweils spannungsgesteuerte Stromquellen nachgeschaltet. Derartige Stromquellen sind grundsätzlich bekannt, beispielsweise aus Tietze/-Schenk: "Halbleiter-Schaltungstechnik" siebente Auflage, 1985, Springer Verlag, Berlin, Heidelberg, New York, Seite 357. Jede Stromquelle enthält einen gegengekoppelten Operationsverstärker 81, 41 bzw. 61, dem ein Transistor 82, 42 bzw. 62 nachgeschaltet ist. Ein Ausgangskreis des Transistors ist auf den Operationsverstärker rückgekoppelt und über einen Widerstand 84, 44 bzw. 64 mit einem Bezugspotential, z. B. Ground verbunden. Der andere Ausgangskreis des dem Operationsverstärker nachgeschalteten Transistors ist über einen als Lastwiderstand geschalteten Transistor 83, 43 bzw. 63 mit dem Versorgungspotential VDD verbunden. Der Strom durch diese Stromquellen wird in andere Kreise gespiegelt. Dazu ist gemäß Figur 3 der Ausgang des Operationsverstärkers 81 außer mit dem Steuereingang des Transistors 82 mit weiteren Transistoren 85 und 87 verbunden. Jeweils im Ausgangskreis der Transistoren 85 und 87 sind als Last arbeitende Transistoren 86 und 88 zur Klemme VDD geschaltet, deren Steueranschlüsse mit dem Steueranschluß des Transistors 83 verbunden sind.

Entsprechend ist der Ausgang des Operationsverstärkers 41 außer mit dem Steueranschluß des Transistors 42 mit den Steueranschlüssen der Transistoren 45 und 47 verbunden. Der Steueranschluß des Transistors 43 ist mit den Steueranschlüssen weiterer als Last arbeitender Transistoren 46 und 48 verbunden. Je ein Ausgangsanschluß der Transistoren 46 bzw. 48 liegt an der Versorgungsspannungsklemme VDD.

Entsprechend ist der Ausgangsanschluß des Operationsverstärkers 61 außer mit dem Steueranschluß des Transistors 62 noch mit dem Steueranschluß des Transistors 65 und der Steueranschluß des Transistors 63 mit dem Steueranschluß des Transistors 66 verbunden, wobei Transistor 65 und 66 mit ihren Ausgangskreisen in Reihe geschaltet sind. Ein Ausgangsanschluß des Transistors 66 ist mit Klemme VDD, ein Ausgangsanschluß des Transistors 65 über einen als Diode geschalteten Transistor 67 mit der Klemme VSS verbunden. Der Strom durch den als Diode geschalteten Transistor 67 wird in die Transistoren 68 und 69 gespiegelt, wozu die Steueranschlüsse dieser drei Transistoren verbunden sind. Die Transistoren 68 und 69 sind mit je einem Ausgangskreis mit der Bezugsklemme VSS verbunden.

Die mit dem Decoder mit Speicher 13 verbundenen Anschlüsse der Umsetzschaltung 2 steuern gemäß Figur 3 nicht näher bezeichnete Stromquellen eines Digital-/Analog-Wandlers DAC. Dieser D/A-Wandler DAC entspricht der Stromquelle IDR gemäß Figur 2. Ein weiterer Vergleich zwischen den Figuren 2 und 3 zeigt, daß die Elemente 81 bis 86 der Stromquelle IIR, die Elemente 41 bis 66 der Stromquelle IHR und die Elemente 61 bis 68 der Stromquelle IVR entsprechen. Demgemäß arbeiten die freien Ausgangsanschlüsse der Transistoren 85, 45 und 68 sowie der Ausgang von DAC auf den gemeinsamen Knoten K. Vom Knoten K ist ein Filter F1 zur Bezugsklemme VS geschaltet, das statt aus einem einfachen Widerstand R wie in Figur 2 aus mehreren Kondensatoren und Widerständen zusammengeschaltet ist. Mit Hilfe dieses Filters werden zum einem die Steuerpotentiale V1 und V2 abgeleitet und zum anderen dient das Filter F1 zur Unterdrückung von Störungen auf der Versorgungsseite, so daß ein gutes PSRR (Power-Supply-Rejection-Ratio) erreicht wird. Damit tritt an der Spannungsdifferenz der Klemmen V1 und V2 eine äußerst geringe Restwelligkeit auf. In einem zweiten Kreis arbeiten die Stromquellen mit den Elementen 81 bis 84 sowie 87,88 und 41 bis 44 sowie 47, 48 und 61 bis 67 sowie 69 ebenfalls auf einen gemeinsamen, nicht näher bezeichneten Knoten. An diesem Knoten ist ein weiteres Filter F2 zur Ableitung von Steuerspannungen an den Klemmen V10 und V20 sowie zur Unterdrückung von Störungen der Versorgungsseite vorgesehen. Das

Filter F2 entspricht dabei im Aufbau dem Filter F1.

Gemäß Figur 3 in Verbindung mit Figur 1 sind die Steuerspannungen an den Klemmen V1 und V2 für das Filter 1 vorgesehen, während die Steuerspannungen an den Klemmen V10 und V20 als Steuerspannungen für den Spannungsgesteuerten Oszillator 5 dienen. Wie in Figur 1 angedeutet, läßt sich das Umsetznetzwerk beliebig erweitern auf andere Nutzschaltschaltungen, bei denen eine indirekte Regelungsanordnung mit Hilfe des phasengekoppelten Regelkreises IR für die Steuerspannungen hinreichend ist. Dazu sind dann Strukturen wie für die Erzeugung der Steuerspannungen für den VCO 5 erforderlich. Sollten für weitere Nutzschaltschaltungen direkte Regelungsanordnungen notwendig sein, läßt sich die Schaltung gemäß Figur 3 um weitere D/A-Wandler erweitern, die dem DAC entsprechen. Auf diese Weise läßt sich das Umsetznetzwerk vorteilhaft für die Verbindung entkoppelter Regelungskreise einsetzen. Durch die Verwendung von Stromspiegeln lassen sich die jeweiligen zu erzeugenden Steuerspannungen optimal auf den zu steuernden Schaltkreis einstellen.

Patentansprüche

1. Verfahren zur automatischen Steuerung von Transistoren einer Schaltungsanordnung (1, 5), bei dem mit Hilfe einer taktgesteuerten Regelungsanordnung (IR, DR) Steuerspannungen (V1, V2, V10, V20) abgeleitet und in die Schaltungsanordnung eingespeist werden, **dadurch gekennzeichnet**, daß die Steuerspannungen (V1, V2, V10, V20) über ein Umsetznetzwerk (2) sowohl aus einer ersten (R) als auch einer zweiten (DR) Regelungsanordnung abgeleitet werden, die voneinander entkoppelt arbeiten, und daß in die erste Regelungsanordnung (IR) ein Vergleichsschaltkreis (5) und in die zweite Regelungsanordnung (DR) ein Nutzschaltschaltungskreis (1) einbezogen wird.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß über das Umsetznetzwerk (2) von einer Hochlaufschaltung (HR) eine Steuervorspannung erzeugt wird.
2. Verfahren nach Anspruch 2, **dadurch gekennzeichnet**, daß die Hochlaufschaltung (HR) als dritte Regelungsanordnung arbeitet, die entkoppelt von der ersten und zweiten Regelungsanordnung (IR, DR) betrieben wird.
3. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß die erste Regelungsanordnung (IR) als phasengekoppelter Regelkreis (2, 5 bis 8) betrieben wird, dessen spannungsgesteuerter Oszillator (5) als Vergleichsschaltkreis vorgesehen ist, der von Oszillatorteuerspannungen gesteuert wird.
5. Verfahren nach Anspruch 4, **dadurch gekennzeichnet**, daß der spannungsgesteuerte Oszillator

(5) in derselben Technik wie der Nutzschaltschaltungskreis (1) hergestellt und thermisch gekoppelt mit diesem betrieben wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß der Nutzschaltschaltungskreis (1) taktabhängig in die zweite Regelungsanordnung (IR) eingeschaltet wird.
7. Verfahren der Ansprüche 1 bis 6, **dadurch gekennzeichnet**, daß in der zweiten Regelungsanordnung (IR) ein digitale Signale verarbeitendes Vergleichs- und Halteglied aus einem Phasendetektor (11) einem nachgeschalteten Aufwärts-/Abwärts-Zähler (12) und einem nachfolgendem Decoder mit Speicher (13) das Umsetznetzwerk (2) ansteuert.
8. Verfahren nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, daß die Hochlaufschaltung (HR) mit einem digitale Signale verarbeitenden Komparator mit Zähler (3) eine Referenzfrequenz (16) mit einer von dem spannungsgesteuerten Oszillator (5) erzeugten Frequenz vergleicht und über einen D/A-Wandler (4) das Umsetznetzwerk (2) ansteuert.
9. Verfahren nach einem der Ansprüche 1 bis 8, **dadurch gekennzeichnet**, daß die erste und zweite Regelungsanordnung (IR, DR) sowie die Hochlaufschaltung (HR) Stromquellen (IIR, IDR, IHR) im Umsetznetzwerk (2) steuern, mit denen die Steuerspannungen (V1, V2, V10, V20) und die Steuervorspannungen erzeugt werden.
10. Schaltungsanordnung zur Durchführung des Verfahrens nach Anspruch 1 mit einer taktgesteuerten Regelungsanordnung (IR, DR) zur Ableitung und Einspeisung von Steuerspannungen (V1, V2, V10, V20) für die Schaltungsanordnung (1,5) **dadurch gekennzeichnet**, daß die Steuerspannungen (V1, V2, V10, V20) von einer ersten (IR) und zweiten (DR), voneinander entkoppelten Regelungsanordnung über ein Umsetznetzwerk (2) ableitbar sind und in der ersten Regelungsanordnung (IR) ein Vergleichsschaltkreis (5) sowie in der zweiten Regelungsanordnung (DR) ein Nutzschaltschaltungskreis liegt.
11. Anordnung nach Anspruch 10, **dadurch gekennzeichnet**, daß von einer Hochlaufschaltung (HR) über das Umsetznetzwerk (2) eine Steuervorspannung erzeugbar ist.
12. Anordnung nach Anspruch 11, **dadurch gekennzeichnet**, daß die Hochlaufschaltung (HR) als dritte, von der ersten und zweiten Regelungsanordnung (IR, DR) entkoppelte Regelungsanordnung ausgebildet ist.
13. Anordnung nach einem der Ansprüche 10 bis 12, **dadurch gekennzeichnet**, daß die erste Regelungsanordnung (IR) als phasengekoppelter Regelkreis (2, 5 bis 8) ausgebildet ist, dessen spannungsgesteuerter Oszillator (5) als Vergleichsschaltkreis vorgesehen ist.

14. Anordnung nach Anspruch 13, **dadurch gekennzeichnet**, daß der spannungsgesteuerte Oszillator (5) und der Nutzschaltkreis (1) in der selben Technik hergestellt und thermisch gekoppelt sind.
15. Anordnung nach einem der Ansprüche 10 bis 14, **dadurch gekennzeichnet**, daß der Nutzschaltkreis (1) über Schalter (18, 19) taktabhängig (17) in die zweite Regelungsanordnung (DR) einschaltbar ist. 5
16. Anordnung nach einem der Ansprüche 10 bis 15, **dadurch gekennzeichnet**, daß in der zweiten Regelungsanordnung (DR) ein Digitalsignal verarbeitendes Vergleichs- und Halteglied aus einem Phasendetektor (11), einem nachgeschalteten Aufwärts-/Abwärts-Zähler (12) und einem nachfolgenden Decoder mit Speicher (13) ausgebildet ist. 10
17. Anordnung nach einem der Ansprüche 10 bis 16, **dadurch gekennzeichnet**, daß die Hochlaufschaltung (HR) einen digital Signale verarbeitenden Komparator mit Zähler (3) enthält und über einen D/A-Wandler (4) mit dem Umsetznetzwerk (2) verbunden ist. 15
18. Anordnung nach einem der Ansprüche 10 bis 17, **dadurch gekennzeichnet**, daß das Umsetznetzwerk Stromquellen (IIR, IDR, IHR) enthält, die von den Regelungsanordnungen (IR, DR, HR) gesteuert sind und aus denen durch Stromaddition mit Hilfe einer Bewerteranordnung (IVR, R) die Steuerspannungen (V1, V2, V10, V20) erzeugbar sind. 20
- 25
- 30
- 35
- 40
- 45
- 50
- 55

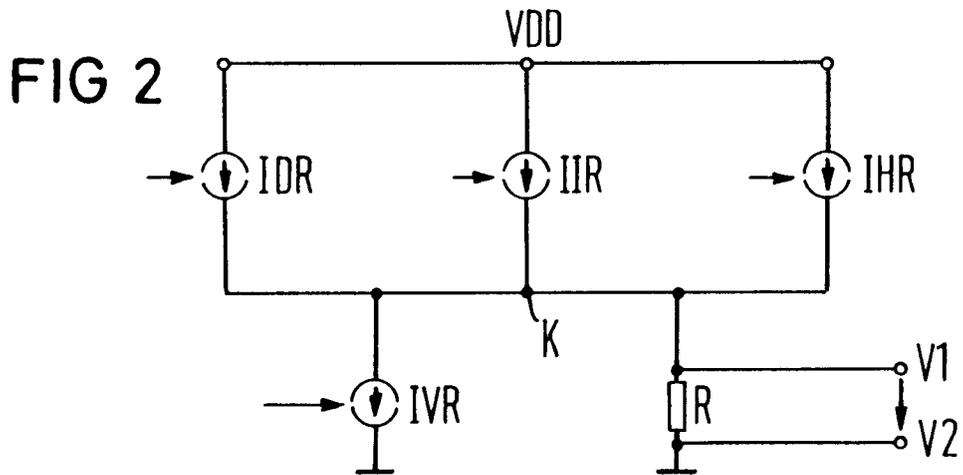
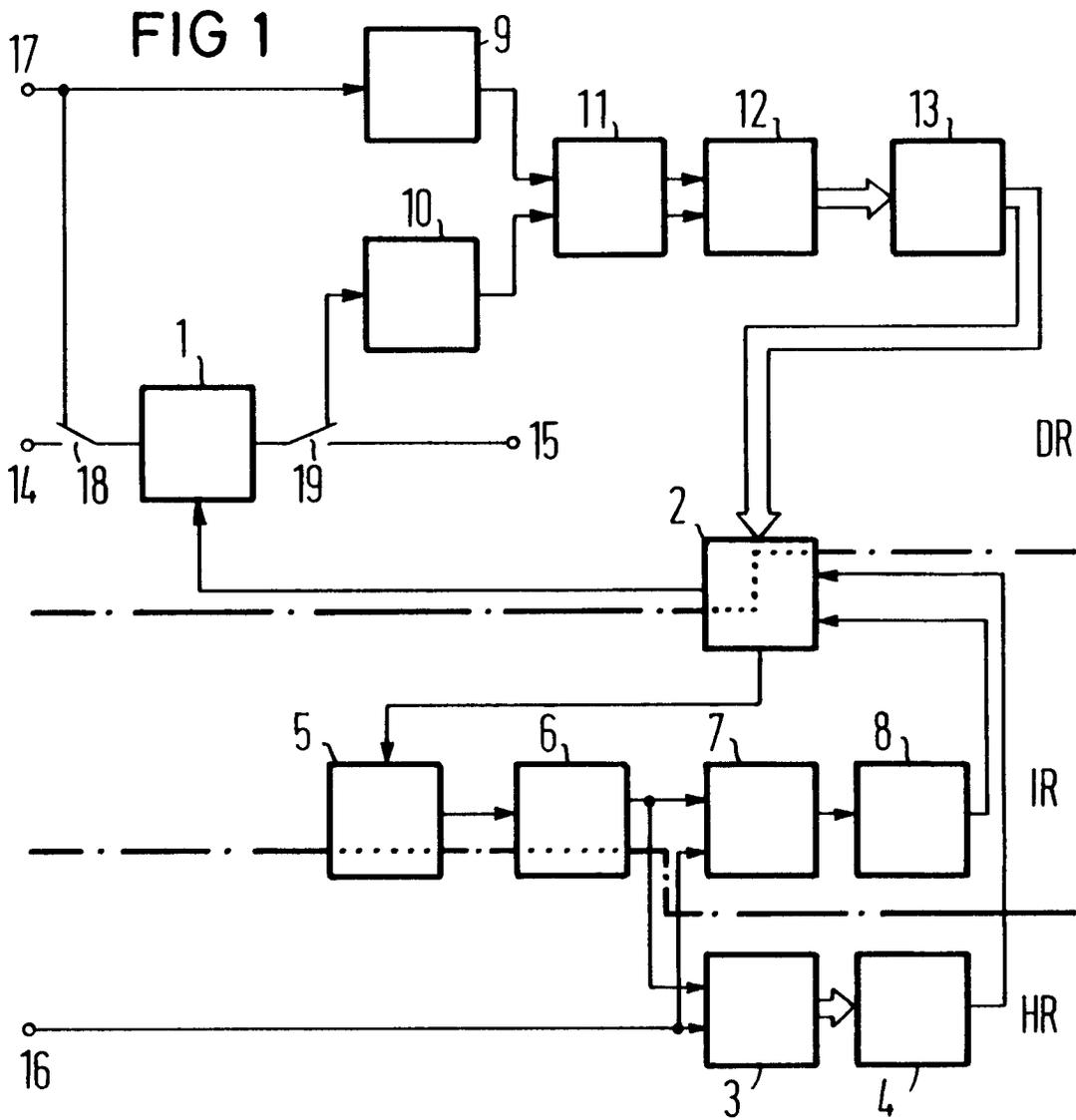


FIG 3

