

19



Europäisches Patentamt
European Patent Office
Office européen des brevets



11 Veröffentlichungsnummer: **0 483 642 A1**

12

EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: **91117973.7**

51 Int. Cl.⁵: **G08C 13/00**

22 Anmeldetag: **22.10.91**

30 Priorität: **29.10.90 DE 4034373**

71 Anmelder: **Klöckner-Moeller GmbH
Hein-Moeller-Strasse 7-11
W-5300 Bonn 1(DE)**

43 Veröffentlichungstag der Anmeldung:
06.05.92 Patentblatt 92/19

72 Erfinder: **Kress, Wolfram, Dipl.-Phys.
Auf dem Garotten 16
W-5200 Siegburg(DE)
Erfinder: Klaes, Gernot, Dipl.-Ing.
An der Ohligsmühle 31A
W-5300 Bonn 1(DE)**

84 Benannte Vertragsstaaten:
AT CH ES FR GB IT LI NL

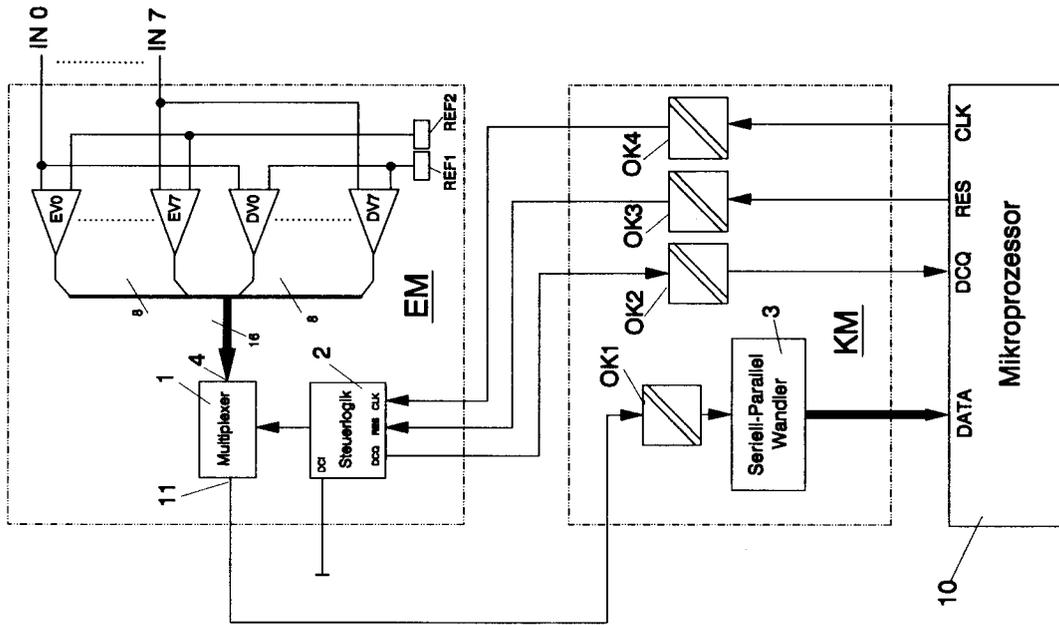
54 **Schaltungsanordnung für elektronische Steuerungssysteme mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale.**

57 Die Erfindung beschreibt eine Schaltungsanordnung für elektronische Steuerungssysteme mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale. Die Aufgabe, die sich die Erfindung stellt besteht in der Bauteil- und Platzeinsparung bei der galvanischen Trennung der peripheren Steuerungsseite von der internen Steuerungsebene unabhängig von der Anzahl der physikalischen Eingänge. Die erfindungsgemäße Lösung der Aufgabe wird dadurch erreicht, daß sämtliche Eingangsinformationen gemultiplext werden und das der serielle Datenstrom

über ein galvanisches Trennelement und einem Kommunikationselement dem Mikroprozessor zur weiteren Verarbeitung zugeführt wird. Das Kommunikationselement beinhaltet einen Seriell-Parallel-Wandler, der den Datenstrom in ein der Anzahl der Eingangsinformationen entsprechend breites Bitwort umwandelt. Die zur Kommunikation notwendigen Steuersignale werden von einer in einem Eingangsmodul befindlichen Steuerlogik zur Synchronisation des Übertragungszyklusses benutzt und sind über galvanische Trennelemente geführt.

EP 0 483 642 A1

Fig. 1



Die Erfindung beschreibt eine Schaltungsanordnung mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale, die der Steuerungsebene mit potentialfreiem Bezug zur Eingangsebene angeboten werden, indem die Eingangsinformationen und die Steuersignale der Informationsübertragung von und zu einem Mikroprozessor über optische Koppellemente transportiert werden, wobei eine zahlenmäßige Erweiterung der Informationseingänge durch Aufrüstung der Schaltstufen und Schaltmittel erreicht wird.

Nach dem Stand der Technik werden Peripheriebaugruppen, sogenannte Eingangsinterfaces, zur Zuführung und Bereitstellung digitaler Eingangssignale von systemexternen Befehlsgeräten wie beispielsweise Schalter, Taster, Relais und Sensoren an elektronische Steuerungssysteme benutzt.

Die Schaltungsanordnungen sind auf einer Leiterplatte aufgebracht und bringen das Eingangssignal auf ein für die Steuerungslogik verwendbares Verarbeitungsniveau. In der Technischen Dokumentation von E.A.Storz GmbH + Co KG (Dokument. Vers. 1.0, Ausgabe 09.89, Verfasser H.Muffler) ist eine typische Schaltungsanordnung einer Ein-/Ausgabekarte veröffentlicht. Die Schaltungen weisen zur Unterdrückung von Störsignalen für jeden Eingang eine Filterschaltung und zur Definierung des Schaltpegels einen Komparator auf, der das Eingangssignal auf eine Referenzspannung bezieht. Zur Potentialtrennung der Steuerungsebene von der externen Umgebung wird pro Eingang ein Optokoppler eingesetzt. Diese Maßnahme ist vom Bauteilbedarf her aufwendig und unwirtschaftlich.

In der DE-Z-: Disign &Elektronik, H. 14, 5.Juli, 1988, Seiten 68, 69 wird eine galvanisch trennenden Datenerfassung beschrieben. Es wird dabei eine Schaltungsanordnung beschrieben, die elektrische Eingangssignale erfasst und bereitstellt und an das Steuerungssystem anpasst. Eine Erweiterung der Grundschaltung um acht Eingänge, benötigt jeweils einen zusätzlichen Opto-Koppler. Die Anzahl der Schaltmittel wächst mit steigender Anzahl der zu verarbeitenden Eingangssignale.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung für elektronische Steuerungssysteme zu schaffen, die eine galvanischen Trennung der Steuerungsebene von der Steuerungsperipherie bewirkt, wobei der Bauteilebedarf unabhängig von der Anzahl der physikalischen Eingänge immer der gleiche bleibt.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Schaltungsanordnung als Eingangsmodul ausgeführt ist, das mit einem oder mehreren Eingangsmoduln kaskadierbar ist wobei pro Kaskade, unabhängig von der Anzahl der kaskadierten Eingangsmoduln, ein Kommunikationsmodul erfor-

derlich ist, indem der Takteingang, der Rücksetzeingang und der Datenausgang der Eingangsmoduln parallelgeschaltet sind und mit dem Takteingang dem Rücksetzausgang und dem Dateneingang des Kommunikationsmoduls verbunden sind und der Zyklus-Ende-Ausgang des ersten Eingangsmoduls mit der Zyklusfreigabe des zweiten Eingangsmoduls verbunden ist und der Zyklus-Ende-Ausgang des zweiten Eingangsmoduls mit dem Zyklus-Ende-Eingang des Kommunikationsmoduls verbunden ist, wobei das Kommunikationsmodul den Datenstrom und die Steuersignale über Opto-Koppler zum und vom Mikroprozessor transportiert.

Die Unteransprüche 2 bis 10 kennzeichnen zweckmäßige und vorteilhafte Ausgestaltungen der Erfindung.

Dabei ist es nach Anspruch 2 besonders zweckmäßig, daß ein oder mehrere Vergleichselemente für jeden Eingang zur Verfügung stehen, die mit Bezug auf ein oder mehrere Referenzpegel eine oder mehrere Eingangsinformationen an den Eingängen eines Multiplexers bereitstellen. Nach Anspruch 3 veranlaßt ein vom Mikroprozessor ausgehendes Rücksetzsignal über ein Opto-Koppler des Kommunikationsmoduls eine Steuerlogik dazu, die Informationserkennung des Multiplexers an einem definierten Eingang der Eingänge zu starten. Von Vorteil ist es weiterhin, daß der Mikroprozessor einen internen Takt erzeugt und über ein Opto-Koppler auf den Takteingang der Steuerlogik legt, und daß der Takt den zeitlichen Verlauf des Übertragungszyklus bestimmt und daß nach Anspruch 5 das Ende eines Übertragungszyklusses durch ein von der Steuerlogik übermitteltes Zyklus-Ende-Signal dem Mikroprozessor über den Opto-Koppler geführt wird.

Besonders zweckmäßig ist es erfindungsgemäß, daß eine Kaskadierung von zwei oder mehr Eingangsmoduln derart erfolgt, daß der Zyklus-Ende-Ausgang des ersten Eingangsmoduls mit der Zyklusfreigabe des zweiten Eingangsmoduls verbunden wird und daß bei jedem weiteren Eingangsmodul gleichermaßen verfahren wird und dabei nach Anspruch 7 der Zyklus-Ende-Ausgang des letzten kaskadierten Eingangsmoduls mit dem Zyklus-Ende-Eingang des Kommunikationsmoduls verbunden wird. Ein weiterer Vorteil gemäß der Erfindung ergibt sich aus den Ansprüchen 8 bis 10, wonach bei Kaskadierung von zwei oder mehr Eingangsmoduln ihre Eingangssignale und ihr Ausgangssignal parallel geschaltet werden und daß der Takteingang des Kommunikationsmoduls mit den Takteingängen der Eingangsmodule parallelgeschaltet ist und daß der Dateneingang des Kommunikationsmoduls mit den Datenausgängen der Eingangsmodule parallelgeschaltet ist.

Nachfolgend wird die erfindungsgemäße Schaltungsanordnung anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen

Fig.1 eine schematische Darstellung eines Eingangsmoduls und des Kommunikationsmoduls unter Verwendung der erfindungsgemäßen Schaltungsanordnung.

Fig.2 die Kaskadierung des ersten Eingangsmoduls mit einem weiteren Eingangsmodul zur zahlenmäßigen Erweiterung der Eingänge.

Fig.3 das Funktionsablaufdiagramm eines Übertragungszyklus unter Verwendung der erfindungsgemäßen Schaltungsanordnung.

Die Fig.1 zeigt eine schematische Darstellung eines Eingangsmoduls und des Kommunikationsmoduls unter Verwendung der erfindungsgemäßen Schaltungsanordnung. In diesem Beispiel weist das Eingangsmodul EM acht Eingänge IN0 - IN7 auf, an denen je eine digitale Eingangsinformation ansteht. Jedem Eingang sind Vergleichselemente EV0 bis EV7 und Diagnoseelemente DV0 bis DV7 zugeordnet. Die Ausgangspegel der Eingangs- und Diagnoseelemente liegen parallel an den Eingängen 4 des Multiplexers 1. Der Multiplexer wird zu Beginn des Übertragungszyklus durch das Rücksetzsignal RES des Mikroprozessor 10 ausgerichtet, so das die erste zu übertragene digitale Eingangsinformation definiert wird. In diesem Beispiel würde das Rücksetzsignal RES den Zeiger des Multiplexers auf den Ausgangspegel des Eingangselementes EV0 setzen. Somit würde zuerst der Eingang IN0 abgefragt. Mit einem von dem Mikroprozessor 10 erzeugten und von der Steuerlogik 2 übermittelten Takt wird der Zeiger des Multiplexers 1 zyklisch weitergetaktet so daß nacheinander alle 16 Eingänge 4 des Multiplexers 1 abgetastet werden. Die Steuerlogik 2 übernimmt Synchronisationsfunktion für den gesamten Übertragungszyklus. Am Ausgang 11 des Multiplexers 1 ergibt sich ein serieller Datenstrom, der über das galvanische Trennelement - vorzugsweise ein Optokoppler - einem Seriell-Parallel-Wandler 3 zugeführt wird. Dieser wandelt den seriellen Datenstrom wieder in ein, in diesem Fall, 16-bit-breites Datenwort und stellt dies dem Mikroprozessor 10 zur Verfügung. Nach der Signalübertragung des letzten Ausgangssignals DV7 endet der erste Übertragungszyklus und die Steuerlogik 2 sendet das Signal DCQ zum Mikroprozessor. Der sendet das Rücksetzsignal RES, wodurch der Zeiger des Multiplexers wieder auf das Ausgangssignal von EV0 ausgerichtet wird. Voraussetzung hierfür ist, daß keine Kaskadierung mehrerer Eingangsmodule vorgesehen war. Ist dies aber der Fall, wird das Signal DCQ des Eingangsmoduls EM auf den Eingang DC1 des zu kaskadierenden Eingangsmoduls geschaltet.

Die Fig.2 zeigt die Kaskadierung des ersten Eingangsmoduls mit einem weiteren Eingangsmodul zur zahlenmäßigen Erweiterung der Eingänge. In dieser beispielhaften Anordnung sind zwei Eingangsmodule EM1 und EM2 kaskadiert. Jedes Eingangselement weist 8 Eingänge IN0-IN7 bzw. IN8-IN15 auf. Nachdem nun der Mikroprozessor 10 das Rücksetzsignal RES gesendet hat fragt der Multiplexer des Eingangsmoduls EM1 zunächst den Signalzustand des Einganges IN0 ab. Dies geschieht, weil das Signal DC1 von dem Eingangsmodul EM1 auf Low-Potential liegt und EM1 damit freigegeben wird. Mit der abfallenden Flanke des vom Mikroprozessor 10 erzeugten Taktes CLK liest der Mikroprozessor das ihm über die Datenleitung DATA angebotene Bit. Danach erfolgt die Weitertaktung auf den Eingang IN1 und das Einlesen des entsprechenden Bits. Dies wiederholt sich solange, bis das letzte Bit, nämlich von Eingang IN7, des Eingangsmoduls EM1 gelesen wurde. Mittels des Signals DCQ1 wird der das Eingangsmodul freigegeben. Der Multiplexer von Eingangsmodul EM2 wurde genau wie EM1 mit dem Rücksetzsignal RES auf seinen ersten Eingang gesetzt. Der weitere Taktlauf setzt die Abfrage der Eingänge IN8-IN15 fort. Nach der letzten Bitabfrage von Eingang IN15 meldet DCQ2 das Ende des Übertragungszyklus. Dem Mikroprozessor 10 liegt nun ein komplettes Datenwort vor, das ihm mittels des Seriell-Parallel-Wandlers aus dem Kommunikationszyklus übergeben wurde. Mit dem nächsten Takt von CLK wird das Rücksetzsignal RES gesendet und das Eingangsmodul EM1 aktiviert und ein neuer Übertragungszyklus kann beginnen. Durch die Erfindung wird der Verbindungsaufbau und der Bauteilebedarf, wie aus Fig.1 und Fig.2 zu ersehen ist, wesentlich optimiert.

Die Fig.3 zeigt das Funktionsablaufdiagramm eines Übertragungszyklus unter Verwendung der erfindungsgemäßen Schaltungsanordnung. Anhand dieses Funktionsablaufdiagramms wird der Informationszyklus noch einmal verdeutlicht. Weitere Erläuterungen erübrigen sich dabei, da das Funktionsablaufdiagramm selbstkommentierend die vorgenannte Beschreibung ergänzt.

Patentansprüche

1. Schaltungsanordnung für elektronische Steuerungssysteme mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale, die der Steuerungsebene mit potentialfreiem Bezug zur Eingangsebene angeboten werden, indem die Eingangsinformationen und die Steuersignale der Informationsübertragung von und zu einem Mikroprozessor über optische Koppellemente transportiert werden, wobei eine zah-

- lenmäßige Erweiterung der Informationseingänge durch Aufrüstung der Schaltstufen und Schaltmittel erreicht wird, **dadurch gekennzeichnet**, daß die Schaltungsanordnung als Eingangsmodul (EM) ausgeführt ist, das mit einem oder mehreren Eingangsmoduln kaskadierbar ist wobei pro Kaskade, unabhängig von der Anzahl der kaskadierten Eingangsmoduln (EM1-EMn), ein Kommunikationsmodul (KM) erforderlich ist, indem der Takteingang (CLK1, CLK2), der Rücksetzeingang (RES1, RES2) und der Datenausgang (DATA1, DATA2) der Eingangsmoduln (EM1, EM2) parallelgeschaltet sind und mit dem Taktausgang (CLKA), dem Rücksetzausgang (RESA) und dem Dateneingang (DATAI) des Kommunikationsmoduls verbunden sind und der Zyklus-Ende-Ausgang (DCQ1) des ersten Eingangsmoduls (EM1) mit der Zyklusfreigabe (DCI2) des zweiten Eingangsmoduls (EM2) verbunden ist und der Zyklus-Ende-Ausgang (DCQ2) des zweiten Eingangsmoduls (EM2) mit dem Zyklus-Ende-Eingang (DCQI) des Kommunikationsmoduls (KM) verbunden ist, wobei das Kommunikationsmodul (KM) den Datenstrom (DATA) und die Steuersignale (DCQ, RES, CLK) über Opto-Koppler (OK1, OK2, OK3, OK4) zum und vom Mikroprozessor transportiert.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß ein oder mehrere Vergleichselemente (EV0 - EV7, DV0 - DV7) für jeden Eingang (IN 1 - IN 7) zur Verfügung stehen, die mit Bezug auf ein oder mehrere Referenzpegel (REF 1, REF 2) eine oder mehrere Eingangsinformationen an den Eingängen (4) eines Multiplexers (1) bereitstellen.
 3. Schaltungsanordnung nach einem der Ansprüche 1 oder 2, **dadurch gekennzeichnet**, daß ein vom Mikroprozessor (10) ausgehendes Rücksetzsignal (RES) über den Opto-Koppler (OK3) des Kommunikationsmoduls (KM) eine Steuerlogik (2) veranlaßt, die Informationserkennung des Multiplexers (1) an einem definierten Eingang der Eingänge (4) zu starten.
 4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß der Mikroprozessor (10) einen internen Takt erzeugt und über den Opto-Koppler (OK4) auf den Takteingang (CLK) der Steuerlogik (2) legt, und daß der Takt den zeitlichen Verlauf des Übertragungszyklus (Fig.3) bestimmt.
 5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß das Ende eines Übertragungszyklusses (Fig.3) durch ein von der Steuerlogik (2) übermitteltes Zyklus-Ende-Signal (DCQ) dem Mikroprozessor über den Opto-Koppler (OK2) zugeführt wird.
 6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß eine Kaskadierung von zwei oder mehr Eingangsmoduln (EM1, EM2) derart erfolgt, daß der Zyklus-Ende-Ausgang (DCQ1) des ersten Eingangsmoduls (EM1) mit der Zyklusfreigabe (DCI2) des zweiten Eingangsmoduls (EM2) verbunden wird und daß bei jedem weiteren Eingangsmodul gleichermaßen verfahren wird.
 7. Schaltungsanordnung nach den Ansprüchen 1 bis 6, **dadurch gekennzeichnet**, daß der Zyklus-Ende-Ausgang (DCQ2) des letzten kaskadierten Eingangsmoduls (EM2, Fig.2) mit dem Zyklus-Ende-Eingang (DCQI) des Kommunikationsmoduls (KM) verbunden wird.
 8. Schaltungsanordnung nach den Ansprüchen 1 bis 7, **dadurch gekennzeichnet**, daß bei Kaskadierung von zwei oder mehr Eingangsmoduln (EM1, EM2) ihre Takteingänge (CLK1-CLK2), ihre Rücksetzeingänge (RES1, RES2) und ihre Dateneingänge (DATA1, DATA2) parallel geschaltet werden.
 9. Schaltungsanordnung nach Anspruch 8, **dadurch gekennzeichnet**, daß der Taktausgang (CLKA) des Kommunikationsmoduls (KM) mit den Takteingängen (CLK1...CLKn) der Eingangsmodule (EM1...EMn) parallelgeschaltet ist.
 10. Schaltungsanordnung nach Anspruch 9, **dadurch gekennzeichnet**, daß der Dateneingang (DATAI) des Kommunikationsmoduls (KM) mit den Datenausgängen (DATA1...DATA n) der Eingangsmodule (EM1...EMn) parallelgeschaltet ist.

Fig. 1

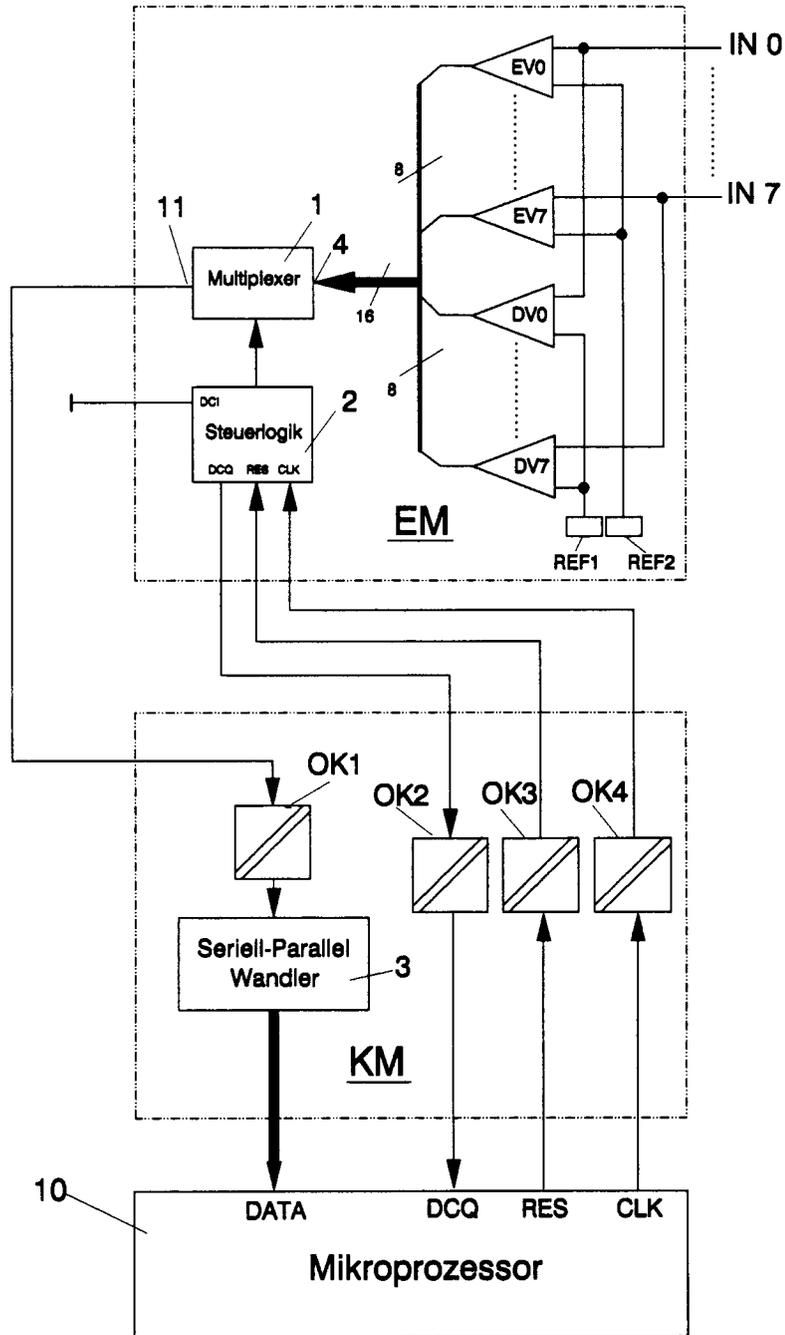
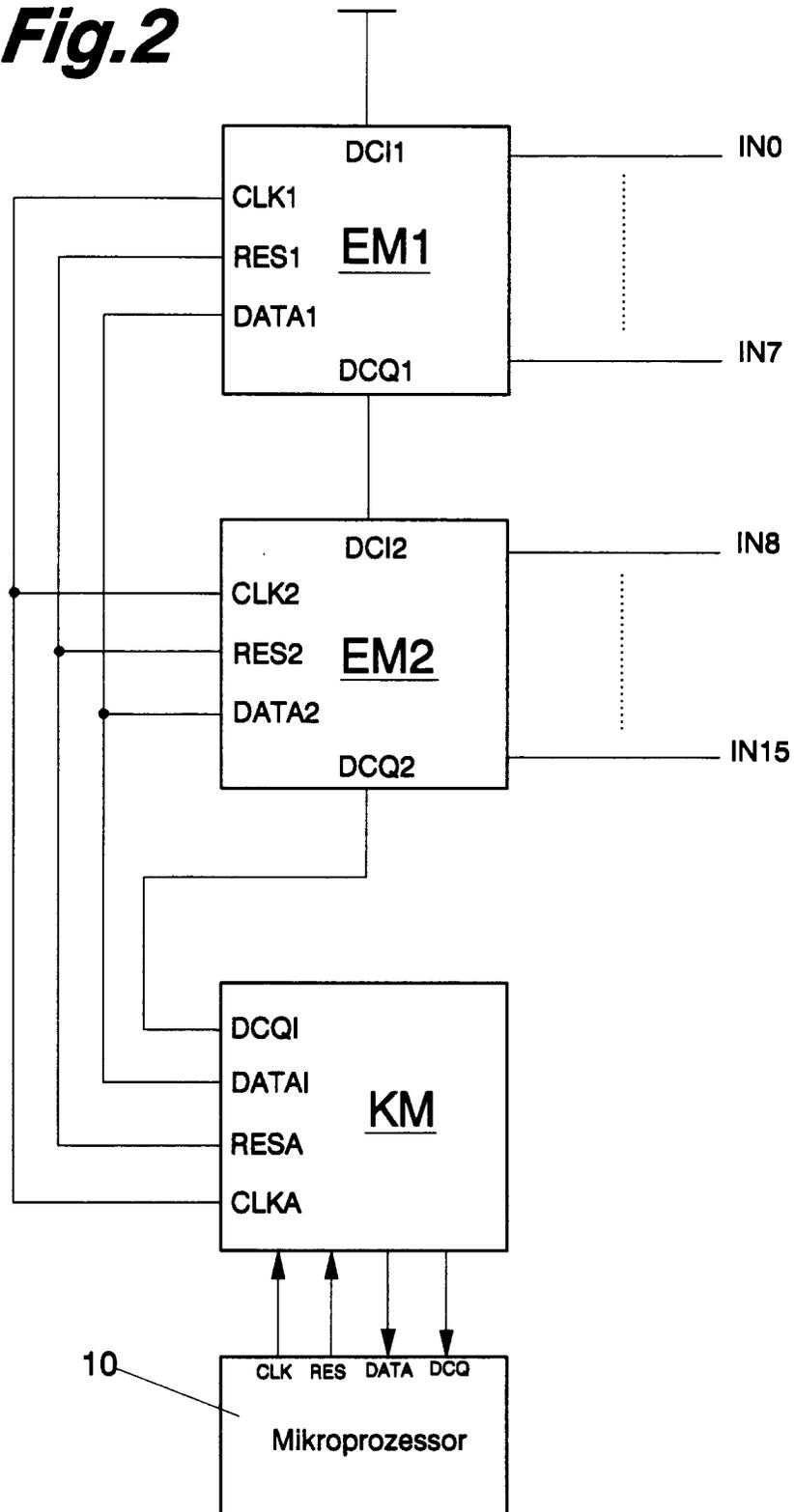
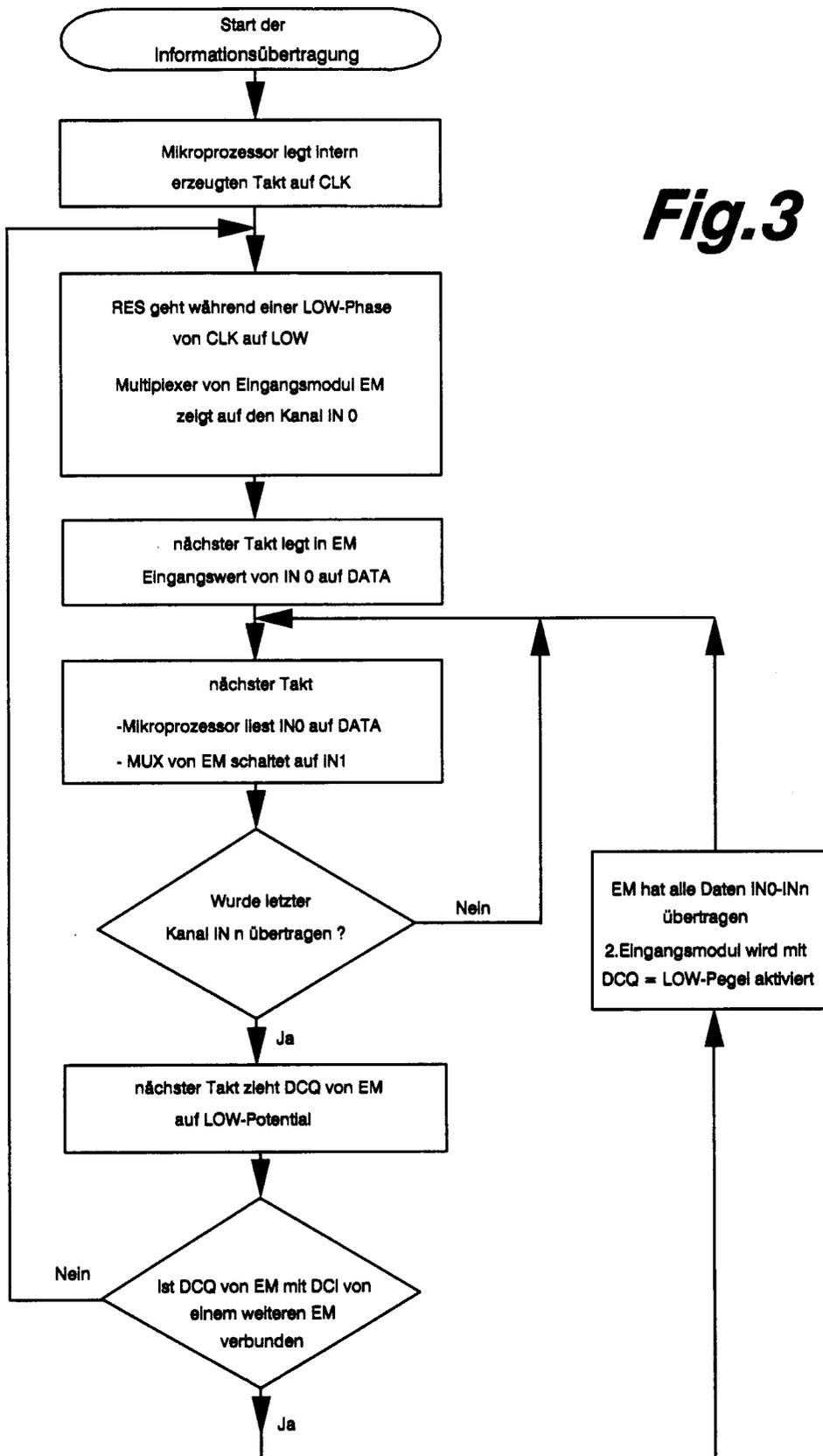


Fig.2







EINSCHLÄGIGE DOKUMENTE			EP 91117973.7
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.)
A	<u>DE - A - 3 905 735</u> (PIERBURG GMBH) * Zusammenfassung; Spalte 1, Zeile 1 - Spalte 3, Zeile 26 Fig. 1; Anspruch 1 * --	1	G 08 C 13/00
A	<u>DE - A - 3 532 661</u> (SÄNGER & CO.) * Zusammenfassung; Spalte 2, Zeile 19 - Spalte 7, Zeile 62; Fig. 1; Anspruch 1 * -----	1	
			RECHERCHIERTER SACHGEBIETE (Int. Cl.)
			G 08 C
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort WIEN		Abschlußdatum der Recherche 23-01-1992	Prüfer GRÖSSING
KATEGORIE DER GENANNTEN DOKUMENTEN X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, überein- stimmendes Dokument			