

(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11)

**EP 0 483 642 B1**

(12)

## EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des  
Hinweises auf die Patenterteilung:  
**13.03.1996 Patentblatt 1996/11**

(51) Int Cl.<sup>6</sup>: **G08C 13/00**

(21) Anmeldenummer: **91117973.7**

(22) Anmeldetag: **22.10.1991**

(54) **Schaltungsanordnung für elektronische Steuerungssysteme mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale**

Circuit for electronic control systems with switch steps for acquisition and adaptation

Circuit pour un système de contrôle électronique avec plots de contact pour acquisition et adaptation

(84) Benannte Vertragsstaaten:  
**AT CH ES FR GB IT LI NL**

(30) Priorität: **29.10.1990 DE 4034373**

(43) Veröffentlichungstag der Anmeldung:  
**06.05.1992 Patentblatt 1992/19**

(73) Patentinhaber: **Klöckner-Moeller GmbH  
D-53115 Bonn (DE)**

(72) Erfinder:

- **Kress, Wolfram, Dipl.-Phys.  
W-5200 Siegburg (DE)**
- **Klaes, Gernot, Dipl.-Ing.  
W-5300 Bonn 1 (DE)**

(56) Entgegenhaltungen:

**DE-A- 3 532 661**

**DE-A- 3 905 735**

**EP 0 483 642 B1**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die Erfindung beschreibt eine Schaltungsanordnung mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale, die der Steuerungsebene mit potentialfreiem Bezug zur Eingangsebene angeboten werden, indem die Eingangsinformationen und die Steuersignale der Informationsübertragung von und zu einem Mikroprozessor über optische Koppelemente transportiert werden, wobei eine zahlenmäßige Erweiterung der Informationseingänge durch Aufrüstung der Schaltstufen und Schaltmittel erreicht wird.

Nach dem Stand der Technik werden Peripheriebaugruppen, sogenannte Eingangsinterfaces, zur Zuführung und Bereitstellung digitaler Eingangssignale von systemexternen Befehlsgeräten wie beispielsweise Schalter, Taster, Relais und Sensoren an elektronische Steuerungssysteme benutzt.

Die Schaltungsanordnungen sind auf einer Leiterplatte aufgebracht und bringen das Eingangssignal auf ein für die Steuerungslogik verwendbares Verarbeitungsniveau. In der Technischen Dokumentation von E. A. Storz GmbH + Co KG (Dokument. Vers. 1.0, Ausgabe 09.89, Verfasser H. Muffler) ist eine typische Schaltungsanordnung einer Ein-/Ausgabekarte veröffentlicht. Die Schaltungen weisen zur Unterdrückung von Störsignalen für jeden Eingang eine Filterschaltung und zur Definierung des Schaltpegels einen Komparator auf, der das Eingangssignal auf eine Referenzspannung bezieht. Zur Potentialtrennung der Steuerungsebene von der externen Umgebung wird pro Eingang ein Optokoppler eingesetzt. Diese Maßnahme ist vom Bauteilbedarf her aufwendig und unwirtschaftlich.

In der DE-Z.: Design & Elektronik, H. 14, 5. Juli, 1988, Seiten 68, 69 wird eine galvanisch trennenden Datenerfassung beschrieben. Es wird dabei eine Schaltungsanordnung beschrieben, die elektrische Eingangssignale erfasst und bereitstellt und an das Steuerungssystem anpasst. Eine Erweiterung der Grundschialtung um acht Eingänge, benötigt jeweils einen zusätzlichen Opto-Koppler. Die Anzahl der Schaltmittel wächst mit steigender Anzahl der zu verarbeitenden Eingangssignale.

Aus der DE-A 35 32 661 ist eine Schaltungsanordnung bekannt, bei der die Signalanpassungsschaltung mit einer kompletten Schaltung für einen Kanal aufgebaut ist. Um z.B. eine Anordnung mit n Kanälen realisieren zu können, muß die o.g. Schaltung n-fach aufgebaut werden.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung für elektronische Steuerungssysteme zu schaffen, die eine galvanischen Trennung der Steuerungsebene von der Steuerungsperipherie bewirkt, wobei der Bauteilebedarf unabhängig von der Anzahl der physikalischen Eingänge immer der gleiche bleibt.

Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Schaltungsanordnung als Eingangsmodul

ausgeführt ist, das mit einem oder mehreren Eingangsmoduln kaskadierbar ist wobei pro Kaskade, unabhängig von der Anzahl der kaskadierten Eingangsmoduln, ein Kommunikationsmodul erforderlich ist, indem die Takteingänge, die Rücksetzeingänge und die Datenausgänge der Eingangsmoduln jeweils miteinander verbunden sind und mit dem jeweiligen Taktausgang, dem Rücksetz Ausgang und dem Dateneingang des Kommunikationsmoduls verbunden sind und der Zyklus-Ende Ausgang des ersten Eingangsmoduls mit der Zyklusfreigabe des zweiten Eingangsmoduls verbunden wird und daß bei jedem weiteren Eingangsmodul gleichermaßen verfahren wird, und daß der Zyklus-Ende-Ausgang des letzten kaskadierten Eingangsmoduls mit dem Zyklus-Ende-Eingang des Kommunikationsmoduls verbunden wird, wobei das Kommunikationsmodul den Datenstrom von und die Steuersignale für die Eingangsmoduln über Opto-Koppler zum und vom Mikroprozessor transportiert, und daß die EM's einen Multiplexer enthalten, dessen Aufgabe es ist, mit Hilfe der Steuersignale die parallelen Eingangssignale seriell auf den Datenausgang zu übertragen.

Die Unteransprüche 2 bis 5 kennzeichnen zweckmäßige und vorteilhafte Ausgestaltungen der Erfindung. Dabei ist es nach Anspruch 2 besonders zweckmäßig, daß ein oder mehrere Vergleichselemente für jeden Eingang zur Verfügung stehen, die mit Bezug auf ein oder mehrere Referenzpegel eine oder mehrere Eingangsinformationen an den Eingängen eines Multiplexers bereitstellen. Nach Anspruch 3 veranlaßt ein vom Mikroprozessor ausgehendes Rücksetzsignal über ein Opto-Koppler des Kommunikationsmoduls eine Steuerlogik dazu, die Informationserkennung des Multiplexers an einem definierten Eingang der Eingänge zu starten. Von Vorteil ist es weiterhin, daß der Mikroprozessor einen internen Takt erzeugt und über ein Opto-Koppler auf den Takteingang der Steuerlogik legt, und daß der Takt den zeitlichen Verlauf des Übertragungszyklus bestimmt.

Nachfolgend wird die erfindungsgemäße Schaltungsanordnung anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen

Fig.1 eine schematische Darstellung eines Eingangsmoduls und des Kommunikationsmoduls unter Verwendung der erfindungsgemäßen Schaltungsanordnung.

Fig.2 die Kaskadierung des ersten Eingangsmoduls mit einem weiteren Eingangsmodul zur zahlenmäßigen Erweiterung der Eingänge.

Fig.3 das Funktionsablaufdiagramm eines Übertragungszyklus unter Verwendung der erfindungsgemäßen Schaltungsanordnung.

Die Fig. 1 zeigt eine schematische Darstellung eines Eingangsmoduls und des Kommunikationsmoduls unter Verwendung der erfindungsgemäßen Schaltungsanordnung. In diesem Beispiel weist das Eingangsmodul EM acht Eingänge IN0 - IN7 auf, an denen je eine digitale Eingangsinformation ansteht. Jedem Eingang sind Ver-

gleichselemente EV0 bis EV7 und Diagnoseelemente DV0 bis DV7 zugeordnet. Die Ausgangspegel der Eingangs- und Diagnoseelemente liegen parallel an den Eingängen 4 des Multiplexers 1. Der Multiplexer wird zu Beginn des Übertragungszyklus durch das Rücksetzsignal RES des Mikroprozessors 10 ausgerichtet, so dass die erste zu übertragene digitale Eingangsinformation definiert wird. In diesem Beispiel würde das Rücksetzsignal RES den Zeiger des Multiplexers auf den Ausgangspegel des Eingangelementes EV0 setzen. Somit würde zuerst der Eingang IN0 abgefragt. Mit einem von dem Mikroprozessor 10 erzeugten und von der Steuerlogik 2 übermittelten Takt wird der Zeiger des Multiplexers 1 zyklisch weitergetaktet, so dass nacheinander alle 16 Eingänge 4 des Multiplexers 1 abgetastet werden. Die Steuerlogik 2 übernimmt Synchronisationsfunktion für den gesamten Übertragungszyklus. Am Ausgang 11 des Multiplexers 1 ergibt sich ein serieller Datenstrom, der über das galvanische Trennelement - vorzugsweise ein Optokoppler - einem Seriell-Parallel-Wandler 3 zugeführt wird. Dieser wandelt den seriellen Datenstrom wieder in ein, in diesem Fall, 16-bit-breites Datenwort und stellt dies dem Mikroprozessor 10 zur Verfügung. Nach der Signalübertragung des letzten Ausgangssignals DV7 endet der erste Übertragungszyklus und die Steuerlogik 2 sendet das Signal DCQ zum Mikroprozessor. Der sendet das Rücksetzsignal RES, wodurch der Zeiger des Multiplexers wieder auf das Ausgangssignal von EV0 ausgerichtet wird. Voraussetzung hierfür ist, dass keine Kaskadierung mehrerer Eingangsmodule vorgesehen war. Ist dies aber der Fall, wird das Signal DCQ des Eingangsmoduls EM auf den Eingang DCI des zu kaskadierenden Eingangsmoduls geschaltet.

Die Fig.2 zeigt die Kaskadierung des ersten Eingangsmoduls mit einem weiteren Eingangsmodul zur zahlenmäßigen Erweiterung der Eingänge. In dieser beispielhaften Anordnung sind zwei Eingangsmodule EM1 und EM2 kaskadiert. Jedes Eingangselement weist 8 Eingänge IN0-IN7 bzw. IN8-IN15 auf. Nachdem nun der Mikroprozessor 10 das Rücksetzsignal RES gesendet hat, fragt der Multiplexer des Eingangsmoduls EM1 zunächst den Signalzustand des Einganges IN0 ab. Dies geschieht, weil das Signal DC1 von dem Eingangsmodul EM1 auf Low-Potential liegt und EM1 damit freigegeben wird. Mit der abfallenden Flanke des vom Mikroprozessor 10 erzeugten Taktes CLK liest der Mikroprozessor das ihm über die Datenleitung DATA angebotene Bit. Danach erfolgt die Weitertaktung auf den Eingang IN1 und das Einlesen des entsprechenden Bits. Dies wiederholt sich solange, bis das letzte Bit, nämlich von Eingang IN7, des Eingangsmoduls EM1 gelesen wurde. Mittels des Signals DCQ1 wird das Eingangsmodul freigegeben. Der Multiplexer von Eingangsmodul EM2 wurde genau wie EM1 mit dem Rücksetzsignal RES auf seinen ersten Eingang gesetzt. Der weitere Taktablauf setzt die Abfrage der Eingänge IN8-IN15 fort. Nach der letzten Bitabfrage von Eingang IN15 meldet DCQ2 das Ende des Übertragungszyklus. Dem Mikroprozessor 10 liegt

nun ein komplettes Datenwort vor, das ihm mittels des Seriell-Parallel-Wandlers aus dem Kommunikationszyklus übergeben wurde. Mit dem nächsten Takt von CLK wird das Rücksetzsignal RES gesendet und das Eingangsmodul EM1 aktiviert und ein neuer Übertragungszyklus kann beginnen. Durch die Erfindung wird der Verbindungsaufbau und der Bauteilebedarf, wie aus Fig.1 und Fig.2 zu ersehen ist, wesentlich optimiert.

Die Fig.3 zeigt das Funktionsablaufdiagramm eines Übertragungszyklus unter Verwendung der erfindungsgemäßen Schaltungsanordnung. Anhand dieses Funktionsablaufdiagramms wird der Informationszyklus noch einmal verdeutlicht. Weitere Erläuterungen erübrigen sich dabei, da das Funktionsablaufdiagramm selbstkommentierend die vorgenannte Beschreibung ergänzt.

### Patentansprüche

1. Schaltungsanordnung zur Verbindung einer (Signal) -Eingangsebene mit einer Steuerungsebene in elektronischen Steuerungssystemen mit Schaltstufen zur Erfassung und Anpassung sowie Schaltmittel zur Bereitstellung elektrischer Eingangssignale, die der Steuerungsebene mit potentialfreiem Bezug zur Eingangsebene angeboten werden, indem die Eingangssignale und die Steuersignale der Informationsübertragung von und zu einem Mikroprozessor über optische Koppellemente transportiert werden, wobei eine zahlenmäßige Erweiterung der Informationseingänge durch zusätzliche Schaltstufen und Schaltmitteln erreicht wird, **dadurch gekennzeichnet**, daß die Schaltungsanordnung als Eingangsmodul (EM) ausgeführt ist, das mit einem oder mehreren Eingangsmodulen kaskadierbar ist, wobei pro Kaskade, unabhängig von der Anzahl der kaskadierten Eingangsmodulen (EM1-EMn), ein Kommunikationsmodul (KM) erforderlich ist, indem die Takteingänge (CLK1, CLK2), die Rücksetzeingänge (RES1, RES2) und die Datenausgänge (DATA1, DATA2) der Eingangsmodulen (EM1, EM2) jeweils miteinander verbunden sind und mit dem jeweiligen Taktengang (CLKA), dem Rücksetzgang (RESA) und dem Dateneingang (DATAI) des Kommunikationsmoduls verbunden sind und der Zyklus-Ende Ausgang (DCQ1) des ersten Eingangsmoduls mit der Zyklusfreigabe (DCI2) des zweiten Eingangsmoduls verbunden wird und daß bei jedem weiteren Eingangsmodul gleichermaßen verfahren wird, und daß der Zyklus-Ende-Ausgang (DCQ2) des letzten kaskadierten Eingangsmoduls mit dem Zyklus-Ende-Eingang (DCQI) des Kommunikationsmoduls (KM) verbunden wird, wobei das Kommunikationsmodul (KM) den Datenstrom (DATA) von und die Steuersignale für die Eingangsmodulen (DCQ, RES, CLK) über Opto-Koppler (OK1, OK2, OK3, OK4) zum und vom Mikroprozessor transportiert, und daß die Eingangsmodulen einen

Multiplexer enthalten, dessen Aufgabe es ist, mit Hilfe der Steuersignale die parallelen Eingangssignale seriell auf den Datenausgang (DATA1, DATA2) zu übertragen.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß ein oder mehrere Vergleichselemente (EV0 - EV7, DV0 - DV7) für jeden Eingang (IN 1 - IN 7) zur Verfügung stehen, die mit Bezug auf ein oder mehrere Referenzpegel (REF 1, REF 2) eine oder mehrere Eingangsinformationen an den Eingängen (4) eines Multiplexers (1) bereitstellen.
3. Schaltungsanordnung nach einem der Ansprüche 1 oder 2, **dadurch gekennzeichnet**, daß ein vom Mikroprozessor (10) ausgehendes Rücksetzsignal (RES) über den Opto-Koppler (OK3) des Kommunikationsmoduls (KM) eine Steuerlogik (2) veranlaßt, die Informationserkennung des Multiplexers (1) an einem definierten Eingang der Eingänge (4) zu starten.
4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß der Mikroprozessor (10) einen internen Takt erzeugt und über den Opto-Koppler (OK4) auf den Takteingang (CLK) der Steuerlogik (2) legt, und daß der Takt den zeitlichen Verlauf des Übertragungszyklus (Fig.3) bestimmt.
5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß das Ende eines Übertragungszyklusses (Fig.3) durch ein von der Steuerlogik (2) übermitteltes Zyklus-Ende-Signal (DCQ) dem Mikroprozessor über den Opto-Koppler (OK2) zugeführt wird.

#### Claims

1. Circuit arrangement allowing the connection of a (signal-) input level with a control level in electronic control systems, including switching stages for registration and adaptation, as well as means for switching allowing the provision of electrical input signals which are proposed to the control level with a reference to the input level that is free from potential in such a way that the input signals and the control signals of information transmission are transmitted to and from a microprocessor via optical coupling elements, while an extension in terms of the numbers of information inputs is achieved by means of additional switching stages and switching means, **wherein** the circuit arrangement is designed as an input module (EM) which can be connected in cascade with one or several input modules, while one communication module (KM) is required by cascade

irrespectively of the number of input modules (EM1-EMn) connected in cascade and while the clock inputs (CLK1, CLK2), the reset inputs (RES1, RES2) and the data outputs (DATA1, DATA2) of the input modules (EM1, EM2) are connected each with one another in this communication module (KM) and with the respective clock output (CLKA), reset output (RESA) and data input (DATAI) of the communication module and while the cycle-end output (DCQ1) of the first input module is connected with the cycle release (DCI2) of the second input module, and wherein the same procedure is adopted for any additional input module, and wherein the cycle-end output (DCQ2) of the last input module switched in cascade is connected with the cycle-end input (DCQI) of the communication module (KM), while the communication module (KM) carries the data flow (DATA) and the control signals (DCQ, RES, CLK) for the input modules to the microprocessor and away from it using opto-couplers (OK1, OK2, OK3, OK4), and wherein the input modules include a multiplexer which has the function of transmitting the parallel input signals in a serial way to the data output (DATA1, DATA2), using the control signals.

2. Circuit arrangement as claimed in claim 1, **wherein** one or several comparison elements (EV0 - EV7, DV0 - DV7) are available for every input (IN 1 - IN 7) and provide one or several input information elements at the inputs (4) of a multiplexer (1), referring to one or more reference levels (REF 1, REF 2).
3. Circuit arrangement as claimed in any claim 1 or 2, **wherein** a reset signal (RES) given by a microprocessor (10) via the opto-coupler (OK3) of the communication module (KM) determines a control logic (2) to start the information recognition of the multiplexer (1) at a defined input of inputs (4).
4. Circuit arrangement as claimed in any claim 1 through 3, **wherein** the microprocessor (10) generates an internal clock pulse and feeds it into the clock input (CLK) of the control logic (2) via opto-coupler (OK4) and wherein the clock determines the timing of the transmission cycle (fig. 3).
5. Circuit arrangement as claimed in any claim 1 through 4, **wherein** the end of a transmission cycle (fig. 3) is fed to the microprocessor via opto-coupler (OK2) and by means of a cycle-end signal (DCQ) transmitted by the control logic (2).

#### Revendications

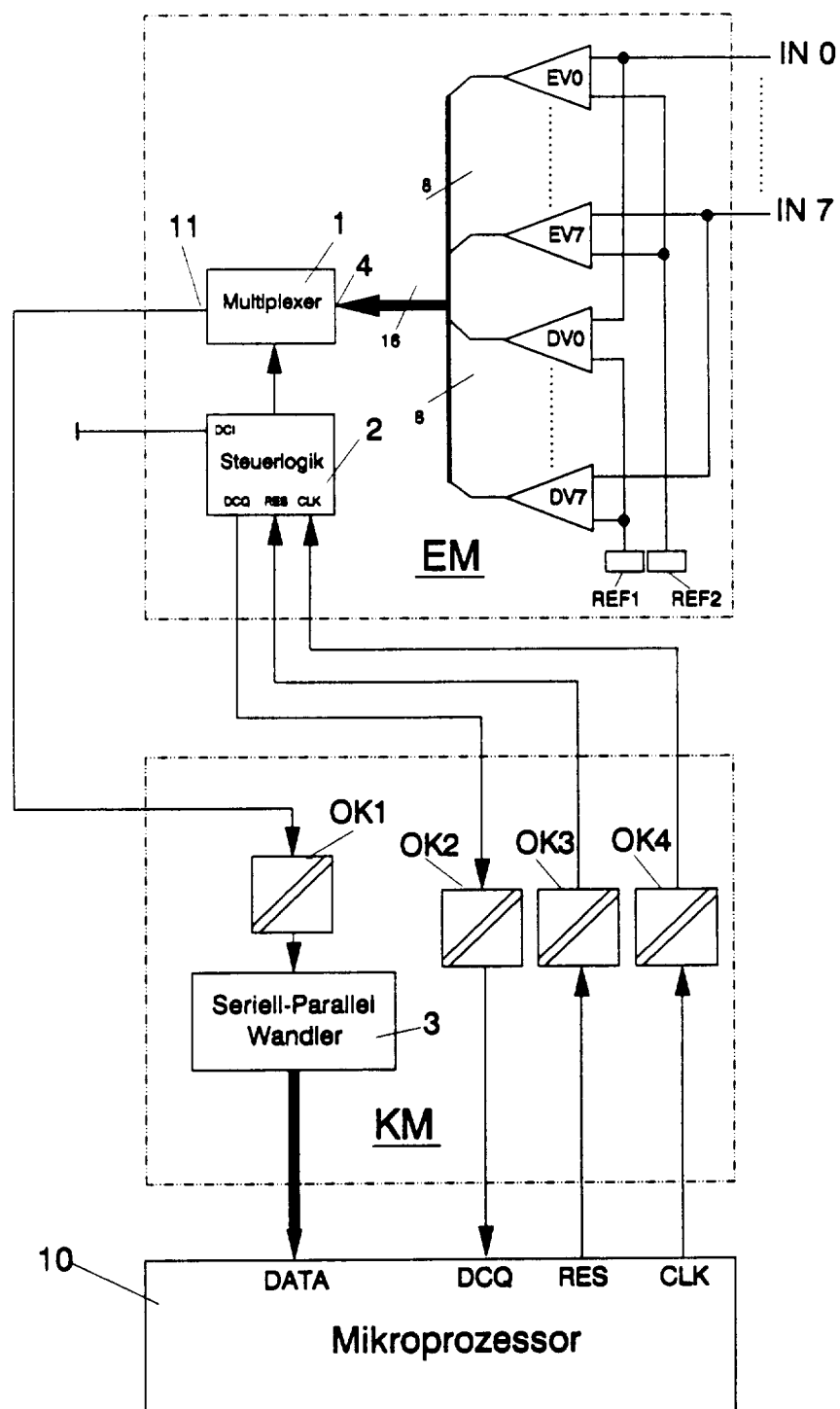
1. positif de couplage pour le raccordement d'un niveau d'entrée (de signal) à un niveau de commande, dans des systèmes de commande électro-

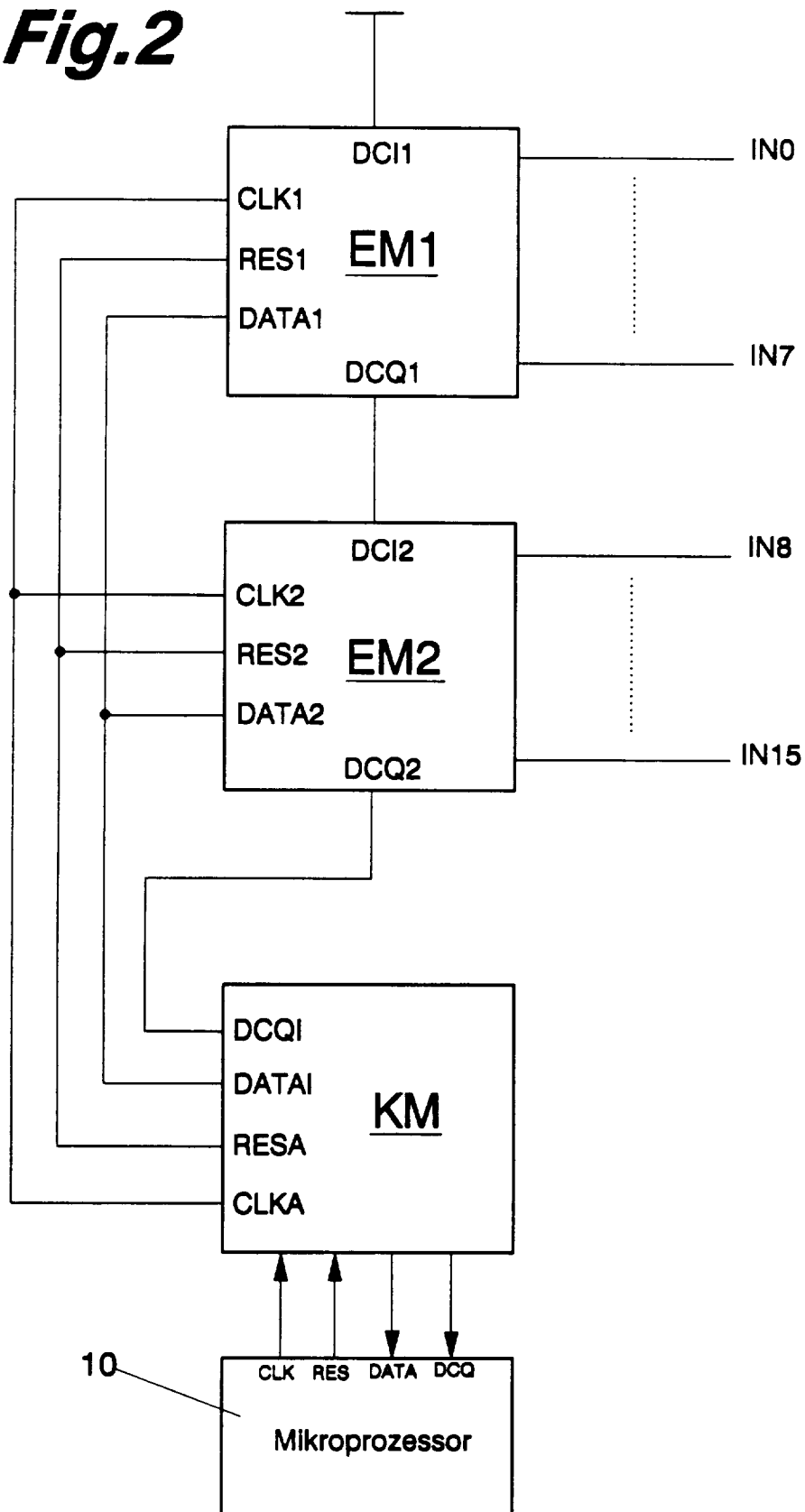
nique à niveaux de commutation, pour saisie et adaptation de même que dispositif de commutation pour chargement de signaux électriques d'entrée, lesdits signaux étant offerts au niveau de commande à libre rapport potentiel avec le niveau d'entrée, cependant que les signaux d'entrée et les signaux de commande de transmission d'information sont transmis depuis et vers un microprocesseur par des éléments de couplage optiques, ce par quoi est obtenue une extension numérique des entrées d'information par des niveaux de commutation et dispositifs de commutation supplémentaires, **caractérisé en ce que** le dispositif de couplage est réalisé comme module d'entrée (ME), lequel est montable en cascade avec un ou plusieurs modules d'entrée, ce par quoi un module de communication (MC) est nécessaire par cascade, indépendamment du nombre des modules d'entrée en cascade (ME1-MEn), cependant que les entrées de cycles (CLK1, CLK2), les entrées de retour (RES1, RES2) et les sorties de données (DATA1, DATA2) des modules d'entrée (ME1, ME2) sont respectivement reliées les unes aux autres, et reliées avec la sortie de cycle respective (SCLK), la sortie de retour (SRES) et l'entrée de données (DATAI) du module de communication, et que la sortie de fin de cycle (DCQ1) du premier module d'entrée est mise en connexion avec l'autorisation de cycle (DCI2) du second module d'entrée, en ce qu'il est procédé de la même manière pour chacun des autres modules d'entrée, et en ce que la sortie de fin de cycle (DCQ2) du dernier module d'entrée en cascade est mis en connexion avec l'entrée de fin de cycle (DCQI) du module de communication (MC), ce par quoi le module de communication (MC) transmet par des coupleurs optiques (CO1, CO2, CO3, CO4) le flux de données (DATA) depuis le microprocesseur, et les signaux de commande pour les modules d'entrée (DCQ, RES, CLK) vers et depuis le microprocesseur, et en ce que les modules d'entrée contiennent un multiplexeur, dont la fonction est de transmettre en série, au moyen des signaux de commande, les signaux d'entrées parallèles vers la sortie de données (DATA1, DATA2).

2. positif de couplage selon la revendication 1, **caractérisé en ce que** un ou plusieurs éléments de comparaison (EV0-EV7, DV0-DV7) sont disponibles pour chaque entrée (IN1-IN7), lesdits éléments de comparaison chargeant une ou plusieurs informations d'entrée aux ouvertures (4) d'un multiplexeur (1), en relation avec un ou plusieurs niveaux de référence (REF1, REF2).
3. positif de couplage selon l'une des revendications 1 ou 2, **caractérisé en ce qu'**un signal de retour (RES) sortant du microprocesseur (10) provoque par le coupleur optique (CO3) du module de com-

munication (MC) une logique de commande (2), pour la commande de reconnaissance d'information du multiplexeur à une entrée définie parmi les entrées (4).

4. positif de couplage selon l'une des revendications 1 à 3, **caractérisé en ce que** le microprocesseur (10) génère un cycle interne qu'il place sur l'entrée de cycle (CLK) de la logique de commande (2) en passant par le coupleur optique (CO4), et en ce que le cycle détermine la durée du cycle de transmission (fig.3).
5. positif de couplage selon l'une des revendications 1 à 4, **caractérisé en ce que** la fin d'un cycle de transmission (fig.3) est menée vers le microprocesseur par un signal de fin de cycle (DCQ) transmis par la logique de commande (2), passant par le coupleur optique (CO2).

**Fig. 1**

**Fig.2**

**Fig.3**