



⑫ **EUROPÄISCHE PATENTSCHRIFT**

④⑤ Veröffentlichungstag der Patentschrift :
17.05.95 Patentblatt 95/20

⑤① Int. Cl.⁶ : **G05F 1/613, G05F 3/30**

②① Anmeldenummer : **91102283.8**

②② Anmeldetag : **18.02.91**

⑤④ **Integrierbarer Shunt-Regler.**

④③ Veröffentlichungstag der Anmeldung :
26.08.92 Patentblatt 92/35

⑦③ Patentinhaber : **SIEMENS
AKTIENGESELLSCHAFT
Wittelsbacherplatz 2
D-80333 München (DE)**

④⑤ Bekanntmachung des Hinweises auf die
Patenterteilung :
17.05.95 Patentblatt 95/20

⑦② Erfinder : **Donig, Günter, Dipl.-Ing.
Zeisigstrasse 2
W-8012 Offobrunn (DE)**
Erfinder : **Scheckel, Bruno, Dipl.-Ing.
V.-Feuystasse 5
W-8017 Ebersberg (DE)**
Erfinder : **Schön, Karl-Reinhard, Dipl.-Ing.
Stephenspl. 1
W-8000 München 2 (DE)**

⑧④ Benannte Vertragsstaaten :
DE ES FR GB IT SE

⑤⑥ Entgegenhaltungen :
**GB-A- 2 226 664
US-A- 3 617 859
US-A- 3 882 372
US-A- 4 088 941
US-A- 4 160 201
IBM TECHNICAL DISCLOSURE BULLETIN Bd.
20, Nr. 3, August 1977, Seiten 1043 - 1044; D.
AZZIS: 'PARALLEL BANDGAP REGULATOR'**

EP 0 499 657 B1

Anmerkung : Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft einen integrierbaren Shunt-Regler mit einem steuerbaren Halbleiterbauelement, dessen Laststrecke zwischen die Pole einer Versorgungsspannungsquelle geschaltet ist, und dessen Steuer-
 5 eingang mit dem Ausgang eines Differenzverstärkers verbunden ist.

Ein derartiger Shunt-Regler dient als Spannungsregler und ist z.B. aus der GB-A-2226664 auch als sogenannter Parallelregler bekannt. Die Laststrecke eines Halbleiterbauelementes z. B. eines Leistungstransistors liegt dabei zwischen den Polen der zu regelnden Versorgungsspannung. Der Leistungstransistor wird durch einen Operationsverstärker gesteuert, welcher wiederum von einer Referenzspannungsquelle gespeist
 10 wird. Als Referenzspannung dient dabei meist eine sogenannte Bandabstands-Referenz. Diese ist z. B. aus Halbleiterschaltungstechnik, Tietze Schenk, 8. Auflage 1986, Seite 534 ff bekannt.

Einen eine Bandabstands-Referenz sowie einen Parallelregler aufweisender Shunt-Regler ist aus dem Linear Circuits Data Book von Texas Instruments, 1984 auf S. 6-99 ff bekannt. Dieser einstellbare Shunt-Regler weist drei Anschlüsse auf, wobei Anode und Kathode des Shunt-Reglers mit den Polen einer Versorgungsspannung zu verbinden sind und dem Referenzeingang beispielsweise eine Referenzspannung über einen Spannungsteiler zugeführt werden muß. Der in der Schaltung auf S. 6-99 gezeigte Shunt-Regler ist relativ kompliziert aufgebaut und weist eine geregelte Bandabstands-Referenz, deren Spannungswert von außen einstellbar ist sowie einen mit ihr verkoppelten Operationsverstärker auf. Diese Lösung hat den Nachteil einer erhöhten Schwingneigung durch die beiden verkoppelten Operationsverstärker.

Speziell bei der Verwendung eines derartigen Shunt-Reglers in Chip-Karten oder in Chip-Schlüsseln ist weniger eine hohe Genauigkeit der Ausgangsspannung als ein möglichst platzsparender einfacher Aufbau des Shuntreglers gefordert. In derartigen Systemen ist zur genauen Ausregelung der Betriebsspannung meist ein Serienregler dem Shunt-Regler nachgeschaltet. Der Shunt-Regler dient hier also nur zur Vorstabilisierung.

Aufgabe der Erfindung ist es daher einen integrierbaren ShuntRegler anzugeben, der mit möglichst wenig Aufwand die Ausgangsspannung in einem definierten Bereich hält.

Diese Aufgabe wird durch folgende Merkmale gelöst:

- ein erster und ein zweiten Transistor 4, 5 vorgesehen, deren Basisanschlüsse und Kollektoranschlüsse miteinander und mit dem einen Pol (1) der Versorgungsspannungsquelle verschaltet sind,
- drei Widerstände 6, 7, 8 sind vorgesehen,
- der Emitteranschluß des ersten Transistors 4 ist zum einen über den ersten Widerstand 6 mit dem anderen Pol 2 der Versorgungsspannungsquelle und zum anderen mit dem ersten Eingang 20 des Differenzverstärkers 9 verbunden,
- der Emitteranschluß des zweiten Transistors 5 ist über eine Reihenschaltung aus zweitem und drittem Widerstand 7, 8 mit dem anderen Pol 2 der Versorgungsspannungsquelle verbunden,
- die Reihenschaltung der beiden Widerstände 7, 8 weist einen Verbindungsknoten auf, der mit dem zweiten Eingang (19) des Differenzverstärkers (9) verbunden ist.

Vorteil des erfindungsgemäßen Shunt-Reglers ist, daß er lediglich zwei Versorgungsspannungsanschlüsse ohne Steuer- oder Referenzeingang aufweist. Die Referenzspannungserzeugung geschieht mittels einer Bandabstands-Referenz derart, daß die Ausgangsgröße des Regelverstärkers die zu regelnde Spannung selbst ist.
 40

Die Erfindung wird nachfolgend anhand von zwei Figuren näher erläutert. Es zeigen:

FIG 1 ein erstes Ausführungsbeispiel eines erfindungsgemäßen Shunt-Reglers,

FIG 2 eine Ausführungsform einer Bandabstands-Referenz.

Der in FIG 1 gezeigte Shunt-Regler weist zwei Anschlußklemmen 1, 2 auf, an denen die Versorgungsspannungsquelle anschließbar ist. Im gezeigten Beispiel liegt der positive Pol der Versorgungsspannungsquelle am Anschluß 1 und der negative Pol der Versorgungsspannungsquelle am Anschluß 2. Als Parallelregler ist ein Halbleiterbauelement, z. B. ein MOSFET 3 vorgesehen, dessen Laststrecke zwischen den Anschlußklemmen 1 und 2 geschaltet ist. Zur Ansteuerung des MOSFET 3 dient ein Operationsverstärker 9, dessen Ausgang mit dem Gate des MOSFET 3 verbunden ist. Der Operationsverstärker weist einen positiven und einen negativen Eingang auf. Desweiteren sind zwei npn-Transistoren 4, 5 vorgesehen. Die Basisanschlüsse und die Kollektoranschlüsse der beiden Transistoren 4, 5 sind miteinander verbunden und mit der Eingangsklemme 1 verschaltet. Der Emitteranschluß des ersten Transistors 4 ist über einen Widerstand 6 mit dem zweiten Anschluß 2 verschaltet. Außerdem ist der Emitteranschluß des ersten Transistors 4 mit dem negativen Eingang 20 des Operationsverstärkers 9. Weiterhin ist der Emitteranschluß des zweiten Transistors 5 über die Reihenschaltung eines zweiten und dritten Widerstandes 7, 8 mit dem Anschluß 2 verbunden. Die Reihenschaltung der beiden Widerstände 7, 8 weist einen Verbindungsknoten auf, der mit dem positiven Eingang 19 des Operationsverstärkers 9 verschaltet ist.

Die Bandabstands-Referenz wird durch die Transistoren 4, 5 sowie die Widerstände 6, 7, 8 gebildet. Die

Ausgangsspannung dieser Bandabstands-Referenz wird dem Operationsverstärker 9 zugeführt, welcher wiederum den MOSFET 3 steuert. Es wird also die Regelung der Differenz-Ausgangsspannung der Bandabstands-Referenz mit der Versorgungsspannungsregelung verbunden. Der Wert der Ausgangsspannung kann über die Wahl der Widerstandswerte der Widerstände 6 und 8 erfolgen. Entspricht die Ausgangsspannung an den Klemmen 1 und 2 dem durch die Widerstände 6 und 8 definierten Wert, so wird die Eingangsreferenzspannung des Operationsverstärkers zu 0.

Ein Nachteil der in FIG 1 dargestellten Bandabstands-Referenz ist, daß der Temperaturgang der Ausgangsspannung an den Anschlüssen 1 und 2 im gleichen Maße schlechter wird, wie die Ausgangsspannung von der Bandabstands-Referenzspannung abweicht. Außerdem ist die Arbeitspunkteinstellung des Operationsverstärkers 9 wegen der kleinen Schwellspannung der bipolaren Transistoren schwierig.

FIG 2 zeigt hier eine Verbesserung der in FIG 1 gezeigten Bandabstands-Referenzschaltung.

Die in FIG 2 gezeigte Bandabstands-Referenz weist zu der in FIG 1 gezeigten zusätzlich vier weitere Transistoren 10, 11, 12, 13 auf. Der Emitter des ersten zusätzlichen Transistors 10 ist mit den beiden Basisanschlüssen des ersten und zweiten Transistors 4, 5 verbunden. Der Emitter des zweiten zusätzlichen Transistors 11 ist mit der Basis des ersten zusätzlichen Transistors 10, der Emitter des dritten zusätzlichen Transistors 12 mit der Basis des zweiten zusätzlichen Transistors 11 und der Emitter des vierten zusätzlichen Transistors 13 mit der Basis des dritten zusätzlichen Transistors 12 verbunden. Die Kollektoren aller vier zusätzlichen Transistoren 10, 11, 12, 13 sind mit den Kollektoren des ersten und zweiten Transistors 4, 5 verschaltet. Weiterhin ist die Basis des vierten zusätzlichen Transistors 13 mit seinem Kollektor verschaltet. Es sind weiterhin ein vierter, fünfter und sechster Widerstand vorgesehen, wobei der vierte Widerstand 14 zwischen den Emitter des zweiten zusätzlichen Transistor 11 und dem Emitter des ersten zusätzlichen Transistors 10, der zweite Widerstand zwischen dem Emitter des dritten zusätzlichen Transistors 12 und dem Emitter des ersten zusätzlichen Transistors 10 und der dritte Widerstand 16 zwischen dem Emitter des vierten zusätzlichen Transistors 13 und dem Emitter des ersten zusätzlichen Transistors 10 geschaltet ist. Schließlich liegt zwischen den verschalteten Basisanschlüssen des ersten und zweiten Transistors 4, 5 und dem Anschluß 2 eine Reihenschaltung eines siebten und achten Widerstands 17 und 18. Die übrigen in FIG 2 dargestellten Bauelemente entsprechen den in FIG 1 gezeigten und haben die gleiche Bezeichnung. Mit 19 und 20 sind wiederum die Anschlüsse bezeichnet, die zu den beiden Eingängen des Operationsverstärkers 9 aus FIG 1 führen.

Durch Hinzufügen der vier Basis-Emitter-Spannungen der zusätzlichen Transistoren 10, 11, 12, 13, die in Reihe zur ursprünglichen Bandabstands-Referenz geschaltet sind, wird zum einen die Differenzeingangsspannung des nachfolgenden Operationsverstärkers 9 in günstiger Weise von dem am Anschluß 1 anliegenden Potential verschoben, zum anderen wird der Punkt der vollständigen Temperaturkompensation hier um den ca. 5-fachen Wert verschoben. Gegenüber der in FIG 1 gezeigten Schaltung, in der der Wert der Bandabstands-Referenzspannung bei ca. 1,2 V liegt, weist hier die Bandabstands-Referenzspannung einen Wert von ca. 6V auf. Abweichungen von dieser fallen also weniger ins Gewicht.

Eine Erweiterung wie sie in FIG 2 dargestellt ist, ist nicht auf vier Transistoren beschränkt, sondern kann beliebig innerhalb eines sinnvollen Rahmens vergrößert oder verkleinert werden. Erfindungswesentlich ist die Erhöhung der Bandabstands-Referenzspannung durch n in Serie geschaltete Transistoren, deren Kollektoren am positiven Versorgungspotential liegen. Die Ausgangsspannung ist dann beim n+1-fachen Wert der Bandabstands-Referenzspannung temperaturkompensiert.

Aus Gründen leichter Einstellbarkeit von Widerstandswerten wurden in FIG 2 zwei Widerstände 17 und 18 gewählt. Diese können beliebig durch einen oder eventuell mehrere Widerstände ersetzt werden.

Die Schaltung incl. der bipolaren npn-Transistoren läßt sich besonders in einer CMOS-Technologie mit n-Substrat realisieren. Die Kollektoranschlüsse der bipolaren npn-Transistoren werden durch das gemeinsame Substrat gebildet. Dies ist möglich, da nur bipolare Transistoren verwendet werden, die als Emitterfolger geschaltet sind. Derartige Transistoren werden auch als parasitäre "Substrat-npn-Transistoren" bezeichnet.

Die gezeigte Schaltung eignet sich insbesondere für transportable Datenträger, z. B. sogenannte Chip-Karten und Chip-Schlüssel, die keine eigene Stromversorgung aufweisen und deren Energiezuführung mittels zweier Spulen erfolgt.

Patentansprüche

1. Integrierbarer Shunt-Regler mit einem steuerbaren Halbleiterbauelement (3), dessen Laststrecke zwischen die Pole (1, 2) einer Versorgungsspannungsquelle geschaltet ist, und dessen Steuereingang mit dem Ausgang eines Differenzverstärkers (9) verbunden ist, **dadurch gekennzeichnet**, daß
 - ein erster und ein zweiter Transistor (4, 5) vorgesehen ist, deren Basisanschlüsse und Kollektoran-

- schlüsse miteinander und mit dem einen Pol (1) der Versorgungsspannungsquelle verschaltet sind,
- drei Widerstände (6, 7, 8) vorgesehen sind,
 - der Emitteranschluß des ersten Transistors (4) zum einen über den ersten Widerstand (6) mit dem anderen Pol (2) der Versorgungsspannungsquelle und zum anderen mit dem ersten Eingang (20) des Differenzverstärkers (9) verbunden ist,
 - der Emitteranschluß des zweiten Transistors (5) über eine Reihenschaltung aus zweitem und drittem Widerstand (7, 8) mit dem anderen Pol (2) der Versorgungsspannungsquelle verbunden ist,
 - die Reihenschaltung der beiden Widerstände (7, 8) einen Verbindungsknoten aufweist, der mit dem zweiten Eingang (19) des Differenzverstärkers (9) verbunden ist.

10

2. Integrierbarer Shunt-Regler nach Anspruch 1, **dadurch gekennzeichnet**, daß

- n ($n \geq 1$) weitere Transistoren (10, 11, 12, 13) vorgesehen sind, die zwischen die Basisanschlüsse und Kollektoranschlüsse des ersten und zweiten Transistors (4, 5) geschaltet sind,
- der Emitteranschluß des ersten der weiteren Transistoren (10) mit den Basisanschlüssen des ersten und zweiten Transistors (4,5) verbunden ist,
- der Emitteranschluß des $n+1$ -ten der weiteren Transistoren (11, 12, 13) jeweils zum eine mit dem Basisanschluß des n -ten der weiteren Transistoren (10, 11, 12) und zum anderen über jeweils einen Widerstand (14, 15, 16) mit den Basisanschlüssen des ersten und zweiten Transistors (4, 5) verbunden ist,
- der Basisanschluß des letzten der weiteren Transistoren (13) mit seinem Kollektoranschluß verbunden ist,
- die Kollektoranschlüsse der n weiteren Transistoren (10, 11, 12, 13) mit den Kollektoranschlüssen des ersten und zweiten Transistors (4, 5) verbunden sind,
- ein Widerstand (17, 18) zwischen den Basisanschlüssen des ersten und zweiten Transistors (4, 5) und den anderen Pol (2) der Versorgungsspannungsquelle geschaltet ist.

15

20

25

3. Integrierbarer Shunt-Regler nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der Shunt-Regler in CMOS-Technologie aufgebaut ist, wobei die bipolaren Transistoren durch parasitäre Strukturen gebildet werden.

30

4. Integrierbarer Shunt-Regler nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß der Shunt-Regler in einer Chip-Karte oder in einem Chip-Schlüssel vorgesehen ist.

35

Claims

1. Integral shunt regulator having a controllable semiconductor component (3) whose load path is connected between the poles (1, 2) of a supply voltage source and whose control input is connected to the output of a differential amplifier (9), characterized in that

40

45

50

- a first and a second transistor (4, 5) are provided, whose base terminals and collector terminals are interconnected and are connected to one pole (1) of the supply voltage source,
- three resistors (6, 7, 8) are provided,
- the emitter terminal of the first transistor (4) is connected, on the one hand, via the first resistor (6) to the other pole (2) of the supply voltage source, and is connected, on the other hand, to the first input (20) of the differential amplifier (9),
- the emitter terminal of the second transistor (5) is connected to the other pole (2) of the supply voltage source via a series circuit composed of second and third resistors (7, 8),
- the series circuit of the two resistors (7, 8) has a connection node which is connected to the second input (19) of the differential amplifier (9).

2. Integral shunt regulator according to Claim 1, characterized in that

55

- n ($n \geq 1$) further transistors (10, 11, 12, 13) are provided which are connected between the base terminals and collector terminals of the first and second transistor (4, 5),
- the emitter terminal of the first of the further transistors (10) is connected to the base terminals of the first and second transistor (4, 5),

- the emitter terminal of the (n+1)-th of the further transistors (11, 12, 13) is respectively connected, on the one hand, to the base terminal at the n-th of the further transistors (10, 11, 12) and, on the other hand, via respectively one resistor (14, 15, 16) to the base terminals of the first and second transistor (4, 5),
 - the base terminal of the last of the further transistors (13) is connected to its collector terminal,
 - the collector terminals of the n further transistors (10, 11, 12, 13) are connected to the collector terminals of the first and second transistor (4, 5),
 - a resistor (17, 18) is connected between the base terminals of the first and second transistor (4, 5) and the other pole (2) of the supply voltage source.
3. Integral shunt regulator according to Claim 1 or 2, characterized in that the shunt regulator is constructed using CMOS technology, the bipolar transistors being formed by parasitic structures.
4. Integral shunt regulator according to one of the preceding claims, characterized in that the shunt regulator is provided in a chip card or in a chip key.

Revendications

1. Régulateur shunt intégrable comportant un composant à semiconducteurs commandable (3), dont la section de charge est branchée entre les bornes (1,2) d'une source de tension d'alimentation et dont l'entrée de commande est reliée à la sortie d'un amplificateur différentiel (9), caractérisé par le fait que
- il est prévu des premier et second transistors (4,5), dont les bornes de base et les bornes de collecteur sont reliées entre elles et à une borne (1) de la source de tension d'alimentation,
 - trois résistances (6,7,8) sont prévues,
 - la borne d'émetteur du premier transistor (4) est reliée, d'une part, par l'intermédiaire d'une première résistance, (6) à l'autre borne (2) de la source de tension d'alimentation et, d'autre part, à la première entrée (20) de l'amplificateur différentiel (9),
 - la borne d'émetteur du second transistor (5) est reliée, par l'intermédiaire d'un circuit série formé de seconde et troisième résistances (7,8), à l'autre borne (2) de la source de tension d'alimentation,
 - le circuit série des deux résistances (7,8) possède un noeud de liaison, qui est relié à la seconde entrée (19) de l'amplificateur différentiel (9).
2. Régulateur Shunt intégrable suivant la revendication 1, caractérisé par le fait que
- il est prévu n ($n \geq 1$) autres transistors (10,11,12,13), qui sont branchés entre les bornes de base et les bornes de collecteur des premier et second transistors (4,5),
 - la borne d'émetteur du premier des autres transistors (10) est reliée aux bornes de base des premier et second transistors (4,5),
 - la borne d'émetteur du (n+1)-ème des autres transistors (11,12,13) est reliée respectivement, d'une part, à la borne de base du n-ème des autres transistors (10,11,12) et d'autre part, par l'intermédiaire respectivement d'une résistance (14,15,16), aux bornes de base des premier et second transistors (4,5),
 - la borne de base du dernier des autres transistors (13) est reliée à sa borne de collecteur,
 - des bornes de collecteur des n autres transistors (10,11, 12,13) sont reliées aux bornes de collecteur des premier et second transistors (4,5),
 - une résistance (17,18) est branchée entre les bornes de base des premier et second transistors (4,5) et l'autre borne (2) de la source de tension d'alimentation.
3. Régulateur Shunt intégrable suivant la revendication 1 ou 2, caractérisé par le fait que le régulateur shunt est agencé selon la technologie CMOS, les transistors bipolaires étant formés par des structures parasites.
4. Régulateur Shunt intégrable suivant l'une des revendications précédentes, caractérisé par le fait que le régulateur shunt est prévu dans une carte à puce ou dans une clé à puce.

FIG 1

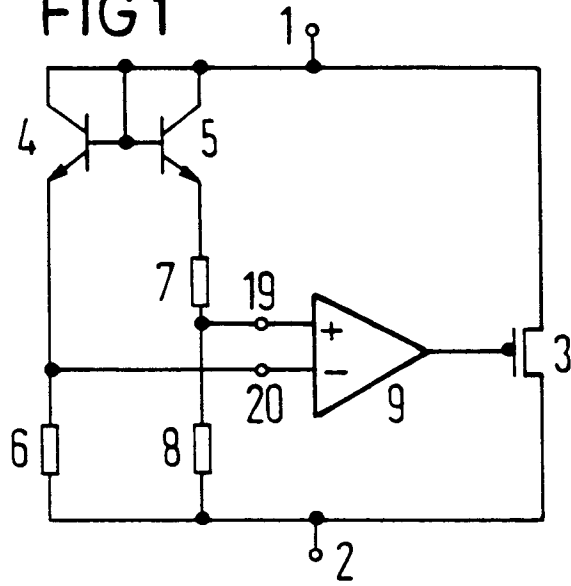


FIG 2

