



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 0 500 147 B2**

(12) **NEUE EUROPÄISCHE PATENTSCHRIFT**

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Entscheidung über den
Einspruch:

22.08.2001 Patentblatt 2001/34

(51) Int Cl.7: **G09G 1/16**

(45) Hinweis auf die Patenterteilung:
24.04.1996 Patentblatt 1996/17

(21) Anmeldenummer: **92107715.2**

(22) Anmeldetag: **21.03.1990**

(54) **Verfahren zur Ansteuerung eines Monitors und Monitorsteuerschaltung**

Method of and device for controlling a monitor

Méthode et dispositif de commande d'un moniteur

(84) Benannte Vertragsstaaten:
AT BE CH DE DK ES FR GB IT LI LU NL SE

(30) Priorität: **12.05.1989 DE 3915562**

(43) Veröffentlichungstag der Anmeldung:
26.08.1992 Patentblatt 1992/35

(62) Dokumentnummer(n) der früheren Anmeldung(en)
nach Art. 76 EPÜ:
90904821.7 / 0 468 973

(73) Patentinhaber: **SPEA Software GmbH**
D-82319 Starnberg (DE)

(72) Erfinder:
• **Schwarz, Stefan**
W-8137 Berg (DE)
• **Cartwright, Ian**
W-8036 Stockdorf (DE)

(74) Vertreter: **Schoppe, Fritz, Dipl.-Ing.**
Schoppe, Zimmermann & Stöckeler
Patentanwälte
Postfach 71 08 67
81458 München (DE)

(56) Entgegenhaltungen:
EP-A- 0 236 177 **EP-A- 0 261 791**

- **IBM TECHNICAL DISCLOSURE BULLETIN, vol. 28, no. 6, November 1985, pages 2615-2620: "Video Compatability Feature"**
- **IBM TECHNICAL DISCLOSURE BULLETIN, vol. 33, no. 6A, November 1990, Armonk, US, pages 492-494: "Concurrent CRT/PDP Display with FIFO and Frame Buffer"**
- **IEEE Transactions on consumer electronics, vol.34, no.1, pp. 236-245, Feb. 1988**

EP 0 500 147 B2

Beschreibung

[0001] Die vorliegende Erfindung befaßt sich mit einem Verfahren zur Ansteuerung eines bei einer zweiten Pixelfrequenz arbeitenden Monitors, dessen Anzeige durch Auslesen eines digitalen Bildsignales mit einer zweiten Pixelfrequenz aus einer Videospeichervorrichtung erzeugbar ist, aufgrund sämtlicher Datenworte eines eine erste Pixelfrequenz aufweisenden digitalen Bildsignales. Ferner befaßt sich die vorliegende Erfindung mit einer Monitorsteuerschaltung, die dazu dient, einen bei einer zweiten Pixelfrequenz arbeitenden Monitor anzusteuern, dessen Anzeige durch Auslesen eines digitalen Bildsignales mit der zweiten Pixelfrequenz aus einer Videospeichervorrichtung erzeugbar ist, aufgrund sämtlicher Datenworte eines eine erste Pixelfrequenz aufweisenden digitalen Bildsignales.

[0002] Computermonitore werden bekannterweise in Abhängigkeit von den Anforderungen bezüglich der geforderten Bildschirmauflösung durch Graphikkarten unterschiedlicher Kategorien angesteuert, die sich untereinander durch die horizontale und vertikale Auflösung, also die Anzahl der Pixel, in horizontaler und vertikaler Richtung sowie durch die Pixelfrequenzen unterscheiden. Bekannte Graphikkarten-Standards sind beispielsweise MDA (320 x 200 Bildpunkte, Schwarzweiß, bei 16 MHz Pixelfrequenz), CGA (320 x 200 Bildpunkte, Farbe, bei 20 MHz Pixelfrequenz), HERCULES (740x400 Bildpunkte, Schwarzweiß, bei 27 MHz Pixelfrequenz), EGA (640 x 350 Bildpunkte, Farbe, bei 30 MHz Pixelfrequenz), VGA (640 x 480 Bildpunkte, Farbe, bei 32 MHz Pixelfrequenz), SUPER-EGA (800 x 600 bzw. 1024 x 768 Bildpunkte, Farbe, bei 50 MHz Pixelfrequenz, sowie neuerdings die sogenannten HR (High Resolution)-Graphiksysteme mit 1024 x 768, 1080 x 1024 sowie 1600 x 1280 Bildpunkten, Farbe, bei Pixelfrequenzen zwischen 60 MHz und 170 MHz. Für den Fachmann ist es offensichtlich, daß sich diese verschiedenen Graphik-Standards auch bezüglich der Zeilenfrequenzen, also dem Kehrwert der Horizontalsynchronisationssignalperioden, unterscheiden, die für die genannten Systeme bei 17 kHz, 22 kHz, 25 kHz, 31,5 kHz, 50 kHz sowie 64 bis 84 kHz liegen.

[0003] Es besteht seit längerer Zeit der Wunsch, die Ausgangssignale der verschiedenen Graphik-Standards mittels eines einzigen Monitores zu Bildschirmbildern umwandeln zu können. Zu diesem Zweck bedient man sich derzeit sogenannter "Multisync"-Monitore, die in der Lage sind, mittels umschaltbarer Schwingkreise mit verschiedenen Horizontalsynchronisationssignalfrequenzen zu arbeiten. Da die Umschaltung des "Multisync"-Monitores von einer Graphiknorm auf die nächste und somit von einer Arbeitsfrequenz auf die nächste mit einer gewissen Einschwingzeit verbunden ist, führt die Umschaltung der Bildschirmdarstellung von einer Graphiknorm auf eine nächste zu zeitlichen Unterbrechungen der Bildschirmanzeige oder anfänglichen Bildstörungen. Selbstredend steigt die Komplexität eines

"Multisync"-Monitores mit zunehmender Anzahl der durch diesen bewältigbaren Graphikkarten-Standards an. Eine Anzeige zweier Teilbilder, die von zwei verschiedenen Graphikkarten kreiert werden, auf einem gemeinsamen Bildschirm ist bei den bekannten "Multisync"-Monitoren gleichfalls nicht möglich.

[0004] Die DE-A1-38 04 460 offenbart bereits eine Monitorsteuerschaltung für Ansteuerung eines bei einer zweiten Pixelfrequenz arbeitenden Monitores aufgrund eines eine erste Pixelfrequenz aufweisenden digitalen Bildsignales, mit einem eingangsseitigen Seriell-Parallel-Wandler in Form eines Schieberegisters, an dessen Ausgang eine Videospeichervorrichtung angeschlossen ist, in die das eingangsseitige Bildsignal nach seiner Seriell-Parallel-Wandlung ablegbar ist. Da es sich bei dem Speicher lediglich um ein Schieberegister zur Seriell-Parallel-Wandlung handelt, das zum Zwecke der Seriell-Parallel-Wandlung mit dem Takt des Subsystems nach dem jeweiligen Auftreten des Blanksignales des Subsystemes getaktet wird, wird das eingangsseitige Bildsignal mit der Frequenz seines Subsystemtaktes in die Videospeichervorrichtung eingeschrieben. Wegen der fehlenden Synchronität des Einschreibens des Bildsignales in die Videospeichervorrichtung mit dem ersten Subsystemtakt und des Auslesens aus dem Videospeicher mit dem Hauptsystemtakt können Überschneidungen des Einschreibens und des Auslesens auftreten. Diese Überschneidungen werden nach dem Stand der Technik dadurch ausgeräumt, daß einige Bildelemente eines jeden Teilbildes nicht aktualisiert werden, indem dem Transferzyklus und somit dem Auslesen des Videospeichers ein Vorrang gegenüber dem Auffrischen eingeräumt wird. Die Folge dieser Art der Steuerung ist ein teilweise nicht aktueller Bildinhalt der jeweiligen Teilbilder.

[0005] Aus der DE-A1-34 25 636 ist es bekannt, bei einer Raster-Aufzeichnungseinrichtung, deren Raster-elemente in einer vorbestimmten Folge angesteuert werden müssen, und die einen Bildspeicher aufweist, zwischen einem Prozessor und der Aufzeichnungseinrichtung einen Fifo-Speicher anzuordnen. Sobald der Fifo-Speicher leer ist, unterbricht ein Interrupt-Befehl das im Prozessor laufende Programm, woraufhin neue Daten in den Fifo-Speicher eingeschrieben werden, wobei nach dessen Füllen der Prozessor den unterbrochenen Programmlauf wieder aufnimmt.

[0006] Aus dem Fachbuch Jan Hendrik Jansen, Anwendungen digitaler Bauelemente, Franzis-Verlag, ISBN 3-7723-7931-1, 1985, ist es bekannt, daß Fifo-Speicher Register sind, die in der digitalen Elektronik zum Speichern von Zwischenergebnissen dienen und die zur Koppelung von nach unterschiedlichen Zeitschemata arbeitenden Medien eingesetzt werden können. Mit Monitorsteuerschaltungen befaßt sich diese Fachveröffentlichung nicht.

[0007] Aus der FR-A-2 608 291 ist eine Schaltung zur Anpassung einer Graphikkarte einer bestimmten Fernsehnorm an einen Monitor einer anderen Fernsehnorm

bekannt, bei der eine durch einen Videoprozessor erfolgende Datenverarbeitung durch einen periodisch erzeugten Auffastimpuls in Relation zu den für die Konvertierung nötigen auszulassenden oder einzufügenen Bildzeilen unterbrochen wird. Dies ermöglicht keine vollständige Aktualisierung des Monitorbildes.

[0008] Aus der Fachveröffentlichung IBM-TDB, Band 28, Nr. 6, November 1985, Seiten 2615 bis 2620 ist ein weiteres Verfahren zur Umwandlung eines von einer Graphikkarte stammenden digitalen Videosignales in ein Bildsignal eines anderen Graphikstandards bekannt, bei dem jedoch gleichfalls nur eine unvollständige Aktualisierung der Bildinhalte erreicht wird, so daß es insbesondere bei schnell bewegten Szenen zu merklichen Bildverfälschungen kommt. Bei diesem System wird das Schieberegister als vollständige Zeile durch einen Mikroprozessor ausgelesen, der erst die vollständige Zeile in einen Bildpuffer ablegen muß, bevor nach Erhöhung eines Zeilenzählers eine weitere vollständige Zeile des eingangsseitigen Bildsignales aufgenommen werden kann. Anstelle des Schieberegisters zum Speichern der Datenworte von jeweils einer Zeile des eingangsseitigen Bildsignales kann ebenfalls ein Fifo-Speicher verwendet werden, der jedoch auch zur Aufnahme von jeweils einer vollständigen Bildzeile angesteuert wird. Wegen der fehlenden Aktualisierung kommt es nur bei langsam bewegten Bildern zu einem befriedigenden Bild, während schnell bewegte Bilder mangels Aktualisierung nicht zufriedenstellend wiedergegeben werden.

[0009] Die EP-A-261791 befaßt sich nicht mit der Darstellung eines Bildsignales mit einer ersten Pixelfrequenz auf einem Monitor, der mit einer zweiten Pixelfrequenz arbeitet, sondern mit der Aktualisierung des Inhaltes eines Auffrischspeichers für einen Monitor mit hoher Auflösung aufgrund einer Bildsignalquelle, die durch einen Hauptspeicher gebildet ist. Sowohl die Bildsignalquelle, welche unter der Steuerung eines Mikroprozessors auslesbar ist, wie auch der Rest des gesamten Monitorsystemes arbeiten unter der einheitlichen Zeitgabe eines einzigen Taktgenerators, so daß die Problematik der Umwandlung von Bildsignalen unterschiedlicher Pixelfrequenzen hier nicht auftreten kann. Bei diesem bekannten System zur Auffrischung des Speichers eines Monitors werden lediglich solche Datenpunkte des Hauptspeichers, die eine neue Bildinformation enthalten, in einen Daten-Fifo-Puffer geschoben. Ein Datenmuster, welches aufzufrischende und nicht aufzufrischende Pixel des Auffrischspeichers anzeigt, wird in einem weiteren Fifo-Register durch den Mikroprozessor eingebracht. In einer normalen Betriebsweise werden sämtliche Bilddaten für den Monitor der Reihe nach lediglich aus dem Auffrischspeicher unter der Wirkung eines Adressgenerators ausgelesen und dem Monitor zugeführt. Falls ein Auffrischen erforderlich ist, werden diskontinuierlich lediglich die aufzufrischenden Bildpixel aus dem Daten-Fifo-Puffer herausgeschoben und einerseits unter Steuerung des Steuer-Fifo-Speichers in

den Auffrischspeicher und andererseits an die so festgelegten Pixel des Monitors weitergegeben.

[0010] Daher liegt der Erfindung die Aufgabe zugrunde, ein derartiges Monitoransteuerungsverfahren und eine derartige Monitorsteuerschaltung zu schaffen, durch die bei einer zweiten Pixelfrequenz arbeitender Monitor mittels eines eine erste Pixelfrequenz aufweisenden digitalen Bildsignales derart ansteuerbar ist, daß die anzuzeigenden Bildsignale jeweils fehlerfrei und vollständig aktualisiert sind.

[0011] Diese Aufgabe wird durch ein Verfahren gemäß Patentanspruch 1 und durch eine Monitorsteuerschaltung gemäß Patentanspruch 5 gelöst.

[0012] Der Erfindung liegt die Erkenntnis zugrunde, daß die Ansteuerung des mit der zweiten Pixelfrequenz arbeitenden Monitores, die mit der ersten Pixelfrequenz weder synchronisiert ist noch üblicherweise in einem festen, geraden Zahlenverhältnis steht, mittels des Bildsignales der ersten Pixelfrequenz dann möglich ist, wenn die Datenworte des digitalen Bildsignales zunächst in einer Fifo-Speichervorrichtung zwischengespeichert werden, bevor sie in eine Videospeichervorrichtung abgelegt werden, die in Synchronisation mit dem Betrieb des Monitores bei der zweiten Pixelfrequenz in einer an sich bekannten Weise auslesbar ist, um die Monitoranzeige zu erzeugen. Wie noch näher erläutert wird, bewirkt die Übertragung der Datenworte von der Fifo-Speichervorrichtung in die Videospeichervorrichtung eine Steuervorrichtung, die mit der Videospeichervorrichtung und der Fifo-Speichervorrichtung verbunden ist und diese in der Weise ansteuert, daß Datenworte aus der Fifo-Speichervorrichtung in die Videospeichervorrichtung einschreibbar ist.

[0013] Bevorzugte Weiterbildungen sind in den Unteransprüchen angegeben.

[0014] Nachfolgend wird unter Bezugnahme auf die beiliegenden Zeichnungen eine bevorzugte Ausführungsform der erfindungsgemäßen Monitorsteuerschaltung näher erläutert. Es zeigen:

Fig. 1 ein Blockdiagramm einer Ausführungsform der erfindungsgemäßen Monitorsteuerschaltung;

Fig. 2 eine zeitliche Darstellung von Signalverläufen zur Erläuterung der Funktionsweise einer ersten Steuervorrichtung gemäß Fig. 1;

Fig. 3 eine Blockdarstellung der in Fig. 1 gezeigten ersten Steuervorrichtung;

Fig. 4 ein Blockdiagramm einer in Fig. 1 gezeigten Registervorrichtung;

Fig. 5 eine zeitliche Darstellung von Signalverläufen zur Erläuterung der Funktionsweise einer in Fig. 1 gezeigten Anzeigezählervorrichtung;

- Fig. 6 ein Blockdiagramm eines Details der Anzeigezählervorrichtung gemäß Fig. 1;
- Fig. 7 eine zeitliche Darstellung von Signalverläufen zur Erläuterung der Funktion eines weiteren Teiles der in Fig. 1 gezeigten Anzeigezählervorrichtung;
- Fig. 8 ein Blockdiagramm eines weiteren Teiles der in Fig. 1 gezeigten Anzeigezählervorrichtung;
- Fig. 9 eine schematische Darstellung der Speicherorganisation einer in Fig. 1 gezeigten Videospeichervorrichtung; und
- Fig. 10 Blockdiagramme der Struktur einer in Fig. 1 gezeigten zweiten Steuervorrichtung.

[0015] Die in Fig. 1 gezeigte Ausführungsform einer Monitorsteuervorrichtung gemäß der vorliegenden Erfindung, die in ihrer Gesamtheit mit dem Bezugszeichen 1 bezeichnet ist, umfaßt eine Registervorrichtung 2, eine als Fifo-Speichervorrichtung ausgebildete erste Speichervorrichtung 3, eine Videospeichervorrichtung 4, eine erste Steuervorrichtung 5, eine zweite Steuervorrichtung 6, einen Oszillator 7, eine Anzeigezählervorrichtung 8 und eine serielle Auslesesteuervorrichtung 9.

[0016] Die Registervorrichtung 2 ist eingangsseitig mit einem Eingangsdatenbus 10 verbunden, auf dem Datenworte eines digitalen Bildsignales mit der ersten Pixelfrequenz vorliegen. Der Eingangsdatenbus 10 kann sich beispielsweise zu einer VGA-Schnittstelle erstrecken. Der Eingangsdatenbus 10 umfaßt im Beispielsfall je einen Anschluß für die drei Grundfarben R, G, B und einen Anschluß für ein Helligkeitsbit I. Jedes Datenwort stellt ein Pixel mit 4 bit Tiefe dar. Die Registervorrichtung 2 ist ferner eingangsseitig mit einem Taktsignaleingang 11 für ein Taktsignal mit der ersten Pixelfrequenz versehen. Die Registervorrichtung 2 empfängt von der ersten Steuervorrichtung 5 Auswahl-signale SEL0, SEL1, SEL2, SEL3 über einen Auswahl-datenbus 12, der vier Bit hat. Ausgangsseitig steht die Registervorrichtung 2 über einen ersten Datenbus 13 mit Eingängen der Fifo-Speichervorrichtung 3 in Verbindung, welche ferner einen Rücksetzeingang 14 hat, dem ein Vertikalsynchronisationssignal VS(1) des ersten Bildsignales zuführbar ist. Ferner werden der Fifo-Speichervorrichtung 3 von der ersten Steuervorrichtung 5 an ihrem Schreibeingang 15 ein Schreibbefehlssignal WF zugeführt. Die erste Steuervorrichtung 5 hat einen Takteingang 16 für das erste Taktsignal CLK(1), einen Blankeingang 17 für das Blanksignal BL(1) des ersten Bildsignales.

[0017] Ausgangsseitig steht die Fifo-Speichervorrichtung 3 über einen zweiten Datenbus 20 mit der Videospeichervorrichtung 4 in Verbindung.

[0018] Die Anzeigezählervorrichtung 8 hat einen Takteingang 21 für das erste Taktsignal CLK(1), einen Blankeingang 22 für das Blanksignal BL(1) des ersten Bildsignales, einen Vertikalsynchronisationseingang 23 für das Vertikalsynchronisationssignal VS(1) und einen Horizontalsynchronisationseingang 24 für das Horizontalsynchronisationssignal HS(1).

[0019] Ausgangsseitig steht die Anzeigezählervorrichtung 8 mittels eines dritten Datenbusses 25 für einen Horizontalzählwert HC mit der zweiten Steuervorrichtung 6 sowie mit der seriellen Auslesesteuervorrichtung 9 in Verbindung. Ferner steht die Anzeigezählervorrichtung 8 über einen vierten Datenbus 26 für einen Vertikalzählwert VC mit der seriellen Auslesesteuervorrichtung in Verbindung.

[0020] Ausgangsseitig steht die zweite Steuervorrichtung 6 mit Eingängen der Videospeichervorrichtung über einen Steuerbus 27 und einen Adreßbus 28 in Verbindung. Der Steuerbus 27 umfaßt je eine Leitung für ein Reihenadreßübernahmesignal RAS, ein Spaltenadreßübernahmesignal CAS, ein Schreibbefehlssignal WB/WE und ein Datenübertragungssignal DT/OE für die Übernahme einer Datenzeile aus der Videospeichervorrichtung 4 in ein (nicht gezeigtes) Ausleseschieberegister derselben.

[0021] Die serielle Auslesesteuervorrichtung 9 steht ausgangsseitig über einen zweiten Steuerbus 29 für Steuersignale SC, SOE für das Auslesen der Videospeichervorrichtung 4 mit Steuereingängen der letztgenannten in Verbindung. Die Videospeichervorrichtung 4 steht wiederum über einen fünften Datenbus 30 mit einem Dateneingang der seriellen Auslesesteuervorrichtung 9 in Verbindung, die ihrerseits einen Vertikalsynchronisationseingang 31 für das Vertikalsynchronisationssignal VS(2) des zweiten, monitorseitigen Bildsignales, einen Takteingang 32 für ein zweites Taktsignal CLK(2) mit der zweiten Pixelfrequenz, einen Blankeingang 33 für das zweite Blanksignal BL(2) sowie einen Horizontalsynchronisationseingang 34 für das Horizontalsynchronisationssignal HS(2) des zweiten, monitorseitigen Bildsignales aufweist.

[0022] Ausgangsseitig steht die serielle Auslesesteuervorrichtung 9 über einen sechsten Datenbus 35 mit dem Digital-Analog-Wandler DAC des (nicht dargestellten) Monitors in Verbindung. Da die Struktur des Monitors der im Stand der Technik üblichen entspricht, bedarf es nicht deren Erläuterung.

[0023] Nachfolgend wird die Funktionsweise der bevorzugten Ausführungsform gemäß Fig. 1 erläutert, wobei jedoch bezüglich schaltungsmäßigen und funktionellen Details auf die nachfolgende Erläuterung zu den Fig. 2 bis 10 verwiesen wird.

[0024] Die Registervorrichtung 2 führt eine Seriell-Parallel-Umsetzung von jeweils vier aufeinanderfolgenden Datenworten, die mit der Pixelfrequenz am Eingangsdatenbus 10 anliegen, durch, wobei die ausgangsseitig erzeugten Datenworte die vierfache Bitzahl haben, also Datenworte einer Länge von 16 Bit sind, die

parallel auf den ersten Datenbus 13 gegeben werden. Diese Umsetzung von 4-bit-Datenworten in 16-bit-Datenworte erfolgt unter der Steuerung der ersten Steuervorrichtung 5 mittels der Auswahlssignale SEL0, ... SEL3, die nach Abschluß dieser Umsetzung der Fifo-Speichervorrichtung 3 ein Schreibbefehlssignal 15 zu-
führt. Sobald mindestens ein Datenwort in der Fifo-Speichervorrichtung 3 abgespeichert ist, erlischt das von dieser der zweiten Steuervorrichtung 6 zugeführte Flag EF über den leeren Speicherzustand der Fifo-Speichervorrichtung, wodurch die zweite Steuervorrichtung darüber informiert wird, daß in der Fifo-Speichervorrichtung 3 in die Videospeichervorrichtung 4 umspeicherbare Datenworte vorliegen. Wie der Name sagt, ist die Fifo-Speichervorrichtung 3 derart aufgebaut, daß in diese zuerst eingelesene Datenworte bei Ansteuerung durch den Lesebefehl RF zuerst über den zweiten Datenbus 20 in die Videospeichervorrichtung 4 eingelesen werden. Wie nachfolgend noch näher erläutert wird, bewirkt die zweite Steuervorrichtung pro Schreibzyklus der Videospeichervorrichtung 4 bzw. Lesezyklus der Fifo-Speichervorrichtung 3 eine Umspeicherung einer Mehrzahl von Datenworten aus der ersten Speichervorrichtung 3 in die Videospeichervorrichtung 4, wobei die jeweils umgespeicherte Datenwortzahl, wie noch erläutert wird, von Fall zu Fall variieren kann.

[0025] Wie noch näher erläutert wird, benötigt die zweite Steuervorrichtung 6 für die richtige Abspeicherung des digitalen Bildsignales in der Videospeichervorrichtung eine Information über die Anzahl der Pixel pro Zeile des eingangsseitig anliegenden Bildsignales, die auch durch die serielle Auslesesteuervorrichtung 9 benötigt wird, welche zusätzlich die Anzahl der Zeilen des Bildes des eingangsseitigen Bildsignales für die Auslesesteuerung benötigt. Zu diesem Zwecke ermittelt die Anzeigezählervorrichtung 8 bei dem gezeigten, bevorzugten Ausführungsbeispiel durch Zählen der Taktsignale CLK (1) zwischen zwei Blanksignalen BL(1) einen Horizontalzählwert HG(0...9) sowie durch Zählen der Anzahl der Blanksignale BL(1) zwischen zwei Vertikalsynchronisationssignalen VS(1) die Anzahl der Zeilen des durch das erste Bildsignal dargestellten Bildes als Vertikalzählwert VC(0...9).

[0026] Die zweite Steuervorrichtung arbeitet auf einer Zeitbasis, die durch den Oszillator 7 festgelegt wird, wobei der Anfang eines Zyklus durch das Auftreten des Vertikalsynchronisationssignales VS(1) am Rücksetzungseingang festgelegt wird. Das der zweiten Steuervorrichtung gleichfalls zugeführte zweite (ausgangsseitige) Blanksignal BL(2) dient allein zur Steuerung des Auffrischens der dynamischen Videospeichervorrichtung 4 und zur Steuerung der Schieberegisterübernahme, das die Übernahme einer ganzen Speicherzeile aus der Videospeichervorrichtung 4 in das Ausgangsschieberegister (nicht dargestellt) ermöglicht, und unterbricht zu diesem Zweck die Zyklussteuerung für die Ansteuerung der Fifo-Speichervorrichtung 3 und der Videospeichervorrichtung 4. Die Ansteuerung der Videospeichervor-

richtung beginnt mit der Adressierung der ersten Zeile und der ersten Spalte der Videospeichervorrichtung 4 bei Nicht-Vorliegen des Flag EF, wobei die Adressenübernahme durch das Reihenadreßübernahmesignal RAS und das Spaltenadreßübernahmesignal CAS gesteuert werden, wobei während des Schreibmodus das Schreibbefehlssignal WB/WE "tief" ist. Die Übernahme der Datenworte von der Fifo-Speichervorrichtung 3 in die Videospeichervorrichtung 4 geschieht im sogenannten "page-mode", wobei die Zeilenadressierung und das Zeilenadreßübernahmesignal RAS während des Einspeicherns von Datenworten in die verschiedenen Spalten dieser Zeile unverändert bleiben, wodurch in an sich bekannter Weise die Einschreibgeschwindigkeit des Videospeichers erhöht wird. Die genaue Abfolge der einzelnen Steuersignale hängt von der Herstellerspezifikation der Videospeichervorrichtung 4 für den bei diesen Vorrichtungen vorgesehenen "page-mode"-Schreibmodus. Details der Adressierung werden unter Bezugnahme auf die Fig. 9 und 10 näher erläutert.

[0027] Die Steuerung des seriellen Auslesens der Videospeichervorrichtung durch die serielle Auslesesteuervorrichtung 9 erfolgt in Synchronisation mit dem monitorseitig vorliegenden zweiten Horizontalsynchronisationssignal HS(2), Vertikalsynchronisationssignal VS(2), Taktsignal CLK(2) und Blanksignal BL(2) in einer an sich bekannten Weise.

[0028] An dieser Stelle sei auf einen wesentlichen Aspekt der Erfindung hingewiesen, der sich aus der erfindungsgemäßen Umsetzung des Bildsignales der ersten Pixelfrequenz in ein Bildsignal der zweiten Pixelfrequenz ergibt. Es ist möglich, nicht nur das am ausgangsseitigen sechsten Datenbus 35 generierte Bildsignal dem Monitor zuzuführen, sondern auch dieses Bildsignal mit einem zweiten, synchronen Bildsignal zu kombinieren, von dem die ausgangsseitige Zeitbasis (VS(2), CLK(2), BL(2), HS(2)) erhalten wurde. Damit ist eine Kombination eines beliebigen ersten Bildsignales, der am Eingang 10, 11 der Schaltung anliegt, mit einem beliebigen zweiten, von einem anderen Graphikstandard stammenden Bildsignal in der Weise möglich, daß das erste Bildsignal auf einer Teilfläche des Monitors zur Anzeige gebracht wird und das zweite Bildsignal auf der restlichen Monitorfläche gezeigt wird.

[0029] Die Fig. 2 und 3 verdeutlichen die Betriebsweise der ersten Steuervorrichtung 5, die im wesentlichen als Zähler arbeitet. Durch das erste Blanksignal BL(1) wird die erste Steuervorrichtung 5 in einen Anfangszustand gesetzt, um bei Auftreten eines ersten Taktpulses CLK (1) (mit schaltungstechnisch bedingter Verzögerung) ein nulltes Auswahlssignal SEL0 rückzusetzen und ein erstes Auswahlssignal SEL1 zu setzen, wobei beim zweiten Taktpuls CLK(1) das erste Auswahlssignal rückgesetzt und das zweite Auswahlssignal SEL2 gesetzt wird, usw., wobei schließlich nach dem dritten Puls das dritte Auswahlssignal SEL3 rückgesetzt und das Fifo-Schreibsignal WF gesetzt wird, woraufhin nach dem vierten Taktpuls das dritte Auswahlssignal rückgesetzt

und das Fifo-Schreibsignal nach dem darauffolgenden ersten Takt rückgesetzt wird. Diese gestaffelten Auswahlssignale SEL0 bis SEL3 werden zur Steuerung der Registervorrichtung 2 verwendet, deren Aufbau nachfolgend unter Bezugnahme auf Fig. 4 näher erläutert wird.

[0030] Die Registervorrichtung 2 umfaßt drei 4-bit-Register 36, 37, 38 und ein 16-bit-Register 39, die sämtlich mit dem Taktsignaleingang 11 und mit dem Eingangsdatenbus 10 in Verbindung stehen. Die Ausgänge der 4-bit-Register 36 bis 38 sind mit Eingängen des 16-bit-Registers 39 verbunden. Die Register 36 bis 39 werden in der Reihenfolge ihrer Bezugszeichen von den Auswahlssignalen SEL0 bis SEL3 angesteuert, so daß Ansteuerung des 16-bit-Registers 39 durch das vierte Auswahlssignal SEL3 vier eingangsseitige 4-bit-Datenworte in ein ausgangsseitiges 16-bit-Datenwort umgewandelt sind.

[0031] Nachfolgend wird unter Bezugnahme auf die Fig. 5 bis 8 die Struktur und Funktion der Anzeigezählervorrichtung 8 näher erläutert. Fig. 5 zeigt die zeitliche Relation des ersten Horizontalsynchronisationssignales HS(1), des ersten Blanksignales BL(1) und des ersten Taktsignales CLK(1).

[0032] Wie in Fig. 6 gezeigt ist, umfaßt die Anzeigezählervorrichtung 8 einen Horizontalzähler 40, dessen Takteingang das erste Taktsignal CLK(1) und dessen Rücksetzeingang das erste Horizontalsynchronisationssignal HS(1) zugeführt werden. Das erste Blankssignal BL(1) steuert die Übernahme des Zählerstandes des Horizontalzählers 40 in das Register 41 für den Horizontalzählwert HC, der ausgangsseitig am Bus 25 erscheint.

[0033] Fig. 7 zeigt (selbstverständlich mit einer gegenüber Fig. 1 gestrafften Zeitbasis) den schematisierten zeitlichen Zusammenhang zwischen dem ersten Blankssignal BL(1), dem ersten Horizontalsynchronisationssignal HS(1) und dem ersten Vertikalsynchronisationssignal VS(1).

[0034] Fig. 8 zeigt den die Vertikalzählung oder Zeilenzählung betreffenden Anteil der Anzeigezählervorrichtung 8, welcher einen Vertikalzähler 42 umfaßt, dessen Takteingang das erste Blankssignal BL(1) und dessen Rücksetzeingang das erste Vertikalsynchronisationssignal VS(1) zugeführt werden, und der ausgangsseitig mit einem Register 43 für den Vertikal-Zählwert VC verbunden ist, dessen Takteingang wiederum durch das erste Vertikalsynchronisationssignal angesteuert, und das ausgangsseitig mit dem vierten Datenbus 26 in Verbindung steht, auf dem der Vertikalzählwert VC ansteht.

[0035] Fig. 9 zeigt die Struktur der Videospeichervorrichtung 4, die in dem gezeigten Beispielsfall in vier Speicherebenen 44 bis 47 unterteilt ist. Diese Unterteilung der Videospeichervorrichtung ermöglicht eine Reduktion der Datenflußrate bei der Einspeicherung und eine vereinfachte Adressierung. Bei dem gezeigten Beispielsfall ist jede der Speicherebenen 44 bis 47 mit 512

x 512 Speicherplätzen versehen, wobei jede der Speicherebenen 44 bis 47 bei der Horizontaladresse 256 geteilt ist. Es ergibt sich eine Speicherorganisation von 1024 x 1024 Plätzen. Beim Ablegen der Datenworte in der Videospeichervorrichtung werden die Daten jeweils gleichzeitig den Eingängen D0 bis D3 zugeführt, wobei in der beschriebenen "page-mode"-Speicherweise zunächst die erste Zeile des Bildes in den jeweiligen ersten Speicherzeilen zwischen den Horizontaladressen 0 und einer Maximaladresse abgelegt werden, die dem Horizontalzählwert HC geteilt durch die Anzahl 4 der Speicherebenen entspricht. Nach Erreichen dieser Horizontaladresse vollführt der (noch zu beschreibende) Horizontaladreßzähler einen Sprung zu der Horizontaladresse 256, bei der die Speicherebene unterteilt ist, um fortfahrend von diesem Horizontaladreßwert bis zu einem um den Horizontalzählwert HC geteilt durch die Anzahl der Speicherebenen erhöhten Wert zu zählen, bevor nach erfolgtem Ablegen der zweiten Zeile des ersten Bildsignales die dritte Zeile des ersten Bildsignales sodann in die zweite Zeile der Videospeichervorrichtung 44 bis 47; 4 abgelegt wird. Das Inkrementieren des Reihenadreßzählers erfolgt nach jedem zweiten Erreichen des um die Anzahl der Speicherebenen geteilten Horizontalzählwertes HC.

[0036] Ein Blockdiagramm der zweiten Steuervorrichtung ist in Fig. 10 wiedergegeben, und umfaßt einen Spaltenadreßzähler 48, einen Reihenadreßzähler 49 und einen Steuersignalgenerator zum Erzeugen der Steuersignale für die Videospeichereinrichtung 4. Der Spaltenadreßzähler 48 wird an seinem Takteingang 51 durch das Fifo-Schreibsignal RF getaktet und wird durch das erste Vertikalsynchronisationssignal VS(1) an seinem Rücksetzeingang 52 rückgesetzt und ist ferner an den dritten Datenbus 25 zum Empfangen des Horizontalzählwertes HC angeschlossen.

[0037] Nach Rücksetzen des Spaltenadreßzählers 48 vollführt dieser die soeben unter Bezugnahme auf Fig. 9 erläuterte Horizontaladreßzählung. Im Beispielsfall ist dies eine von Null bis zu einem Viertel des Horizontalzählwertes HC ansteigende Zählung mit nachfolgendem Sprung auf die Mittenhorizontaladresse 256, um anschließend wiederum die Adresse kontinuierlich zu inkrementieren, bis diese Mittenadresse um ein Viertel des Horizontalzählwertes HC übertroffen ist. Zu diesem Zeitpunkt erscheint eine "1" am Steuerausgang TC des Spaltenadreßzählers 48, welcher mit dem Takteingang 53 des Reihenadreßzählers 49 verbunden ist, der durch diesen Signalpuls inkrementiert wird, bis er durch Auftreten des ersten Vertikalsynchronisationssignales VS(1) rückgesetzt wird.

[0038] Dem Steuersignalgenerator 50 werden das Taktsignal CLK* vom Oszillator 7 an dessen Takteingang 54, das Flag EF von der Fifo-Speichervorrichtung 3 an dessen Flageingang 55 das Steuersignal TC vom Spaltenadreßzähler 48 an dessen Steuersignaleingang 56 sowie das sekundärseitige Horizontalsynchronisationssignal HS(2) an dessen Horizontalsynchronisations-

eingang 57 zugeführt. Die Erzeugung des Reihenadreßübernahmesignals RAS, des Spaltenadreßübernahmesignals CAS, des Datenübernahmesignales DT/OE für die Übernahme von Daten aus der Videospeichervorrichtung in dessen Ausgangschieberegister und des Schreibsignales WB/WE für die Videospeichervorrichtung erfolgt gemäß der Spezifikation der jeweils verwendeten Videospeichervorrichtung für deren Betrieb in den "page-mode"-Schreibmodus. Das Auslesesignal RF kann durch UND-Verknüpfen des Spaltenadreßübernahmesignales CAS und des zweiten Horizontalsynchronisationssignales HS(2) mittels eines Gatters 58 erzeugt werden.

[0039] Bei dem beschriebenen Ausführungsbeispiel wird eine Registervorrichtung verwendet, um die eingangsseitig anliegenden Datenworte mit der ersten Pixelfrequenz in Datenworte von mehrfacher Bitlänge bei einer durch die Mehrzahl geteilten ersten Pixelfrequenz zu erzeugen, wodurch die Anforderungen an die Einspeicherungsgeschwindigkeit in die Fifo-Speichervorrichtung gesenkt werden können. Die eingangsseitige Registervorrichtung wird jedoch dann entbehrlich, wenn das erste Bildsignal eine entsprechende niedrige Datenwortrate hat oder wenn eine Fifo-Speichervorrichtung mit entsprechend hoher Arbeitsgeschwindigkeit verwendet wird.

[0040] Bei der erläuterten Ausführungsform wird die Abspeicherung in die Videospeichervorrichtung jeweils ausgehend von einer Horizontaladresse 0 und einer Vertikaladresse 0, also ausgehend von der linken oberen Ecke der Videospeichervorrichtung vorgenommen.

[0041] Der Erfindungsgegenstand ist nicht beschränkt auf eine bestimmte Anzahl von Bits der Datenworte des verarbeiteten Bildsignales und ist ebenso auf Schwarzweiß-Bildsignale wie Farb-Bildsignale anwendbar. Wenn beispielsweise eine Farbvielfalt von 256 Farben gewünscht ist, was Eingangsdatenworten von 8 bit entspricht, so können zwei Schaltungen gemäß Fig. 1 parallel geschaltet werden.

[0042] Obwohl die bevorzugte Ausführungsform des Erfindungsgegenstandes hardware-mäßig mittels Gate-Arrays implementiert ist, ist es denkbar, Zählervorrichtungen und Steuervorrichtungen sowie eine geeignete Ansteuervorrichtung für die erste Speichervorrichtung, die diese als Fifo-Speichervorrichtung arbeiten läßt, software-mäßig zu realisieren.

Patentansprüche

1. Verfahren zur Ansteuerung eines bei einer zweiten Pixelfrequenz arbeitenden Monitors, dessen Anzeige durch Auslesen eines ausgangsseitigen digitalen Bildsignales mit der zweiten Pixelfrequenz aus einer Videospeichervorrichtung (4) erzeugbar ist, aufgrund sämtlicher Datenworte eines eine erste Pixelfrequenz aufweisenden eingangsseitigen digitalen Bildsignales, wobei das Bildsignal der ersten

Pixelfrequenz nicht mit der Monitorbildanzeige der zweiten Pixelfrequenz synchronisiert ist, mit folgenden Verfahrensschritten:

- Einlesen eines jeden der aufeinanderfolgenden Datenworte des eingangsseitigen digitalen Bildsignales mit einer von der ersten Pixelfrequenz abhängigen Frequenz in eine Fifo-Speichervorrichtung (3) ;

- Auslesen von in die Videospeichervorrichtung (4) einzuspeichernden Datenworten des digitalen Bildsignales aus der Fifo-Speichervorrichtung (3), wobei das Auslesen der Fifo-Speichervorrichtung (3) während des Auslesens von Datenworten aus der Videospeichervorrichtung (4) unterbrochen wird und das Auslesen der Fifo-Speichervorrichtung (3) ferner bei einem leeren Zustand der Fifo-Speichervorrichtung (3) unterbrochen wird, so daß die von der Fifo-Speichervorrichtung (3) in die Videospeichervorrichtung (4) umspeicherbare Datenwortzahl variiert.

2. Verfahren nach Anspruch 1, mit folgendem Verfahrensschritt:

- Kombinieren des aus der Videospeichervorrichtung (4) ausgelesenen Bildsignales mit einem weiteren Bildsignal, durch das die zweite Pixelfrequenz festgelegt ist, zur gemeinsamen Anzeige von zwei Bildern, deren ursprüngliche Bildsignale unterschiedliche Pixelfrequenzen haben, auf dem Monitor.

3. Verfahren nach Anspruch 2, bei dem das Bildsignal der ersten Pixelfrequenz und das weitere Bildsignal Bildsignale von unterschiedlichen Graphikstandards sind.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem die aus der Fifo-Speichervorrichtung (3) ausgelesenen Datenworte auf einen Datenbus (20), der für die Datenverbindung mit der Videospeichervorrichtung (4) dient, ausgegeben werden.

5. Monitorsteuerschaltung für die Ansteuerung eines bei einer zweiten Pixelfrequenz arbeitenden Monitors, dessen Anzeige durch Auslesen eines ausgangsseitigen digitalen Bildsignales mit der zweiten Pixelfrequenz aus einer Videospeichervorrichtung (4) erzeugbar ist, aufgrund sämtlicher Datenworte eines eine erste Pixelfrequenz aufweisenden eingangsseitigen digitalen Bildsignales, wobei das Bildsignal der ersten Pixelfrequenz nicht mit der Monitorbildanzeige der zweiten Pixelfrequenz synchronisiert ist, mit

- einer Fifo-Speichervorrichtung (3),
 - einer ersten Steuervorrichtung (5), die ein jedes der aufeinanderfolgenden Datenworte des eingangsseitigen digitalen Bildsignales mit einer von der ersten Pixelfrequenz abhängigen Frequenz in die Fifo-Speichervorrichtung (3) einliest,
 - einer zweiten Steuervorrichtung (6) zum Steuern des Auslesens von in die Videospeichervorrichtung (4) einzuschreibenden Datenworten des digitalen Bildsignales aus der Fifo-Speichervorrichtung (3), die das Auslesen der Fifo-Speichervorrichtung (3) während des Auslesens von Datenworten aus der Videospeichervorrichtung (4) unterbricht und das Auslesen der Fifo-Speichervorrichtung (3) ferner bei einem leeren Zustand derselben unterbricht, so daß die von der Fifo-Speichervorrichtung (3) in die Videospeichervorrichtung (4) umspeicherbare Datenwortzahl variiert.
6. Monitorsteuerschaltung nach Anspruch 5, mit einer eingangsseitig mit der Fifo-Speichervorrichtung (3) verbundenen Registervorrichtung (2), mittels der die bei der ersten Pixelfrequenz empfangenen Datenworte des digitalen Bildsignales in Datenworte mit einer Mehrzahl-fachen Bitzahl bezogen auf die Bitzahl der empfangenen Datenworte bei einer durch die Mehrzahl geteilten ersten Pixelfrequenz umgewandelt werden.
7. Monitorsteuerschaltung nach Anspruch 6, bei der die Registervorrichtung (2) eine gegenüber der Mehrzahl um eins niedrigere Anzahl von ersten Registern (36, 37, 38) zur Aufnahme je eines der empfangenen Datenworte aufweist,
- die Registervorrichtung (2) ferner ein zweites Register (39) zur Aufnahme des Datenwortes mit der Mehrzahl-fachen Bitzahl aufweist, das mit einem Teil seiner Eingänge an Ausgänge der ersten Register (36, 37, 38) und mit einem weiteren Teil seiner Eingänge an einen Bus (10) zur Aufnahme eines der empfangenen Datenworte angeschlossen ist, und
- die erste Steuervorrichtung (5) sequentiell jedes der ersten Register (36, 37, 38) und das zweite Register (39) mit einem Auswahlsignal (SEL0, SEL1, SEL2, SEL3) zur Übernahme eingangsseitig anstehender Datenworte ansteuert.
8. Monitorsteuerschaltung nach Anspruch 7, bei der die erste Steuervorrichtung (5) einen Takteingang (16) aufweist, dem ein Taktsignal (CLK(1)) der ersten Pixelfrequenz zuführbar ist, und einen Halteingang (17) aufweist, dem ein Blanksignal (BL (1)) des ersten Bildsignales zuführbar ist, und
- die erste Steuervorrichtung (5) eine der Mehrzahl entsprechende Zahl von Auswahlgängen (12) hat und derart aufgebaut ist, daß die Auswahlsignale (SEL0, SEL1, SEL2, SEL3) an den Auswahlgängen (12) jeweils um eine erste Pixelperiode gegeneinander versetzt sind.
9. Monitorsteuerschaltung nach Anspruch 7 oder 8, bei der die erste Steuervorrichtung (5) ferner einen Schreibbefehlsausgang zum Erzeugen eines Schreibbefehles (WF) für die Fifo-Speichervorrichtung (3) aufweist, wobei der Schreibbefehl (WF) gegenüber dem Auswahlsignal (SEL3) für das zweite Register (39) um wenigstens eine erste Pixelperiode versetzt ist, und
- die Fifo-Speichervorrichtung (3) einen Schreibbefehlsingang (15) hat und bei Anliegen eines Schreibbefehles ein anstehendes Datenwort aufnimmt.
10. Monitorsteuerschaltung nach einem der Ansprüche 5 bis 9, mit einer Anzeigezählervorrichtung (8), der das erste Taktsignal (CLK(1)) der ersten Pixelfrequenz und das erste Blanksignal (BL(1)) des ersten Bildsignales zugeführt werden, wobei die Anzeigezählervorrichtung (8) einen Horizontalzähler (40, 41) zum Zählen der ersten Taktsignale (CLK(1)) zwischen zwei ersten Blanksignalen (BL(1)) aufweist.
11. Monitorsteuerschaltung nach Anspruch 10, bei der die Anzeigezählervorrichtung (8) ferner einen Vertikalzähler (42, 43) aufweist, dem die ersten Blanksignale (BL(1)) und die ersten Vertikalsynchronisationssignale (VS(1)) zugeführt werden und mittels dessen die Anzahl von ersten Blanksignalen (BL (1)) zwischen zwei ersten Vertikalsynchronisationssignalen (VS(1)) ermittelt wird.
12. Monitorsteuerschaltung nach einem der Ansprüche 5 bis 11, bei der die Fifo-Speichervorrichtung (3) einen Rücksetzeingang (14) aufweist, dem das erste Vertikalsynchronisationssignal (VS(1)) zugeführt wird.
13. Monitorsteuerschaltung nach Anspruch 12, bei der die Fifo-Speichervorrichtung (3) einen Flag-Ausgang für einen leeren Zustand der Speicherbereiche der Fifo-Speichervorrichtung (3) anzeigen des Flag (EF) aufweist, und
- der Flag-Ausgang mit einem Flag-Eingang der zweiten Steuervorrichtung (6) verbunden ist.
14. Monitorsteuerschaltung nach einem der Ansprüche 11 bis 13, bei der die zweite Steuervorrichtung (6)

einen Lesebefehlsausgang (RF) aufweist, der mit einem Lesesteuereingang der Fifo-Speichervorrichtung verbunden ist, und

die Fifo-Speichervorrichtung (3) derart ausgebildet ist, daß sie bei jedem Lesebefehls-
puls (RF) an ihrem Lesesteuereingang ein Datenwort, das zur Einspeicherung in die Videospeichervorrichtung (4) bestimmt ist, abgibt.

15. Monitorsteuerschaltung nach einem der Ansprüche 5 bis 14, bei der die zweite Steuervorrichtung (6) einen Rücksetzeingang aufweist, dem das Vertikalsynchronisationssignal (VS(1)) des ersten Bildsignales zuführbar ist, und die zweite Steuervorrichtung (6) ferner einen Takteingang aufweist, an den ein Oszillator (7) angeschlossen ist.
16. Monitorsteuerschaltung nach einem der Ansprüche 10 bis 15, bei der die zweite Steuervorrichtung (6) mit der Anzeigezählervorrichtung (8) verbunden ist und von dieser zumindest den Zählwert (HC) des Horizontalzählers (40, 41) empfängt.
17. Monitorsteuerschaltung nach Anspruch 15 oder 16 in Rückbeziehung auf Anspruch 14, bei der die zweite Steuervorrichtung (6) zur Ansteuerung der Videospeichervorrichtung (4) auf der Zeitbasis des durch den Oszillator (7) vorgegebenen Taktes ausgehend von einem logischen Anfangszustand bei Auftreten des ersten Vertikalsynchronisationssignales (VS(1)) pro Auslesetakts jeweils einen Lesebefehlspuls (RF) für die Fifo-Speichervorrichtung (3), ein Horizontaladreßsignal (ADR) und ein Vertikaladreßsignal (ADR) für die Adressierung der Videospeichervorrichtung (4) und Videospeichersteuersignale (RAS, CAS, WB/WE, DT/OE) erzeugt.
18. Monitorsteuerschaltung nach Anspruch 17, bei der die Videospeichersteuersignale ein Spaltenadressenübernahmesignal (CAS), ein Zeilenadressenübernahmesignal (RAS), ein den Schreibzustand für das Einschreiben in die Videospeichervorrichtung (4) darstellendes Schreibsignal (WB/WE) und ein Schieberegisterübernahmesignal (DT/OE), das die Übernahme eines Datenwortes aus der Videospeichervorrichtung (4) in ein Ausgangsschieberegister derselben ermöglicht, umfassen.
19. Monitorsteuerschaltung nach Anspruch 18, bei der die zweite Steuervorrichtung (6) die genannten Steuersignale für die Videospeichervorrichtung (4) in einer solchen, von der Spezifikation der verwendeten Videospeichervorrichtung (4) abhängigen Art. erzeugt, daß das Einschreiben der von der Fifo-Speichervorrichtung (3) gelieferten Datenworte auf einen Datenbus (20) zum Ausschluß der Vide-

ospeichervorrichtung (4) in der sogenannten "page-mode" -Speicheransteuerungsart erfolgt, bei der das Zeilenadreßsignal (ADR) und das Zeilenadreßübernahmesignal (RAS) für die Videospeichervorrichtung (4) während der Einspeicherung von Daten in eine Zeile der Videospeichervorrichtung (4) unverändert bleiben.

Claims

1. A method of driving a monitor, which operates at a second pixel frequency and the display of which is adapted to be generated by reading an output-side digital image signal at the second pixel frequency from a video storage device (4), on the basis of all the data words of an input-side digital image signal having a first pixel frequency, wherein the image signal having the first pixel frequency is not synchronized with the monitor image display of the second pixel frequency, said method comprising the following steps:
 - reading each of the successive data words of the input-side digital image signal into a fifo storage device (3) at a frequency depending on said first pixel frequency;
 - reading from the fifo storage device (3) data words of the digital image signal which are to be stored in the video storage device (4), the reading of data words from the fifo storage device (3) being interrupted when data words are being read from the video storage device (4) and the reading of data words from the fifo storage device (3) being also interrupted in an empty condition of said fifo storage device (3) so that the number of data words which can be restored from the fifo storage device (3) into the video storage device (4) varies.
2. A method according to claim 1, comprising the following step:
 - combining the image signal read from the video storage device (4) with an additional image signal, by means of which the second pixel frequency is determined, for jointly displaying on the monitor two images whose original image signals have different pixel frequencies.
3. A method according to claim 2, wherein the image signal having the first pixel frequency and said additional image signal are image signals of different graphics standards.
4. A method according to one of the claims 1 to 3, wherein the data words read from the fifo storage

device (3) are outputted on a data bus (20) which serves to establish a data connection with the video storage device (4).

5. A monitor control circuit for driving a monitor, which operates at a second pixel frequency and the display of which is adapted to be generated by reading an output-side digital image signal at the second pixel frequency from a video storage device (4), on the basis of all the data words of an input-side digital image signal having a first pixel frequency, the image signal having the first pixel frequency being not synchronized with the monitor image display of the second pixel frequency, comprising

- a fifo storage device (3),
- a first control device (5) which reads each of the successive data words of the input-side digital image signal into the fifo storage device (3) at a frequency depending on the first pixel frequency,
- a second control device (6) for controlling the reading of data words of the digital image signal, which are to be written into the video storage device (4), from the fifo storage device (3), said second control device (6) interrupting the reading of data words from the fifo storage device (3) when data words are being read from the video storage device (4) and interrupting the reading of data words from the fifo storage device (3) also in an empty condition of said fifo storage device (3) so that the number of data words which can be re-stored from the fifo storage device (3) into the video storage device (4) varies.

6. A monitor control circuit according to claim 5, comprising a register device (2), which has its input side connected to the fifo storage device (3) and by means of which the data words of the digital image signal received at the first pixel frequency can be converted into data words, which include a multiple number of bits with respect to the number of bits in the received data words, at a first pixel frequency divided by said multiple.

7. A monitor control circuit according to claim 6, wherein the register device (2) includes a number of first registers (36, 37, 38) equal to said multiple minus one, each of said registers (36, 37, 38) storing one of the received data words, the register device (2) additionally includes a second register (39) for storing the data word which includes the multiple number of bits, said second register (39) having part of its inputs connected to outputs of said first registers (36, 37, 38) and another

part of its inputs connected to a bus (10) for storing one of the received data words, and the first control device (5) sequentially controls each of the first registers (36, 37, 38) and the second register (39) by a selection signal (SEL0, SEL1, SEL2, SEL3) for accepting input-side data words.

8. A monitor control circuit according to claim 7, wherein the first control device (5) is provided with a clock input (16), which is adapted to have supplied thereto a clock signal (CLK(1)) having the first pixel frequency, and with a holding input (17), which is adapted to have supplied thereto a blank signal (BL(1)) of the first image signal, and the first control device (5) has a number of selection outputs (12) corresponding to said multiple and is constructed in such a way that the respective selection signals (SEL0, SEL1, SEL2, SEL3) at the selection outputs (12) are displaced with respect to one another by a first pixel period.

9. A monitor control circuit according to claim 7 or 8, wherein the first control device (5) additionally includes a write command output for producing a write command (WF) for the fifo storage device (3), said write command (WF) being displaced by at least one first pixel period with respect to the selection signal (SEL3) for the second register (39), and the fifo storage device (3) has a write command input (15) and accepts a waiting data word when a write command is applied.

10. A monitor control circuit according to one of the claims 5 to 9, comprising a display counting device (8), which is adapted to have supplied thereto the first clock signal (CLK(1)) having the first pixel frequency and the first blank signal (BL(1)) of the first image signal, said display counting device (8) being provided with a horizontal counter (40, 41) for counting the first clock signals (CLK(1)) between two first blank signals (BL(1)).

11. A monitor control circuit according to claim 6, wherein the display counting device (8) additionally includes a vertical counter (42, 43), which is adapted to have supplied thereto the first blank signals (BL(1)) and the first vertical synchronization signals (VS(1)) and by means of which the number of first blank signals (BL(1)) between two first vertical synchronization signals (VS(1)) can be ascertained.

12. A monitor control circuit according to one of the claims 5 to 11, wherein the fifo storage device (3) has a reset input (14), which is adapted to have supplied thereto the first vertical synchronization signal (VS(1)).

13. A monitor control circuit according to claim 12,

wherein the fifo storage device (3) has a flag output for a flag (EF) indicating the empty condition of the storage areas of the fifo storage device (3), and the flag output is connected to a flag input of the second control device (6).

14. A monitor control circuit according to one of the claims 11 to 13, wherein the second control device (6) has a read command output (RF) which is connected to a read control input of the fifo storage device, and

the fifo storage device (3) is constructed in such a way that in response to each read command pulse (RF) applied to its read control input it will transfer a data word to the video storage device (4).

15. A monitor control circuit according to one of the claims 5 to 14, wherein the second control device (6) has a reset input, which is adapted to have supplied thereto the vertical synchronization signal (VS (1)) of the first image signal, and the second control device (6) is additionally provided with a clock input which has connected thereto an oscillator (7).

16. A monitor control circuit according to one of the claims 10 to 15, wherein the second control device (6) is connected to the display counting device (8) and receives therefrom at least the count (HC) of the horizontal counter (40, 41).

17. A monitor control circuit according to claim 15 or 16 in dependence on claim 14, wherein, for driving the video storage device (4) on the time basis of the clock predetermined by the oscillator (7), the second control device (6) will start from a logical initial condition and produce, per read cycle, one read command pulse (RF) for the fifo storage device (3), one horizontal address signal (ADR) and one vertical address signal (ADR) for addressing the video storage device (4) and video storage control signals (RAS, CAS, WB/WE, DT/OE) in response to the appearance of the first vertical synchronization signal (VS(1)).

18. A monitor control circuit according to claim 17, wherein the video storage control signals comprise a column address transfer signal (CAS), a line address transfer signal (RAS), a write signal (WB/WE) representative of the write condition for writing into the video storage device (4) and a shift register transfer signal (DT/OE) permitting transfer of a data word from the video storage device (4) to the output shift register.

19. A monitor control circuit according to claim 18, wherein the second control device (6) produces the above-mentioned control signals for the video stor-

age device (4) in a way, dependent on the specification of the video storage device (4) used, such that the data words supplied by the fifo storage device (3) are written into the video storage device (4) in the so-called "page-mode" memory control fashion, in the case of which the line address signal (ADR) and the line address transfer signal (RAS) for the video storage device (4) remain unchanged when data are being stored in a line of the video storage device (4).

Revendications

1. Méthode de commande d'un moniteur fonctionnant à une seconde fréquence de pixels dont l'affichage peut être généré par la lecture, d'un dispositif de mémoire vidéo (4), d'un signal vidéo numérique du côté sortie à la seconde fréquence de pixels, sur base de tous les mots de données d'un signal vidéo numérique du côté entrée présentant une première fréquence de pixels, le signal vidéo à la première fréquence de pixels n'étant pas synchronisé avec l'affichage d'image au moniteur à la seconde fréquence de pixels, avec les étapes de procédé suivantes consistant à:

- entrer, dans un dispositif de mémoire 'fifo' (3), chacun des mots de données successifs du signal vidéo numérique du côté entrée à une fréquence fonction de la première fréquence de pixels,
- lire, d'un dispositif de mémoire 'fifo' (3), les mots de données du signal vidéo numérique à mémoriser dans le dispositif de mémoire vidéo (4), la lecture du dispositif de mémoire 'fifo' (3) étant interrompue pendant la lecture des mots de données du dispositif de mémoire vidéo (4) et la lecture du dispositif de mémoire 'fifo' (3) étant, par ailleurs, interrompue lors d'un état vide du dispositif de mémoire 'fifo' (3), de sorte que le nombre de mots de données pouvant être transférés du dispositif de mémoire 'fifo' (3) au dispositif de mémoire vidéo (4) varie.

2. Procédé suivant la revendication 1, avec l'étape de procédé suivante consistant à:

- combiner le signal vidéo lu du dispositif de mémoire vidéo (4) avec un autre signal vidéo par lequel est fixée la seconde fréquence de pixels, pour l'affichage commun au moniteur de deux images dont les signaux vidéo originaux ont des fréquences de pixels différentes.

3. Procédé suivant la revendication 2, dans lequel le signal vidéo à la première fréquence de pixels et l'autre signal vidéo sont des signaux vidéo de stan-

dards graphiques différents.

4. Procédé suivant l'une des revendications 1 à 3, dans lequel les mots de données lus du dispositif de mémoire 'fifo' (3) sont sortis sur un collecteur de données (20) servant à la communication de données avec le dispositif de mémoire vidéo (4). 5
5. Circuit de commande de moniteur pour la commande d'un moniteur fonctionnant à une seconde fréquence de pixels dont l'affichage peut être généré par la lecture, d'un dispositif de mémoire vidéo (4), d'un signal vidéo numérique du côté sortie à la seconde fréquence de pixels, sur base de tous les mots de données d'un signal vidéo numérique présentant une première fréquence de pixels, le signal vidéo à la première fréquence de pixels n'étant pas synchronisé avec l'affichage d'image au moniteur à la seconde fréquence de pixels, avec: 10
 - un dispositif de mémoire 'fifo' (3),
 - un premier dispositif de commande (5) qui introduit dans le dispositif de mémoire 'fifo' (3) chacun des mots de données successifs du signal vidéo numérique du côté entrée à une fréquence fonction de la première fréquence de pixels, 25
 - un second dispositif de commande (6) destiné à commander la lecture du dispositif de mémoire 'fifo' (3) des mots de données du signal vidéo numérique à introduire dans le dispositif de mémoire vidéo (4), lequel interrompt la lecture du dispositif de mémoire 'fifo' (3) pendant la lecture de mots de données du dispositif de mémoire vidéo (4) et interrompt, par ailleurs, la lecture du dispositif de mémoire 'fifo' (3) lors d'un état vide de celui-ci, de sorte que le nombre de mots de données pouvant être transférés du dispositif de mémoire 'fifo' (3) au dispositif de mémoire vidéo (4) varie. 30
6. Circuit de commande de moniteur suivant la revendication 5, avec un dispositif de registres (2) relié, du côté de l'entrée, au dispositif de mémoire 'fifo' (3), par lequel les mots de données du signal vidéo numérique reçus à la première fréquence de pixels peuvent être transformés en mots de données à nombre de bits multiple basé sur le nombre de bits des mots de données reçus à la première fréquence de pixels divisée par la pluralité. 45
7. Circuit de commande de moniteur suivant la revendication 6, dans lequel le dispositif de registres (2) présente un nombre de premiers registres (36, 37, 38), pour l'enregistrement de chacun des mots de données reçus, inférieur de un par rapport à la pluralité, 55

le dispositif de registres (2) présente, par ailleurs, un second registre (39), pour l'enregistrement du mot de données au nombre de bits multiple, qui est raccordé, par une partie de ses entrées, à des sorties des premiers registres (36, 37, 38) et, par une autre partie de ses entrées, à un collecteur (10) pour l'enregistrement de l'un des mots de données reçus, et le premier dispositif de commande (5) commande en séquence chacun des premiers registres (36, 37, 38) et le second registre (39) avec un signal de sélection (SEL0, SEL1, SEL2, SEL3) pour la reprise de mots de données présents du côté entrée.

8. Circuit de commande de moniteur suivant la revendication 7, dans lequel le premier dispositif de commande (5) présente une entrée d'horloge (16), à laquelle peut être amené un signal d'horloge (CLK(1)) de la première fréquence de pixels, et présente une entrée de maintien (17), à laquelle peut être amené un signal de suppression (BL(1)) du premier signal vidéo, et le premier dispositif de commande (5) présente un nombre de sorties de sélection (12) correspondant à la pluralité et se présente de telle manière que les signaux de sélection (SEL0, SEL1, SEL2, SEL3) sont, aux sorties de sélection (13), décalés, chacun, d'une première période de pixels l'un par rapport à l'autre.
9. Circuit de commande de moniteur suivant la revendication 7 ou 8, dans lequel le premier dispositif de commande (5) présente, par ailleurs, une sortie de commande d'écriture pour générer une commande d'écriture (WF) pour le dispositif de mémoire 'fifo' (3), la commande d'écriture (WF) étant décalée, par rapport au signal de sélection (SEL3) pour le second registre (39), d'au moins une première période de pixels, et le dispositif de mémoire 'fifo' (3) présente une entrée de commande d'écriture (15) et, lorsqu'une commande d'écriture se présente, enregistre un mot de données présent.
10. Circuit de commande de moniteur suivant l'une des revendications 5 à 9, avec un dispositif compteur d'affichage (8) auquel peuvent être amenés le premier signal d'horloge (CLK(1)) de la première fréquence de pixels et le premier signal de suppression (BL(1)) du premier signal vidéo, le dispositif compteur d'affichage (8) présentant un compteur horizontal (40, 41) pour le comptage des premiers signaux d'horloge (CLK(1)) entre deux premiers signaux de suppression (BL(1)).
11. Circuit de commande de moniteur suivant la revendication 10, dans lequel le dispositif compteur d'aff-

fichage (8) présente, par ailleurs, un compteur vertical (42, 43) auquel peuvent être amenés les premiers signaux de suppression (BL(1)) et les premiers signaux de synchronisation verticale (VS(1)) et à l'aide duquel peut être déterminé le nombre de premiers signaux de suppression (BL(1)) entre deux premiers signaux de synchronisation verticale (VS(1)).

12. Circuit de commande de moniteur suivant l'une des revendications 5 à 11, dans lequel le dispositif de mémoire 'fifo' (3) présente une entrée d'effacement (14) à laquelle est amené le premier signal de synchronisation verticale (VS(1)).

13. Circuit de commande de moniteur suivant la revendication 12, dans lequel le dispositif de mémoire 'fifo' (3) présente une sortie de drapeau pour un drapeau (EF) indiquant un état libre des zones de mémoire du dispositif de mémoire 'fifo' (3), et la sortie de drapeau est reliée à une entrée de drapeau du second dispositif de commande (6).

14. Circuit de commande de moniteur suivant l'une des revendications 11 à 13, dans lequel le second dispositif de commande (6) présente une sortie de commande de lecture (RF) qui est reliée à une entrée de commande de lecture du dispositif de mémoire 'fifo' et le dispositif de mémoire 'fifo' (3) se présente de telle manière qu'il transmet, à chaque impulsion de commande de lecture (RF) à son entrée de commande de lecture, un mot de données destiné à être mémorisé dans le dispositif de mémoire vidéo (4).

15. Circuit de commande de moniteur suivant l'une des revendications 5 à 14, dans lequel le second dispositif de commande (6) présente une entrée d'effacement à laquelle peut être amené le signal de synchronisation verticale (VS(1)) du premier signal vidéo et le second dispositif de commande (6) présente, par ailleurs, une entrée d'horloge, à laquelle est raccordé un oscillateur (7).

16. Circuit de commande de moniteur suivant l'une des revendications 10 à 15, dans lequel le second dispositif de commande (6) est relié au dispositif compteur d'affichage (8) et reçoit de celui-ci au moins la valeur de comptage (HC) du compteur horizontal (40, 41).

17. Circuit de commande de moniteur suivant la revendication 15 ou 16, en rapport avec la revendication 14, dans lequel le second dispositif de commande (6) génère, pour la commande du dispositif de mémoire vidéo (4), sur la base de temps de la cadence donnée par l'oscillateur (7), partant d'un état de dé-

part logique lors de la production du premier signal de synchronisation verticale (VS(1)), par temps de lecture, chaque fois une impulsion de commande de lecture (RF) pour le dispositif de mémoire 'fifo' (3), un signal d'adresse horizontale (ADR) et un signal d'adresse verticale (ADR) pour l'adressage du dispositif de mémoire vidéo (4) et des signaux de commande de mémoire vidéo (RAS, CAS, WB/WE, DT/OE).

18. Circuit de commande de moniteur suivant la revendication 17, dans lequel les signaux de commande de mémoire vidéo comprennent un signal de reprise d'adresse de colonne (CAS), un signal de reprise d'adresse de rangée (RAS), un signal d'écriture (WB/WE) représentant l'état d'écriture pour l'enregistrement dans le dispositif de mémoire vidéo (4) et un signal de reprise de registre variable (DT/OE) qui permet la reprise d'un mot de données du dispositif de mémoire vidéo (4) dans un registre variable de sortie de celui-ci.

19. Circuit de commande de moniteur suivant la revendication 18, dans lequel le second dispositif de commande (6) génère lesdits signaux de commande pour le dispositif de mémoire vidéo (4) d'une manière, en fonction de la spécification du dispositif de mémoire vidéo (4) utilisé, telle que l'entrée des mots de données fournis par le dispositif de mémoire 'fifo' (3) sur un collecteur de données (20) destiné au raccordement du dispositif de mémoire vidéo (4) se fait suivant le type de commande de mémoire appelé "page mode" (mode par pages), dans lequel le signal d'adresse de ligne (ADR) et le signal de reprise d'adresse de ligne (RAS) pour le dispositif de mémoire vidéo (4) restent inchangés pendant la mémorisation de données sur une ligne du dispositif de mémoire vidéo (4).

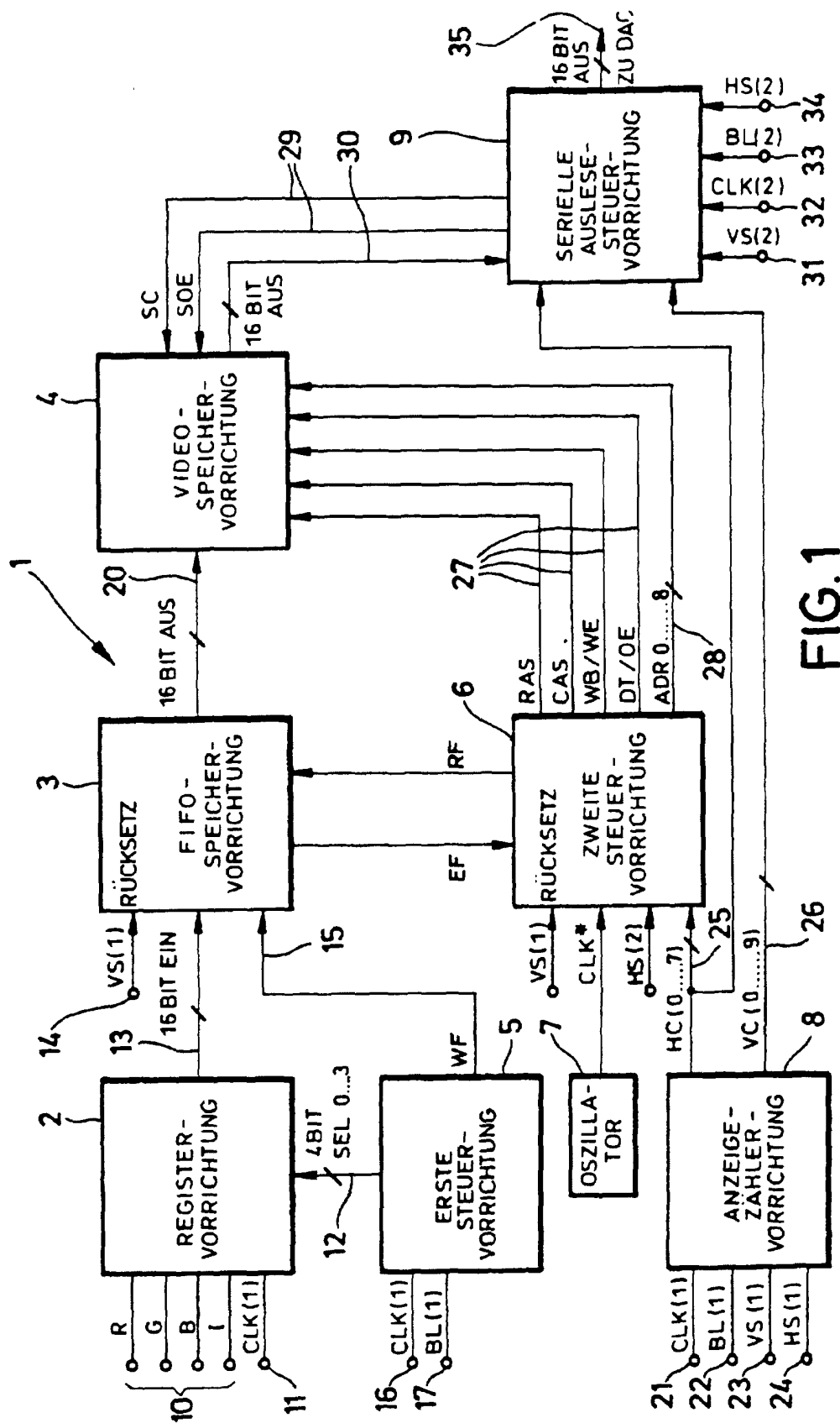


FIG. 1

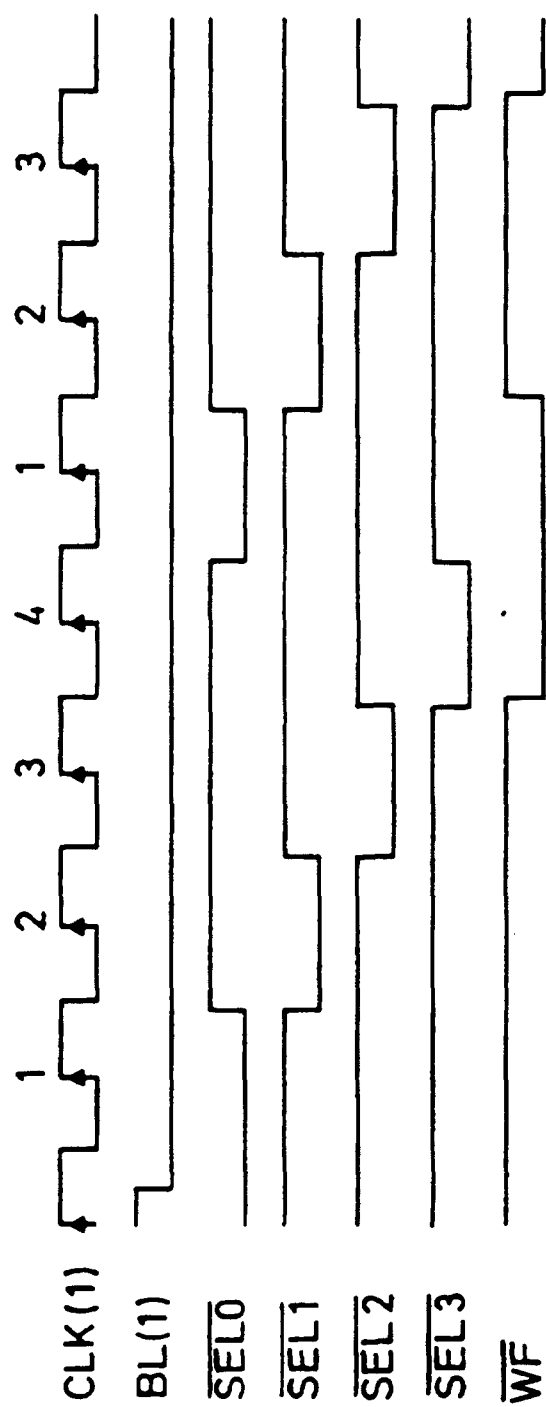


FIG. 2

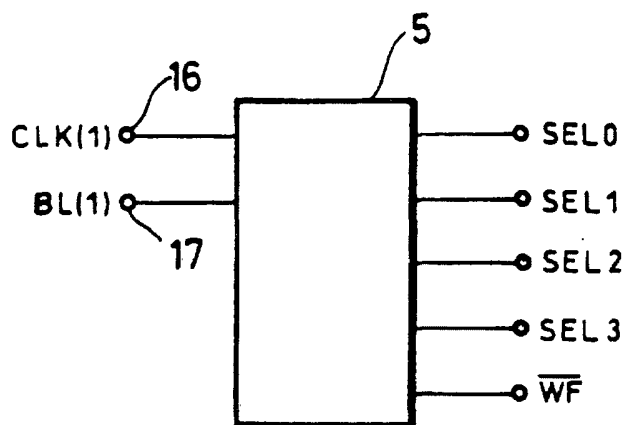


FIG.3

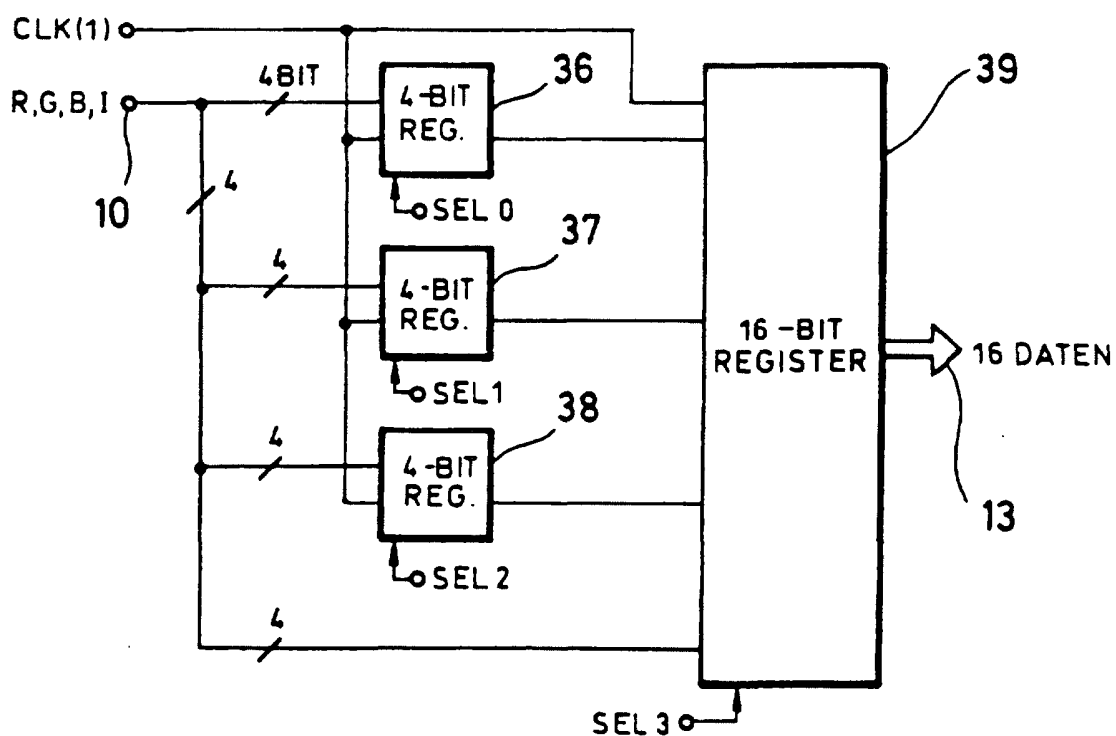


FIG.4

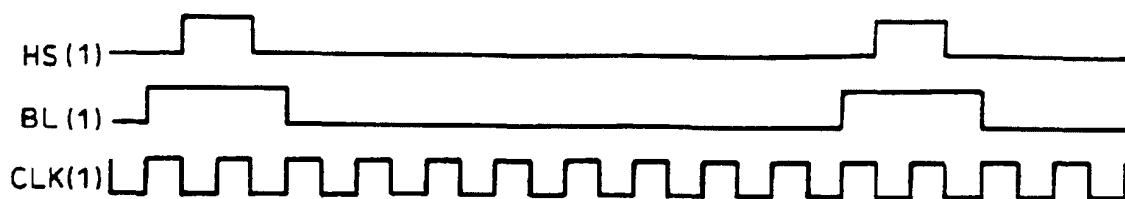


FIG. 5

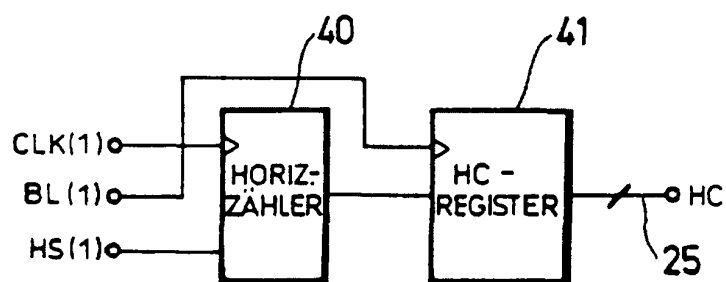


FIG. 6

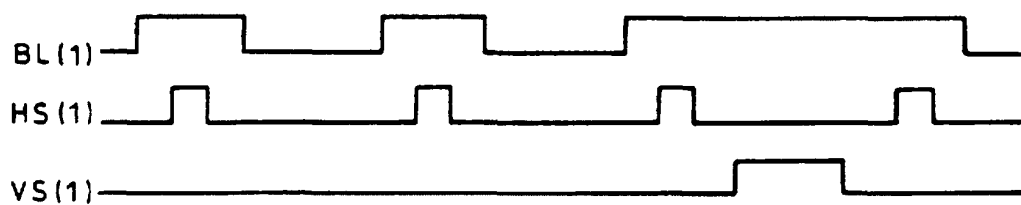


FIG. 7

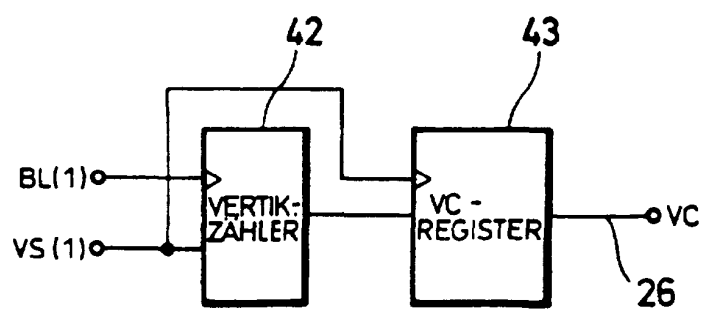


FIG. 8

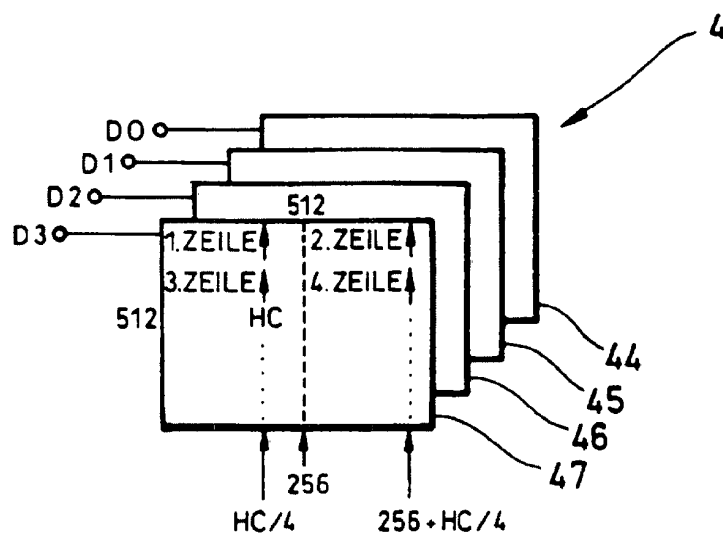


FIG. 9

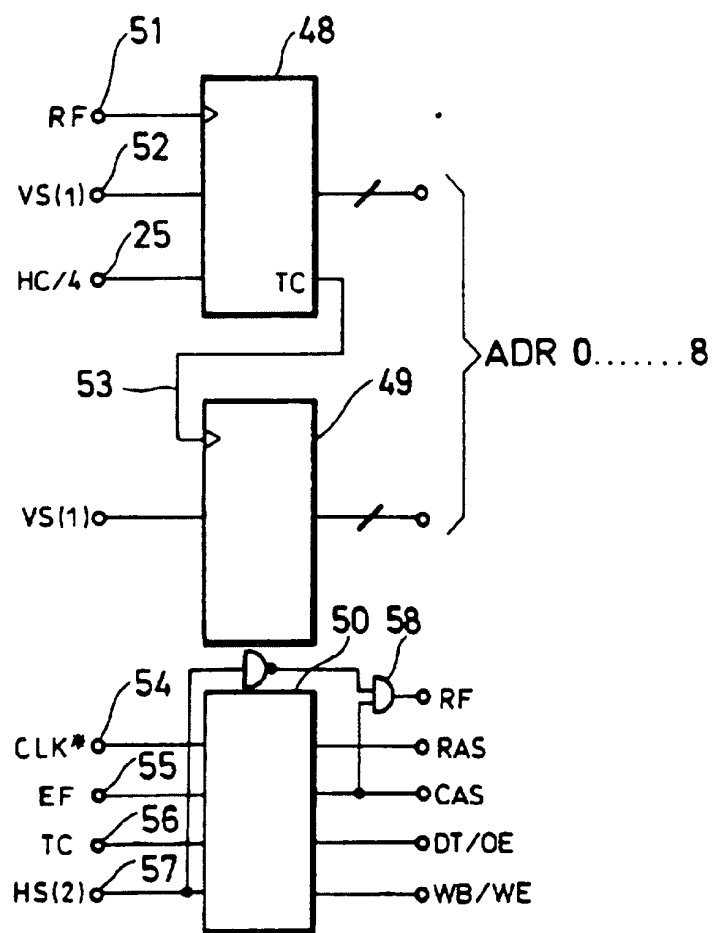


FIG. 10