

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11)

EP 0 508 232 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
06.03.1996 Patentblatt 1996/10

(51) Int Cl.⁶: **G04F 10/04**, G04F 10/00

(21) Anmeldenummer: **92105260.1**

(22) Anmeldetag: **27.03.1992**

(54) **Elektronische Schaltung zum Messen eines kurzen Zeitintervalls**

Electronic circuit for measuring short time-intervals

Circuit électronique pour la mesure de périodes de temps courtes

(84) Benannte Vertragsstaaten:
CH DE FR GB IT LI

(30) Priorität: **09.04.1991 DE 4111350**

(43) Veröffentlichungstag der Anmeldung:
14.10.1992 Patentblatt 1992/42

(73) Patentinhaber: **MSC MICROCOMPUTERS
SYSTEMS COMPONENTS VERTRIEBS GmbH
W-7513 Stutensee 3 (FR)**

(72) Erfinder: **Braun, Augustin
W-7513 Stutensee 3 (DE)**

(74) Vertreter: **Durm, Frank, Dipl.-Ing. et al
Patentanwälte
Durm & Durm
Felix-Mottl-Strasse 1a
D-76185 Karlsruhe (DE)**

(56) Entgegenhaltungen:
**EP-A- 0 113 935 EP-A- 0 165 108
EP-A- 0 300 757**

- **IBM TECHNICAL DISCLOSURE BULLETIN Bd.
28, Nr. 9 , Februar 1986 Seiten 3874 - 3975
'CMOS On-chip starter circuit for substrate
bias generator'**

EP 0 508 232 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

Die Erfindung betrifft eine elektronische Schaltung zum Messen eines kurzen Zeitintervalls, das in Form eines elektrischen Meßpulses vorliegt.

Es ist üblich, Zeitdifferenzmesser als hochfrequente Zähler oder analoge Schaltungen nach einem "Dual Slope"-Verfahren auszubilden. Sollen damit kurze Zeitintervalle mit hoher Genauigkeit gemessen werden, so werden bei hochfrequenten Zählern entsprechend hohe Zählfrequenzen benötigt. Eine gewünschte Genauigkeit von beispielsweise 500 Piko-Sekunden erfordert bereits eine Frequenz von mindestens 2 Giga Hertz. Derartig hohe Frequenzen lassen sich jedoch nur mit allerschnellsten ECL-Technologien realisieren, was mit entsprechendem konstruktivem Aufwand, beispielsweise für Gehäuse und Kühlung, verbunden ist und insgesamt daher zu einem sehr teuren Gerät führt.

Aufgabe der vorliegenden Erfindung ist somit die Schaffung eines schaltungstechnisch einfach aufgebauten Zeitdifferenzmessers, mit dem sich kurze Zeitintervalle mit höchster Genauigkeit messen lassen.

Gelöst wird die Aufgabe durch eine elektronische Schaltung, bestehend aus einem eine Kette von hintereinandergeschalteten Invertern umfassenden Ringoszillator, einem steuerbaren logischen Glied, das im Ansprechen auf den das Zeitintervall repräsentierenden Meßpuls den Ringoszillator an- bzw. wieder abschaltet, ferner mindestens einem Impulszähler, der die Anzahl der ganzen Taktperioden des schwingenden Ringoszillators an einem der Inverter zählt, weiter einem die Phasenlage des Ringoszillators im Moment des Abschaltens festhaltenden Phasenindikator sowie schließlich einer mit dem Impulszähler und dem Phasenindikator verbundenen arithmetisch-logischen Einheit, die anhand der festgehaltenen Phasenlage und des Zählstands des Impulszählers das Meßergebnis als Vielfaches der Laufzeit eines Inverters ausgibt.

Kern der vorgeschlagenen Schaltung ist der gesteuerte Ringoszillator. Dieser wird mit der positiven Flanke des Meßpulses phasensynchron zum Meßpuls gestartet und schwingt dann mit seiner Eigenfrequenz, die sich aus den Laufzeiten der hintereinandergeschalteten Inverterstufen sowie deren Anzahl ergibt.

Der Impulszähler zählt die ganzen Perioden des schwingenden Ringoszillators, solange der Meßpuls anliegt. Die abfallende Flanke des Meßpulses, welche dem Ende des zu messenden Zeitintervalls entspricht, schaltet über das steuerbare logische Glied den Ringoszillator ab. Die Phasenlage der letzten Taktperiode im Augenblick des Meßpulsendes wird mittels des vorgesehenen Phasenindikators festgehalten. In dem Impulszähler sowie im Phasenindikator stehen damit alle notwendigen Informationen zur Verfügung, um die Länge des Meßpulses bzw. des zu messenden Zeitintervalls mit einer Genauigkeit, die der Laufzeit eines Inverters entspricht, exakt zu bestimmen.

Die Meßgenauigkeit des vorgeschlagenen elektro-

nischen Zeitdifferenzmessers wird von der Laufzeit der verwendeten Inverter bestimmt. In modernen, anwenderspezifischen integrierten Schaltkreisen (ASICs) in CMOS-Technologie sind heute Inverterlaufzeiten im Bereich von 200 Pico-Sekunden problemlos realisierbar. Damit ist die vorgeschlagene Meßschaltung üblichen Hochfrequenzzählern weit überlegen; außerdem läßt sie sich auf einem einzigen Chip sehr kostengünstig herstellen. Ein weiterer Vorteil ist die geringe Stromaufnahme der Schaltung.

Um ein sicheres Ausschwingen des Ringoszillators zu gewährleisten, darf die Inverterkette nicht zu kurz sein, da sonst die Amplitude des Ringoszillators in den ersten Perioden nicht die volle Höhe erreicht, was ebenfalls zu falschen Zählständen in den Impulszählern führen könnte.

In der hier bevorzugten CMOS-Technologie bietet sich ein NAND-Gatter als logisches Glied zum Ein- und Ausschalten des Ringoszillators an. Die Laufzeit eines NAND-Gliedes in der hier verwendeten Technologie ist etwa doppelt so lang wie die Laufzeit einer Inverterstufe. Das steuerbare Glied umfaßt deshalb neben dem NAND-Gatter zwei zusätzliche Inverter, welche die Laufzeit des NAND-Gatters in zwei Inverterlaufzeiten unterteilen.

In bevorzugter Ausführung umfaßt der Ringoszillator 14 Inverter. Zusammen mit den beiden zusätzlichen Invertern am NAND-Glied ergeben sich insgesamt 16 hintereinandergeschaltete Inverterstufen, was eine Zweier-Potenz ist, so daß sich die nachfolgenden logisch-arithmetischen Operationen vereinfachen.

Das durch das Ende des Meßpulses bewirkte Abschalten des Ringoszillators kann bei jeder beliebigen Phasenlage seines Taktes geschehen. Ist nur ein einziger Impulszähler vorhanden, so könnte das Meßimpulssende unter ungünstigen Umständen gerade auf eine Zählflanke fallen, und es käme im Zähler zu Setup/Hold-Time-Verletzungen, wodurch der Zählerstand fehlerhaft sein könnte. Ein Fehler von 1 würde beispielsweise bei 16 insgesamt vorhandenen Inverterstufen eine Meßungenauigkeit von 32 Inverterlaufzeiten bedeuten. In vorteilhafter Weiterentwicklung der erfindungsgemäßen Schaltung sind deshalb zwei parallele Impulszähler vorgesehen, die jeweils um etwa eine halbe Taktperiode versetzt betrieben werden. Damit ist gewährleistet, daß immer mindestens einer der beiden Impulszähler definiert abgeschaltet wird. Welcher Zähler nach dem Abschalten des Ringoszillators den korrekten Zählstand enthält, wird von der arithmetisch-logischen Einheit anhand der im Phasenindikator festgehaltenen Phasenlage des Ringoszillators entschieden. Grundsätzlich funktioniert die erfindungsgemäße Schaltung jedoch auch mit nur einem Impulszähler.

Um die beiden Impulszähler mit jeweils um etwa eine halbe Taktperiode versetzten Zähltakt zu betreiben, sind diese bevorzugt mit den Ausgängen zweier aufeinanderfolgender Inverter verbunden.

In Weiterbildung der Erfindung ist den beiden Im-

pulszählern jeweils ein Taktgenerator vorgeschaltet, der als steuerbarer Teiler ausgebildet ist. Diese Taktgeneratoren haben die Aufgabe, den am Ausgang der jeweiligen Inverterstufe abgegriffenen Periodentakt des Ringoszillators in einen Zählimpuls mit genau bekannter Flankenanzahl umzuwandeln.

Bevorzugt umfassen die Taktgeneratoren jeweils ein Flip-Flop, dessen Takteingang mit dem Ausgang eines Inverters des Ringoszillators verbunden ist und dessen Ausgang auf den Eingang des zugehörigen Impulszählers wirkt, sowie einen steuerbaren Inverter, an dessen Eingang der Meßpuls anliegt und dessen Ausgang mit dem Dateneingang des Flip-Flops verbunden ist. Als steuerbarer Inverter wird zweckmäßig ein Exklusiv-Oder-Glied eingesetzt, welches bewirkt, daß am Ausgang des Flip-Flops ein Zählimpuls mit halber Takt-rate abgegeben wird, solange eingangsseitig der Meßpuls anliegt.

Die durch das Exklusiv-Oder-Glied unvermeidbar auftretenden Laufzeiten können durch eine dem Takteingang des Flip-Flops vorgeschaltete Verzögerungsstrecke mit entsprechender Laufzeit kompensiert werden.

Der Phasenindikator besteht bevorzugt aus einer Speicherkette und einer Auswert-Logik. Dabei umfaßt die Speicherkette Speicherelemente in gleicher Anzahl wie vorhandene Inverter, wobei jedes Speicherelement genau einem Inverter zugeordnet ist und dessen Logikzustand im Moment des Abschaltens des Ringoszillators speichert. Die zugehörige Auswert-Logik komprimiert den Inhalt der Speicherkette in eine die Phasenlage der letzten Taktperiode des Ringoszillators repräsentierende Zahl und erfaßt zusätzlich den Logikzustand des ersten Speicherelementes. In der Kette von Speicherelementen wird die Phasenlage der letzten Taktperiode des Ringoszillators im Augenblick des Abschaltens durch die abfallende Flanke des Meßpulses festgehalten. Anhand der somit "eingefrorenen" letzten Phasenlage und dem Logikwert des ersten Speicherelementes kann entschieden werden, welcher der beiden Impulszähler den korrekten Zählstand enthält.

Besonders bevorzugt wird eine Ausführung, bei der die Speicherelemente der Speicherkette D-Flip-Flops sind, deren Dateneingänge mit den Ausgängen der zugehörigen Inverter verbunden sind und an deren Takteingängen der Meßpuls anliegt.

Bei Ausführung der Schaltung als integrierter CMOS-Schaltkreis lassen sich sogenannte "Matching-Effekte" ausnutzen, da alle auf dem Chip vorhandenen logischen Funktionsglieder praktisch gleiches dynamisches Verhalten haben und kaum einer Streuung unterworfen sind. Dies wirkt sich in einer weiteren Steigerung der Meßgenauigkeit aus bzw. ist eine Grundvoraussetzung für hochpräzise Messungen.

Ein Ausführungsbeispiel der erfindungsgemäßen Meßschaltung wird nachstehend anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 ein Schaltschema der Meßschaltung;

Figur 2 ein Schaltbild der in der Schaltung nach Figur 1 verwendeten Taktgeneratoren;

Figur 3 den an die Meßschaltung von Figur 1 angelegten Meßpuls über den zugehörigen Taktperioden des Ringoszillators, in einem Zeit-Spannungs-Diagramm.

Die als integrierter CMOS-Schaltkreis ausgeführte Meßschaltung in Figur 1 besteht im wesentlichen aus einem Ringoszillator OSC, zwei Impulszählern C1, C2 mit zugehörigen Taktgeneratoren G1, G2, einem aus Speicherkette SPK und Speicherelementen S1 - S16 bestehenden Phasenindikator sowie einer arithmetisch-logischen Einheit ALU.

Dem Ringoszillator OSC ist ein NAND-Gatter NA als steuerbares logisches Glied vorgeschaltet, dessen Laufzeit in zwei Inverter I1, I2 unterteilt ist. Am Eingang des NAND-Gatters NA liegt der Meßpuls, dessen Länge gemessen werden soll, an. Dem NAND-Gatter NA nachgeschaltet ist eine Kette von 14 hintereinander angeordneten Invertern I3 - I16.

Es sind hier zwei Impulszähler C1 und C2 vorgesehen, denen jeweils ein Taktgenerator G1 bzw. G2 vorgeschaltet ist. Der Eingang des Taktgenerators G1 ist mit dem Ausgang des Inverters I10 verbunden, während der Eingang des zweiten Taktgenerators G2 mit dem Ausgang des nachfolgenden Inverters I11 verbunden ist.

Die Speicherkette SPK umfaßt 16 gleiche Speicherelemente S1 - S16, welche hier als D-Flip-Flops ausgebildet sind, wobei jedem Speicherelement S1 - S16 genau ein Inverter I1 - I16 zugeordnet ist.

Die den Impulszählern C1 und C2 jeweils vorgeschalteten Taktgeneratoren G1 und G2 enthalten gemäß Figur 2 jeweils ein D-Flip-Flop FL und ein Exklusiv-Oder-Glied EX. Der Takteingang des Flip-Flops FL ist mit dem Ausgang des entsprechenden Inverters I10 bzw. I11 des Ringoszillators OSC (vergleiche Figur 1) verbunden; sein Ausgang Q wirkt direkt auf den zugehörigen Impulszähler C1 bzw. C2, der in üblicher Weise aus einer Kette von weiteren D-Flip-Flops aufgebaut ist.

Das Exklusiv-Oder-Glied EX wird als steuerbarer Inverter verwendet, wobei an dessen einem Eingang A der Meßpuls anliegt, dessen anderer Eingang B mit dem Ausgang Q des Flip-Flops FL verbunden ist, und dessen Ausgang direkt auf den Dateneingang D des Flip-Flops FL wirkt. Zur Kompensation der Laufzeit D1 auf seinem Weg über das Exklusiv-Oder-Glied EX zum Dateneingang D des Flip-Flops FL ist dem Takteingang des Flip-Flops FL eine entsprechend dimensionierte Verzögerungsstrecke D2 vorgeschaltet.

Die Meßschaltung arbeitet wie folgt:

Mit der ansteigenden Flanke des Meßpulses, dessen Länge exakt bestimmt werden soll, wird der Ringoszillator OSC über das NAND-Glied NA phasensynchron gestartet. Dieser schwingt dann mit seiner Eigenfrequenz, die sich aus den Laufzeiten der Inverter I1 - I16 sowie deren Anzahl ergibt, so lange, bis die abfallende

Flanke des Meßpulses ihn wieder abschaltet. Figur 3 zeigt die Taktperioden des Ringoszillators OSC während des Zeitintervalles $T_2 - T_1$, welches der Länge des Meßpulses entspricht.

Solange der Ringoszillator OSC schwingt, werden dessen ganze Taktperioden von den Impulszählern C1 und C2 gezählt. Dabei wird in den vorgeschalteten Taktgeneratoren G1 und G2 (vergleiche Figur 2) die an den Ausgängen der Inverter I10 bzw. I11 des Ringoszillators OSC abgegriffenen Taktsignale in ein Zählsignal mit halber Impulsanzahl bzw. doppelter Impulsbreite umgewandelt. Dabei wird die Laufzeit D1 des Meßpulses bis zum Dateneingang D des Flip-Flops FL durch die parallel vom Taktsignal zu durchlaufende Verzögerungsstrecke D2 so kompensiert, daß Meßpuls und Taktsignal am Flip-Flop FL phasensynchron ankommen. Die abfallende Flanke des Meßpulses schaltet die Taktgeneratoren G1 und G2 - und damit die angeschlossenen Impulszähler C1, C2 - ab.

Nach dem Abschalten des Ringoszillators OSC im Ansprechen auf die negative Flanke des Meßpulses wird der augenblickliche Zustand der Inverterkette, der die Phasenlage der letzten Taktperiode darstellt, in die jedem Inverter I1 - I16 zugeordneten Speicherelemente S1 - S16 der Speicherkette SPK über tragen. Die Auswert-Logik LOG komprimiert den Inhalt der speicherkette SPK in eine Fünf-Bit-Zahl, die angibt, bei welcher Phasenlage der Ringoszillator OSC abgeschaltet wurde.

Die arithmetisch-logische Einheit ALU kann nun anhand der von der Auswert-Logik LOG gelieferten Information über die Phasenlage prüfen, welcher der beiden Impulszähler C1 und C2 unter definierten Bedingungen abgeschaltet wurde. Aus dem Zählstand des ausgewählten Impulszählers C1 bzw. C2 und der festgehaltenen Phasenlage im Abschaltzeitpunkt sowie dem Logikzustand des ersten Speicherelementes S1 errechnet die arithmetisch-logische Einheit ALU abschließend das Meßergebnis in Form einer Zahl, welche die Länge des Meßpulses als Vielfaches der Laufzeit eines der Inverter I1 - I16 angibt.

Die somit bis auf eine Inverterlaufzeit bestimmte Länge des Zeitintervalls $T_2 - T_1$ zwischen ansteigender und abfallender Flanke des Meßimpulses kann anschließend weiterverarbeitet werden.

Da die Laufzeiten der Inverter von Chip zu Chip unterschiedlich sein können und außerdem Schwankungen der Temperatur und Spannung unterliegen, ist es notwendig, vor der Inbetriebnahme der Meßschaltung sowie auch während des Betriebs Eichungen vorzunehmen. Dies kann beispielsweise dadurch geschehen, daß man zwei Meßpulse bekannter Länge auf die Meßschaltung gibt und durch einfache Arithmetik eine Eichkurve erhält, mit deren Hilfe die späteren Meßwerte in Zeitdifferenzen umgerechnet werden können. Die hierzu erforderliche Arithmetik kann durch nachgeschaltete Prozessoren einfacher Art realisiert werden.

Verzeichnis der Bezugsziffern

| | |
|----------|----------------------------------|
| OSC | Ringoszillator |
| NA | Nand-Gatter |
| I1 - I16 | Inverter |
| C1, C2 | Impulszähler |
| G1, G2 | Taktgeneratoren |
| FL | Flip-Flop (von G1, G2) |
| D | Dateneingang (von FL) |
| Q | Ausgang (von FL) |
| EX | Exklusiv-Oder-Glied (von G1, G2) |
| A, B | Eingänge (von EX) |
| D1 | Laufzeit |
| D2 | Verzögerungsstrecke |
| SPK | Speicherkette |
| S1 - S16 | Speicherelemente |
| LOG | Auswert-Logik |
| ALU | arithmetisch-logische Einheit |

Patentansprüche

- Elektronische Schaltung zum Messen eines kurzen Zeitintervalls, das in Form eines elektrischen Meßpulses vorliegt, **gekennzeichnet** durch:
 - einen Ringoszillator (OSC), der aus einer Kette von hintereinandergeschalteten Invertern (I1 - I16) und einem steuerbaren logischen Glied besteht, welches im Ansprechen auf den Meßpuls den Ringoszillator (OSC) an- und abschaltet;
 - mindestens einen Impulszähler (C1), der die Anzahl der ganzen Taktperioden des schwingenden Ringoszillators (OSC) an einem der Inverter (I10) zählt;
 - einen Phasenindikator, der die Phasenlage der letzten Taktperiode des Ringoszillators (OSC) im Moment des Abschaltens festhält;
 - eine mit dem Impulszähler (C1) und dem Phasenindikator verbundene arithmetisch-logische Einheit (ALU), die anhand der festgehaltenen Phasenlage und des Zählstands des Impulszählers (C1) das Meßergebnis als Vielfaches der Laufzeit eines Inverters (I1 - I16) ausgibt.
- Elektronische Schaltung nach Anspruch 1, dadurch **gekennzeichnet**, daß der Ringoszillator (OSC) eine ausreichende Anzahl von Invertern (I1 - I16) umfaßt, um ein definiertes Anschwingen zu gewährleisten.
- Elektronische Schaltung nach Anspruch 1 oder Anspruch 2, dadurch **gekennzeichnet**, daß das steuerbare Glied ein NAND-Gatter (NA) und zwei zusätzliche Inverter (I1, I2) umfaßt.
- Elektronische Schaltung nach Ansprüchen 2 und 3, dadurch **gekennzeichnet**, daß der Ringoszillator

(OSC) 14 Inverter (I3 - I16) umfaßt.

5. Elektronische Schaltung nach einem der Ansprüche 1 bis 4, dadurch **gekennzeichnet**, daß

- zwei Impulszähler (C1, C2) vorgesehen sind, wobei der erste (C1) die Anzahl der ganzen Taktperioden des schwingenden Ringoszillators (OSC) an einem der Inverter (I10) zählt und der zweite Impulszähler (C2) die Anzahl der Taktperioden des Ringoszillators (OSC) an einem der darauffolgenden Inverter (I11) zählt;
- die arithmetisch-logische Einheit (ALU) mit beiden Impulszählern (C1, C2) verbunden ist und anhand der von dem Phasenindikator festgehaltenen Phasenlage entscheidet, welcher der beiden Impulszähler (C1) oder (C2) den korrekten Zählstand enthält.

6. Elektronische Schaltung nach Anspruch 5, dadurch **gekennzeichnet**, daß die Impulszähler (C1) und (C2) mit den Ausgängen zweier aufeinanderfolgender Inverter (I10, I11) verbunden sind.

7. Elektronische Schaltung nach einem der Ansprüche 5 oder 6, dadurch **gekennzeichnet**, daß den Impulszählern (C1) und (C2) jeweils ein als steuerbarer Teiler ausgebildeter Taktgenerator (G1, G2) vorgeschaltet ist.

8. Elektronische Schaltung nach Anspruch 7, dadurch **gekennzeichnet**, daß die Taktgeneratoren (G1, G2) umfassen:

- ein D-Flip-Flop (FL), dessen Takteingang mit dem Ausgang eines Inverters (I10, I11) des Ringoszillators (OSC) verbunden ist und dessen Ausgang (Q) auf den Eingang des zugehörigen Impulszählers (C1, C2) wirkt;
- einen steuerbaren Inverter, an dessen Eingang (A) der Meßpuls anliegt und dessen Ausgang mit dem Dateneingang (D) des Flip-Flops (FL) verbunden ist.

9. Elektronische Schaltung nach Anspruch 8, dadurch **gekennzeichnet**, daß der steuerbare Inverter ein Exklusiv-Oder-Glied (EX) ist, an dessen einem Eingang (A) der Meßpuls anliegt, dessen anderer Eingang (B) mit dem Ausgang (Q) des D-Flip-Flops (FL) verbunden ist und das ausgangsseitig auf den Dateneingang (D) des D-Flip-Flops (FL) wirkt.

10. Elektronische Schaltung nach Anspruch 9, dadurch **gekennzeichnet**, daß dem Takteingang des D-Flip-Flops (FL) eine Verzögerungsstrecke (D2) vorgeschaltet ist, welche die Laufzeit (D1) des Meßpulses zum Dateneingang (D) des D-Flip-Flops kompensiert.

11. Elektronische Schaltung nach einem der Ansprüche bis 10, dadurch **gekennzeichnet**, daß der Phasenindikator umfaßt:

- eine Speicherkette (SPK) mit Speicherelementen (S1 - S16) in gleicher Anzahl wie vorhandene Inverter (I1 - I16), wobei jedes Speicherelement genau einem Inverter zugeordnet ist und dessen Logikzustand im Moment des Abschaltens speichert;
- eine Auswert-Logik (LOG), die den Inhalt der Speicherkette (SPK) in eine die Phasenlage der letzten Taktperiode des Ringoszillators (OSC) repräsentierende Zahl komprimiert und zusätzlich den Logikzustand des ersten Speicherelements (S1) erfaßt.

12. Elektronische Schaltung nach Anspruch 11, dadurch **gekennzeichnet**, daß die Speicherelemente (S1 - S16) der Speicherkette (SPK) D-Flip-Flops sind, deren Dateneingänge mit den Ausgängen der zugehörigen Inverter (I1 - I16) verbunden sind und an deren Takteingängen der Meßpuls anliegt.

13. Elektronische Schaltung nach einem der Ansprüche bis 12, dadurch **gekennzeichnet**, daß sie als integrierter CMOS-Schaltkreis ausgeführt ist.

Claims

1. Electronic circuitry for measuring a short time interval present in the form of an electrical measurement pulse, **characterised by:**

- a ring oscillator (OSC) consisting of a chain of serially connected inverters (I3-I16) and a controllable logic member which switches the ring oscillator (OSC) on and off in response to the measurement pulse;
- at least one pulse counter (C1) which counts the number of the complete clock periods of the oscillating ring oscillator (OSC) at one of the inverters (I10);
- a phase indicator which registers the phase angle of the last clock period of the ring oscillator (OSC) at the instant of switching off;
- an arithmetical-logical unit (ALU) connected with the pulse counter (C1) and the phase indicator which outputs the measurement result as a multiple of the running time of an inverter (I1-I16) by way of the registered phase angle and the state of the pulse counter (C1).

2. Electronic circuitry according to claim 1, **characterised in that** the ring oscillator (OSC) has a sufficient number of

inverters (I3-I16) in order to assure a defined start of the oscillation.

3. Electronic circuitry according to claim 1 or claim 2, **characterised in that** the controllable member consists of a NAND-gate (NA) and two additional inverters (I1, I2).

4. Electronic circuitry according to claims 2 and 3, **characterised in that** the ring oscillator (OSC) includes fourteen inverters (I3-I16).

5. Electronic circuitry according to any one of claims 1 to 4, **characterised in that**

- two pulse counters (C1, C2) are provided, wherein the first one (C1) counts the number of the complete clock periods of the oscillating ring oscillator (OSC) at one of the inverters (I10) and the second pulse counter (C2) counts the number of clock periods of the ring oscillator (OSC) at one of the next succeeding inverters (I11);
- the arithmetical-logical unit (ALU) is connected with both pulse counters (C1, C2) and decides by way of the phase angle registered by the phase indicator which of the two pulse counters (C1) or (C2) contains the correct state of count.

6. Electronic circuitry according to claim 5, **characterised in that** the pulse counters (C1) and (C2) are connected with the outputs of two successive inverters (I10, I11).

7. Electronic circuitry according to one of claims 5 or 6, **characterised in that** a respective clock generator (G1, G2) formed as a controllable part is connected before the pulse counters (C1) and (C2).

8. Electronic circuitry according to claim 7, **characterised in that** the timing generators (G1, G2) contain:

- a D-type (delay) flip-flop (FL) whose clock input is connected with the output of an inverter (I10, I11) of the ring oscillator (OSC) and whose output (Q) operates on the input of the associated pulse counter (C1, C2);
- a controllable inverter to the input (A) of which the measurement pulse is applied and the output of which is connected with the data input (D) of the flip-flop (FL).

9. Electronic circuitry according to claim 8, **characterised in that** the controllable inverter is an exclusive-OR-member

(EX) to one output (A) of which the measurement pulse is applied and another input (B) of which is connected with the output (Q) of the delay flip-flop (FL) and on its output side the member operates on the data input (D) of the delay flip-flop (FL).

10. Electronic circuitry according to claim 9, **characterised in that**

a delay line (D2) is connected before the timer input of the delay flip-flop (FL) which compensates for the running time (D1) of the measurement pulse to the data input (D) of the delay flip-flop.

11. Electronic circuitry according to any one of claims 1 to 10, **characterised in that** the phase indicator contains:

- a memory chain (SPK) with memory elements (S1-S16) of the same number as the number of inverters (I1-I16) present, whereby each memory element is associated with exactly one inverter whose logic state it stores at the instant of turning off;
- an evaluation logic (LOG) which compresses the contents of the memory chain (SPK) into a number representing the phase angle of the last clock period of the ring oscillator (OSC) and additionally detects the logic state of the first memory element (S1).

12. Electronic circuitry according to claim 11, **characterised in that**

the memory elements (S1-S16) of the memory chain (SPK) are delay flip-flops the data inputs of which are connected with the outputs of the associated inverters (I1-I16), the measurement pulse being applied to their clock inputs.

13. Electronic circuitry according to one of claims 1 to 12, **characterised in that** it is realised as an integrated CMOS circuit.

Revendications

1. Circuit électronique pour la mesure d'un bref intervalle de temps, représenté par une impulsion de mesure électrique, caractérisé par:

- un oscillateur annulaire (OSC), composé d'une chaîne d'inverseurs (I3 - I16) montés les uns derrière les autres et d'un élément logique contrôlé, qui connecte et déconnecte l'oscillateur annulaire (OSC) en réponse à l'impulsion de mesure,
- un compteur d'impulsions (C1), au moins, qui compte le nombre de toutes les périodes d'horloge de l'oscillateur annulaire (OSC), oscillant,

- sur l'un des inverseurs (I10),
- un indicateur de phase, qui fixe l'état de phase de la dernière période d'horloge de l'oscillateur annulaire (OSC) au moment de la déconnexion,
 - une unité arithmétique et logique (ALU), reliée au compteur d'impulsions (C1) et à l'indicateur de phase, et qui délivre le résultat de mesure sous forme d'un multiple du temps de propagation d'un inverseur (I1 - I16), à l'aide de la position de phase fixée et de l'état de comptage du compteur d'impulsions (C1).
2. Circuit électronique suivant la revendication 1, caractérisé en ce que l'oscillateur annulaire (OSC) comporte un nombre suffisant d'inverseurs (I3 - I16), pour garantir un amorçage défini des oscillations.
3. Circuit électronique suivant l'une des revendications 1 ou 2, caractérisé en ce que l'élément contrôlé comporte une porte NAND (NA) et deux inverseurs supplémentaires (I1, I2).
4. Circuit électronique suivant les revendications 2 et 3, caractérisé en ce que l'oscillateur annulaire (OSC) comporte 14 inverseurs (I3 - I16).
5. Circuit électronique suivant l'une des revendications 1 à 4, caractérisé en ce que:
- deux compteurs d'impulsions (C1, C2) sont prévus, le premier (C1) comptant le nombre de toutes les périodes d'horloge de l'oscillateur annulaire (OSC), oscillant, sur l'un des inverseurs (I10), et le second compteur (C2) comptant le nombre des périodes d'horloge de l'oscillateur annulaire (OSC) sur l'un des inverseurs suivants (I11),
 - l'unité arithmétique et logique (ALU) est reliée aux deux compteurs d'impulsions (C1, C2) et décide, à l'aide de l'état de phase fixée par l'indicateur de phase, lequel des deux compteurs d'impulsions (C1) ou (C2) comporte l'état de comptage correct.
6. Circuit électronique suivant la revendication 5, caractérisé en ce que les compteurs d'impulsions (C1) et (C2) sont reliés aux sorties de deux inverseurs successifs (I10, I11).
7. Circuit électronique suivant l'une des revendications 5 ou 6, caractérisé en ce qu'un générateur de rythme (G1, G2), réalisé sous forme de diviseur de fréquence contrôlé, est respectivement monté en amont des compteurs d'impulsions (C1) et (C2).
8. Circuit électronique suivant la revendication 7, caractérisé en ce que les générateurs de rythme (G1, G2) comportent:
- un flip-flop D (FL), dont l'entrée impulsions est reliée à la sortie d'un inverseur (I10, I11) de l'oscillateur annulaire (OSC), et dont la sortie (Q) agit sur l'entrée du compteur d'impulsions (C1, C2) correspondant,
 - un inverseur contrôlé, à l'entrée (A) duquel s'applique l'impulsion de mesure, et dont la sortie est reliée à l'entrée données (D) du flip-flop (FL).
9. Circuit électronique suivant la revendication 8, caractérisé en ce que l'inverseur contrôlé est un élément OU- exclusif (EX), sur l'une des entrées (A) duquel s'applique l'impulsion de mesure, dont l'autre entrée (B) est reliée à la sortie (Q) du flip-flop D (FL), et qui agit côté sortie sur l'entrée données (D) du flip-flop D (FL).
10. Circuit électronique suivant la revendication 9, caractérisé en ce qu'une ligne à retard (D2), qui compense le temps de propagation (D1) de l'impulsion de mesure jusqu'à l'entrée données (D) du flip-flop D, est montée en amont de l'entrée impulsions du flip-flop D (FL).
11. Circuit électronique suivant l'une des revendications 1 à 10, caractérisé en ce que l'indicateur de phase comporte:
- une chaîne de mémorisation (SPK) avec des éléments de mémoire (S1 - S16) en nombre égal à celui des inverseurs (I1 - I16) prévus, chaque élément de mémoire étant exactement associé à un inverseur, et son état logique étant mémorisé au moment de la déconnexion,
 - une logique d'évaluation (LOG), qui comprime le contenu de la chaîne de mémorisation (SPK) en un chiffre, représentant l'état de phase de la dernière période d'horloge de l'oscillateur annulaire (OSC), et détermine en sus l'état logique du premier élément de mémoire (S1).
12. Circuit électronique suivant la revendication 11, caractérisé en ce que les éléments de mémoire (S1 - S16) de la chaîne de mémorisation (SPK) sont des flip-flops D, dont les entrées données sont reliées aux sorties des inverseurs (I1 - I16) correspondants, et sur les entrées impulsions desquels s'applique l'impulsion de mesure.
13. Circuit électronique suivant l'une des revendications 1 à 12, caractérisé en ce qu'il est réalisé sous forme de circuit intégré CMOS.

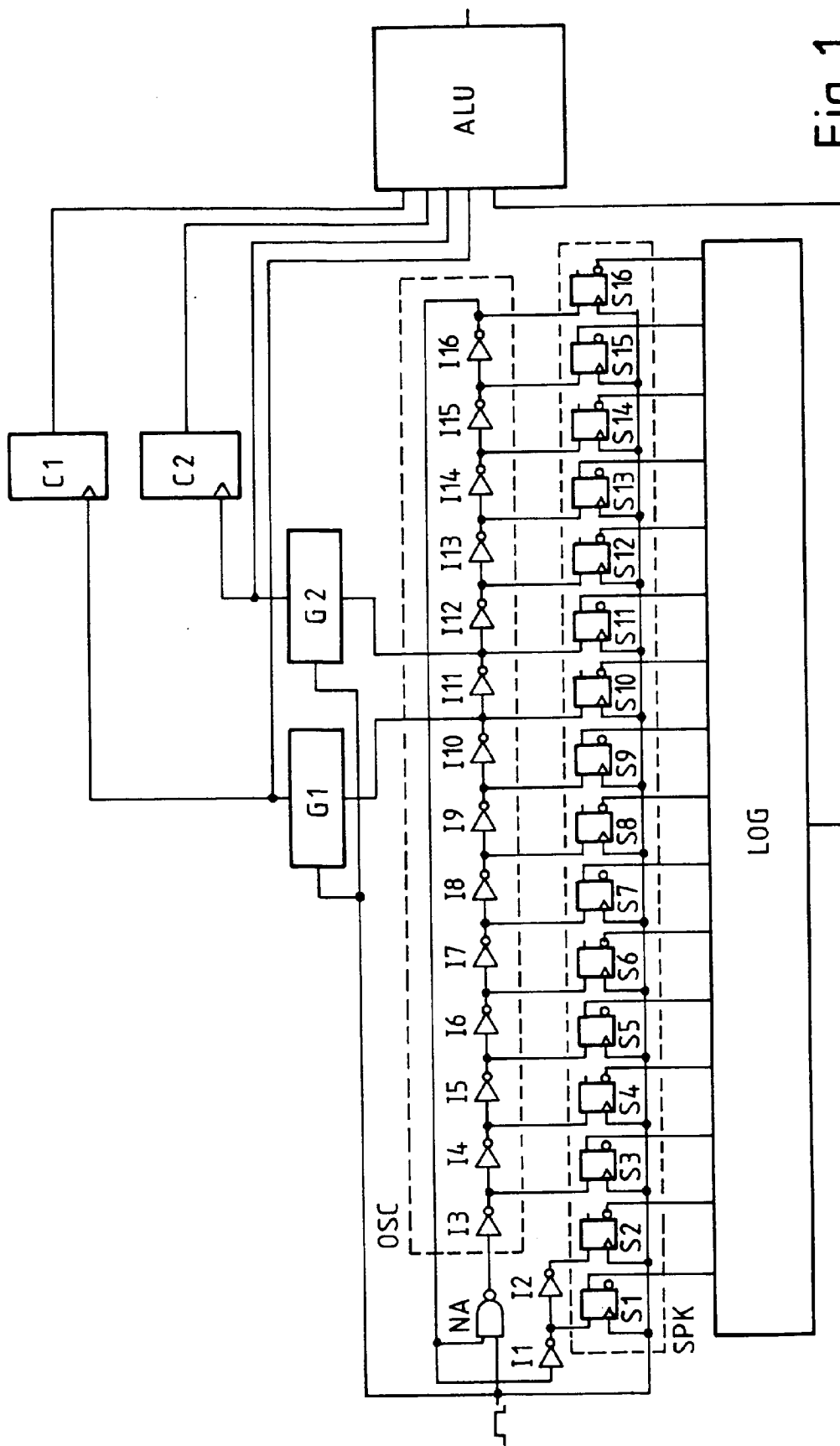


Fig. 1

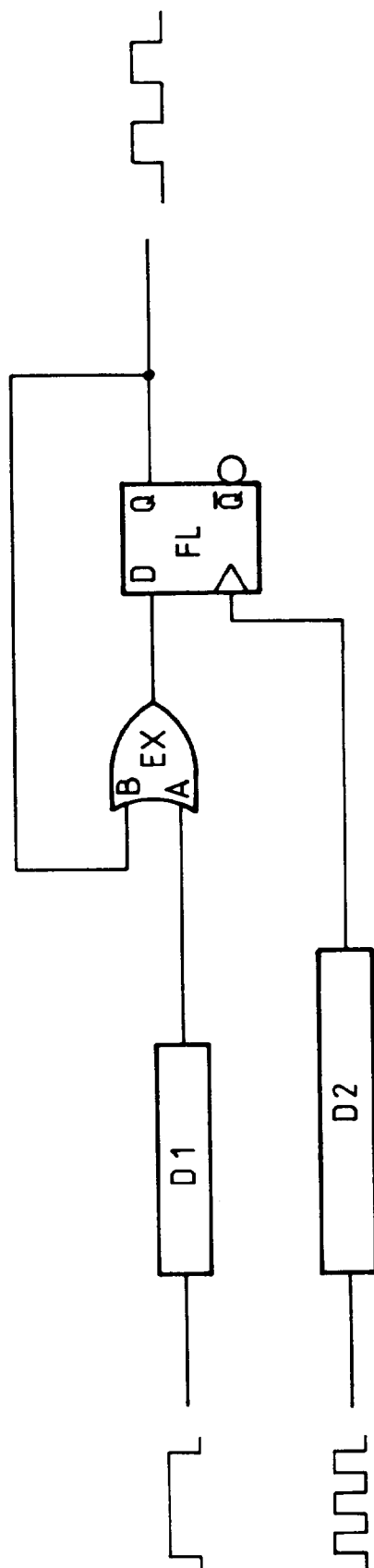


Fig. 2

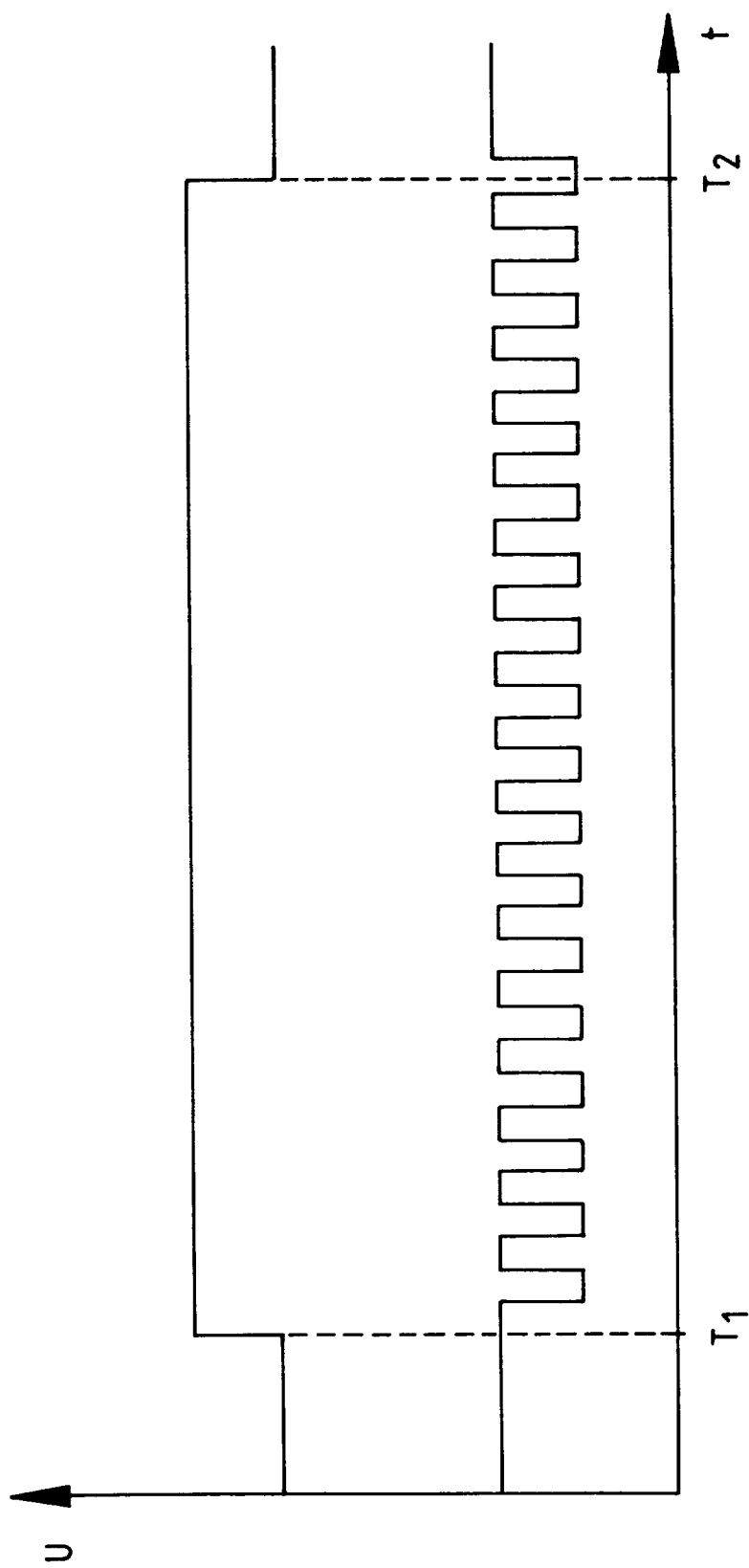


Fig. 3