



⑫ **DEMANDE DE BREVET EUROPEEN**

⑳ Numéro de dépôt : **93401508.2**

⑤① Int. Cl.<sup>5</sup> : **G09G 1/16**

㉑ Date de dépôt : **11.06.93**

③⑦ Priorité : **03.07.92 FR 9208488**

⑦② Inventeur : **Augais, Thierry**  
**58, Allée du Bocage de Beaudreville**  
**F-91190 Gif Sur Yvette (FR)**

④③ Date de publication de la demande :  
**05.01.94 Bulletin 94/01**

⑦④ Mandataire : **de Saint-Palais, Arnaud Marie et al**  
**CABINET MOUTARD 35, Avenue Victor Hugo**  
**F-78960 Voisins le Bretonneux (FR)**

⑧④ Etats contractants désignés :  
**BE CH DE GB IT LI NL**

⑦① Demandeur : **Augais, Thierry**  
**58, Allée du Bocage de Beaudreville**  
**F-91190 Gif Sur Yvette (FR)**

⑤④ **Dispositif de saisie en temps réel de signaux vidéo numériques dans la mémoire de trame d'un dispositif de mémorisation et/ou de visualisation d'images.**

⑤⑦ Le dispositif selon l'invention comprend une interface (4) incluant une mémoire tampon de type FIFO à double accès asynchrone, chargée en entrée par les échantillons numériques du signal vidéo, et un dispositif (6,8,9) permettant la lecture de la mémoire tampon et l'écriture en temps réel de ces échantillons dans une mémoire de trame aux adresses appropriées à la reconstitution spatiale des images.

L'invention permet de réaliser l'affichage en temps réel d'un signal vidéo numérique à haut débit.

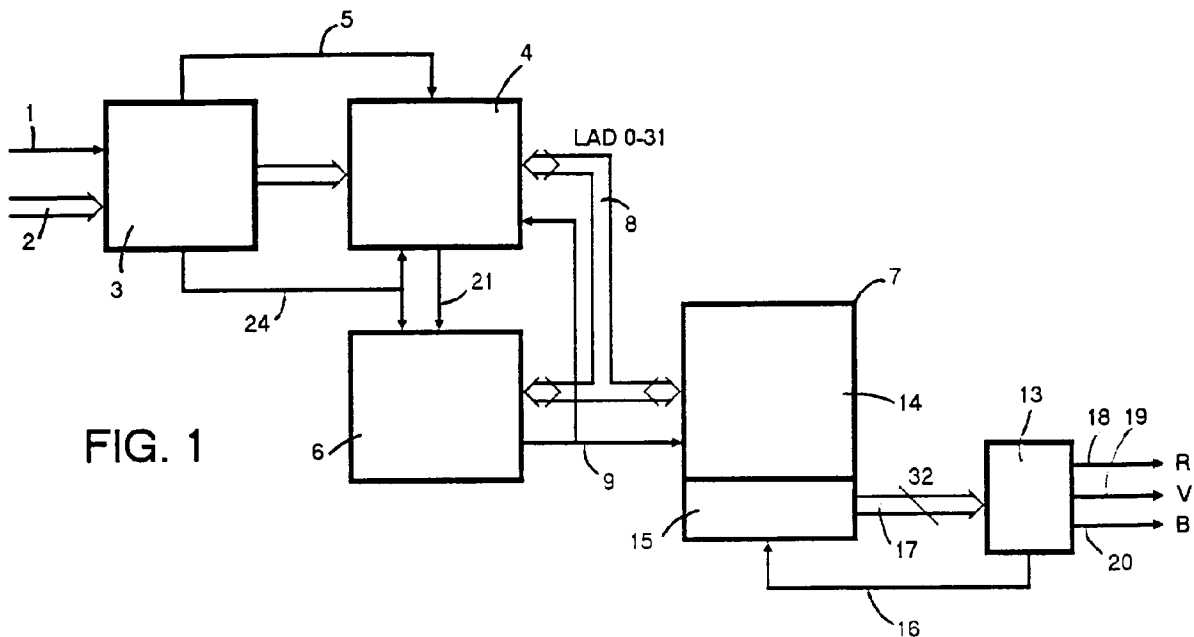


FIG. 1

L'invention concerne un procédé et un dispositif de traitement de signaux vidéo qui sont transférés sous la forme d'échantillons numériques dans la mémoire d'un dispositif d'enregistrement et/ou de visualisation d'images.

En imagerie numérique, il est connu d'échantillonner et de numériser le signal vidéo fourni par une source vidéo au moyen d'un numériseur pour constituer une suite d'échantillons numériques représentatifs de l'image recue et susceptibles d'être exploités par des systèmes de traitement et de stockage des données, ou bien transmises sur des réseaux de communication publics ou privés.

Ces informations numériques peuvent être reconstituées avant ou après traitement informatique par des dispositifs de visualisation et/ou d'enregistrement d'images, qui, par lecture d'une mémoire dite de trame dans laquelle sont rangées les dites informations, permet de reconstituer un signal vidéo analogique affichable sur un écran de visualisation.

Certains dispositifs incluent simultanément les fonctions de numérisation et de visualisation et sont interfacés avec un processeur hôte dont le rôle est de contrôler les opérations nécessaires au traitement des données, c'est-à-dire, des points de l'image.

D'autres dispositifs, dont la fonction est de réaliser une transposition de standard d'un signal vidéo vers un appareil vidéo fonctionnant suivant un standard différent, utilisent cette technique de numérisation, c'est-à-dire, mettent en oeuvre une mémoire de trame.

Les sources vidéo existantes diffèrent les unes des autres en ce qui concerne les caractéristiques du signal vidéo qu'elles délivrent, et les dispositifs de numérisation, de codage ou de décodage traitent également ces sources de manière très variée.

Si l'on se limite à la vidéo à balayage, un signal vidéo numérique est principalement caractérisé par les paramètres suivants :

- la fréquence d'échantillonnage,
- le nombre de trames par image,
- la fréquence de trame,
- le nombre d'échantillons ou points par ligne de l'image,
- le nombre de lignes par trame,
- la constitution de chaque point en nombre de bits, et
- la signification de chaque bit du point.

En ce qui concerne les dispositifs de visualisation d'images, les paramètres caractéristiques sont ceux qui décrivent l'organisation de la mémoire de trame, c'est-à-dire, la mémoire qui contient les points affichables à l'écran et les caractéristiques du signal vidéo analogique généré, par exemple, à destination d'un écran de visualisation.

Ces paramètres sont principalement :

- la fréquence de l'horloge point,
- la fréquence de trame,

- le nombre de points par ligne,
- le nombre de lignes par trame,
- le caractère entrelacé ou non de la lecture de la mémoire,
- le nombre de bits par point, et
- la constitution des points.

Par exemple, pour un cas typique, on peut donner les valeurs suivantes : 8 bits par point, 640 points utiles par ligne, 480 lignes utiles non entrelacées par trame, 60 Hz de fréquence trame, et une fréquence point de 25,175 MHz.

Lorsque les caractéristiques du signal vidéo délivré par la source à traiter et celles du signal vidéo analogique à générer sont différentes, il se pose deux types de problèmes : les problèmes à caractère spatial liés aux différences de format des images et les problèmes à caractère temporel liés aux différences de vitesse de balayage et d'horloge point.

En effet, il est nécessaire d'écrire les échantillons numériques aux adresses appropriées dans la mémoire de trame de manière à reconstituer spatialement correctement l'image, et de réaliser cette écriture à une vitesse compatible avec le débit des échantillons numériques en entrée.

Dans le cas où les images ainsi chargées en mémoire de trame doivent être affichées en temps réel, il est nécessaire de lire simultanément la mémoire de trame à la cadence appropriée à la reconstitution du signal vidéo en sortie.

Actuellement des composants ont été conçus pour résoudre ces problèmes : les mémoires de trame de type VRAM ("Video Random Access Memory", Mémoire Vidéo à Accès Aléatoire). Ces mémoires sont constituées d'une zone mémoire de type RAM ("Random Access Memory", Mémoire à Accès Aléatoire) et d'un registre série de type SAM ("Serial Access Memory", Mémoire à Accès en Série). Elles peuvent être lues ou chargées d'une manière classique, via la zone RAM, et également, par transfert de ligne entre la zone RAM et le registre série.

Ces composants permettent donc l'acquisition d'un flux séquentiel d'informations par écriture dans le registre série, puis le transfert du contenu du registre série vers la zone mémoire RAM, ou bien, inversement, la lecture continue de la zone mémoire par transfert d'une ligne de la zone mémoire dans le registre série, puis la lecture séquentielle du registre série.

Lorsque l'on désire acquérir un signal pour, simultanément, le mémoriser et le lire pour le visualiser, il n'est pas possible d'utiliser le registre série à la fois pour la lecture et l'écriture des informations. En pratique, le registre série des composants de ce type est utilisé essentiellement pour lire l'information contenue dans la zone mémoire RAM à une cadence permettant la génération d'un signal vidéo à destination d'un écran de visualisation. Les accès à la zone mémoire RAM sont réalisés sous contrôle d'un proces-

seur pour le chargement d'images à partir d'une mémoire de masse. Dans tous les cas, le débit d'informations que l'on peut atteindre par écriture directe en zone mémoire RAM est insuffisant pour la saisie en temps réel des signaux vidéo numériques standards.

L'invention a donc plus particulièrement pour but de proposer une solution avantageuse à ces problèmes par la mise en oeuvre d'un procédé permettant de transférer en temps réel, une suite d'échantillons numériques ininterrompue, comme c'est le cas d'un signal vidéo numérisé, dans la mémoire de trame d'un dispositif d'enregistrement et/ou de visualisation d'images vidéo.

Ainsi, l'invention concerne un procédé pour la saisie d'images vidéo à partir d'au moins un signal vidéo numérisé constitué de mots correspondant chacun à au moins un point d'une image source, et transmittant par une interface qui comprend une mémoire tampon.

Selon l'invention, ce procédé est caractérisé en ce que le signal vidéo est transféré en temps réel de la mémoire tampon, par paquets d'au moins un mot, dans une mémoire de trame présentant, au moins partiellement, une organisation matricielle dont l'adressage est réalisé lors du transfert, de manière à assurer la reconstitution spatiale de l'image.

Comme précédemment mentionné, l'invention concerne également un dispositif pour la mise en oeuvre du procédé précédemment décrit, ce dispositif comprenant ladite interface et ladite mémoire de trame qui fait partie d'un espace mémoire adressable par un processeur, ce dispositif étant caractérisé en ce que ladite mémoire tampon peut être chargée et son contenu transféré en temps réel et directement dans la mémoire de trame, ladite interface étant connectée au processeur, à la façon d'un co-processeur, c'est-à-dire qu'elle est capable de décoder et d'exécuter les commandes émises par le processeur sous la forme de signaux de contrôle, et normalement destinées à un co-processeur, au moins en ce qui concerne les transferts de données du co-processeur, c'est-à-dire de la mémoire tampon, vers les registres internes et l'espace mémoire adressable du processeur.

Normalement, l'interface co-processeur d'un processeur permet d'associer à ce dernier un composant spécialisé en vue d'améliorer ses performances dans un domaine particulier, généralement, en calcul avec virgule flottante. Cet objectif implique que cette interface est capable d'assurer des communications à haut débit entre le co-processeur et l'environnement du processeur.

Pour exploiter cette caractéristique du processeur, l'interface faisant partie du dispositif selon l'invention, est conçue comme un co-processeur du processeur choisi, c'est-à-dire, qu'elle répond aux spécifications du constructeur décrites, en particulier, dans le guide de l'utilisateur du processeur.

Dans le contexte de l'invention, il est avantageux de choisir un processeur du type microprocesseur graphique qui dispose d'instructions assembleur de transfert de données par blocs, notamment du co-processeur vers les registres et l'espace mémoire adressable du processeur, où est située la mémoire de trame.

D'autre part, la mémoire tampon du dispositif est avantageusement de type asynchrone à double accès, c'est-à-dire, dans laquelle les écritures et les lectures peuvent être effectuées en temps réel et de manière asynchrone. Ainsi, cette mémoire tampon est chargée par les échantillons numériques du signal vidéo, et peut être lue de manière à ce que l'échantillon écrit en premier soit lu en premier, comme c'est le cas dans les piles de type "premier entré - premier sorti", connues sous la désignation de FIFO ("First In - First Out").

Lorsqu'un certain nombre de mots ont été chargés dans la mémoire tampon à l'aide d'une horloge synchrone des échantillons numériques, l'interface génère un signal à destination du processeur pour déclencher le transfert de la mémoire tampon vers la mémoire de trame.

Grâce à ces dispositions, les échantillons sont écrits dans la mémoire tampon, puis ils sont transférés directement (sans passer par les registres internes du processeur) et par paquets de plusieurs mots de chacun un ou plusieurs points, en mémoire de trame aux adresses appropriées pour permettre une reconstitution spatiale des images reçues, nécessaire à leur visualisation.

Ainsi, le dispositif selon l'invention est capable d'écrire en temps réel, directement en mémoire de trame, un signal vidéo numérique à haut débit, permettant, dans le cas de l'utilisation de mémoires de trame de type VRAM, l'affichage également en temps réel des images acquises par lecture du registre série.

Cette solution est avantageuse d'une part, par la simplicité de sa mise en oeuvre, et d'autre part, par l'aspect universel de son principe, utilisable pour tous les standards vidéo actuels, aussi bien en entrée, qu'en sortie.

La mémoire de trame utilisée est avantageusement constituée de mémoires de type VRAM.

L'interface y écrit les mots lus dans la mémoire tampon par accès à la zone mémoire RAM, le registre série étant utilisé dans le même temps pour réaliser les fonctions de rafraîchissement de l'écran de visualisation, et donc de visualisation en temps réel des images acquises.

L'invention résout donc le problème de l'asynchrone existant entre le signal vidéo en entrée du dispositif et le signal vidéo qui est généré et traité par l'écran de visualisation.

Un mode de réalisation de l'invention sera décrit ci-après, à titre d'exemple non limitatif, avec référence aux dessins annexés dans lesquels :

la figure 1 représente schématiquement le synoptique d'une réalisation mettant en oeuvre le dispositif selon l'invention ;

la figure 2 représente schématiquement le synoptique du dispositif ;

la figure 3 est une représentation schématique illustrant le principe d'adressage de la zone mémoire RAM de la mémoire de trame utilisée par le dispositif.

Sur la figure 1, un signal vidéo (1) ou une information numérique (2) pénètre dans un circuit (3) de traitement et éventuellement de conversion analogique / numérique, dans le cas d'un signal vidéo.

Ce circuit (3) transfère, par l'intermédiaire d'un bus (12), les informations numériques qu'il a obtenu, vers l'interface d'acquisition vidéo (4). Il lui envoie également, par l'intermédiaire d'une liaison (5), un signal permettant de synchroniser le transfert de ces informations.

Le circuit (3) effectue également la détection du signal de début de trame qu'il transfère, par la liaison (24), à l'interface (4) et à une borne d'entrée d'interruption d'un processeur (6) de type microprocesseur.

L'interface (4) est couplée avec le processeur (6) de la même manière qu'un co-processeur, c'est-à-dire, en respectant les spécifications du constructeur décrites dans le guide de l'utilisateur du processeur.

Elle est également connectée à une borne d'entrée d'interruption du processeur (6), par l'intermédiaire d'une ligne (21).

Un bus (8) de transfert de données et d'adresses, ainsi qu'un bus (9) permettant de faire transiter des signaux de contrôle, relie d'une part, l'interface (4) et le processeur (6), et d'autre part, une mémoire de trame (7) de type VRAM (Video Random Access Memory) où sont stockés les points de l'image affichée. Selon ce schéma, la mémoire de trame (7) fait partie de l'espace adressable du processeur (6).

Par définition, les mémoires de type VRAM sont constituées d'une zone de mémoire (14) de type RAM (Random Access Memory) et d'un registre série (15) de type SAM (Serial Access Memory).

Lorsque la mémoire de trame (7) reçoit certains signaux de contrôle par l'intermédiaire du bus (9), elle transfère simultanément un ensemble de mots consécutifs correspondant à une ligne de l'écran de visualisation, dont l'adresse a été préalablement fournie par le bus (8), de la zone mémoire (14) vers le registre série (15). L'opération en sens inverse est également possible.

Le registre série (15) est connecté à un circuit de traitement vidéo et de conversion numérique / analogique (13), lequel fournit le signal vidéo couleur constitué d'une composante "rouge" (18), "verte" (19) et "bleue" (20).

Pour synchroniser le transfert des mots contenus dans le registre série (15) vers le circuit (13), un signal

d'horloge est généré par le circuit (13) sur une liaison (16), à destination du registre série (15).

L'interface (4), montrée schématiquement sur la figure 2 comprend une mémoire tampon (22) dans laquelle sont chargées les informations numériques délivrées par le bus (12) en provenance du circuit de traitement (3). Ce chargement est cadencé par un signal d'horloge fourni par le circuit de traitement (3) sur la liaison (5) qui est connectée à la borne W (comme "Write", Ecrire) de la mémoire tampon (22).

A partir d'un certain taux de remplissage, la mémoire tampon (22), de type FIFO ("First In - First Out"), génère un signal d'interruption sur la ligne (21), correspondant à une demande de transfert, à destination du processeur (6).

Pour pouvoir fonctionner comme un co-processeur vu du processeur (6), l'interface (4) est munie d'une logique de contrôle (10) qui est connectée, par l'intermédiaire de la liaison (26), à la borne R (comme "Read", Lire) de la mémoire tampon (22).

Cette logique de contrôle permet de traiter, à l'instar d'un co-processeur, les signaux de contrôle arrivant sur le bus (9) et le bus (8) pour présenter sur le bus (8), aux instants adéquats, les informations les plus anciennes stockées dans la mémoire tampon (22), par l'intermédiaire d'un bus (23), puis d'un adaptateur de bus (11).

Pour fonctionner comme un co-processeur, la logique de contrôle est capable de reconnaître les signaux de contrôles émis par le processeur (6) sur le bus (8), destinés normalement à un co-processeur.

Ces signaux de contrôle, lorsqu'ils sont destinés au co-processeur, contiennent des informations notamment sur le sens du transfert et sur le nombre de mots à transférer.

Dans le cas présent, le processeur (6) n'a besoin de contrôler que les transferts de données des registres du co-processeur, ici la mémoire tampon (22), vers ses registres internes et sa mémoire locale dont fait partie la mémoire de trame. La logique de contrôle (10) n'a donc besoin de reconnaître que ces commandes de transfert.

Pour synchroniser le transfert des informations vers le bus (8) avec la lecture de la mémoire tampon (22), la liaison (26) est également connectée à la borne CLK (comme "CLock", horloge) de l'adaptateur de bus (11).

La liaison (27) entre la borne OE (comme "Output Enable", valide la sortie) de l'adaptateur de bus (11) et la logique de contrôle (10) permet à ce dernier de commander l'adaptateur (11) pour réserver le bus (8), uniquement pendant un transfert.

La ligne (24), en entrée de l'interface (4), arrive sur la borne RST (comme "ReSeT", remise à zéro) pour réaliser l'initialisation à la mémoire tampon (22).

La mémoire tampon (22) est caractérisée par les paramètres suivants :

- le nombre de points par mot,

- sa largeur 1, c'est-à-dire, le nombre de bits de chaque mot stocké, et
- sa profondeur L, c'est-à-dire, le nombre de mots successifs qu'elle peut contenir.

Le signal vidéo (1) ou l'information numérique (2) en entrée sont traités par le circuit de traitement (3), qui, en sortie, délivre des mots de 32 bits par exemple, qui sont chargés dans la mémoire tampon (22). Le débit des informations est égal à la fréquence  $f_c$  de l'horloge de chargement multipliée par la largeur 1 de la mémoire tampon (22).

Par exemple, si la largeur des mots chargés est égale à 32 bits et la fréquence  $f_c$  est égale à 8 MHz, le débit est de  $32 \times 8 \times 10^6 = 256$  Mégabits par seconde. Notons que la fréquence de chargement  $f_c$  est soit égale à la fréquence d'échantillonnage du signal vidéo (1) par le convertisseur analogique / numérique du circuit de traitement (3), soit égale à un sous-multiple de cette fréquence, et qu'elle est synchrone de l'horloge d'échantillonnage.

Lorsqu'un certain nombre M de mots ont été chargés dans la mémoire tampon (22), celle-ci délivre un signal sur la ligne (21) à l'attention du processeur (6). Ce signal peut être traité comme une interruption ou par tout autre moyen permettant sa prise en compte rapide par le processeur (6).

Si ce signal est traité comme une interruption par le processeur (6), la routine d'interruption qui est alors exécutée, génère un certain nombre de cycles de transfert de la mémoire tampon (22) vers la mémoire de trame (7). A cet effet, le processeur (6) dispose d'une instruction assembleur qui permet d'effectuer ce transfert par blocs de plusieurs mots.

Tel que représenté sur la figure 3, la zone mémoire (14) de la mémoire de trame (7) présente une organisation matricielle et comprend un ensemble (31) de largeur P1 dont chaque case mémoire correspond à un point de l'image affichée à l'écran. Cet ensemble (31) comprend un sous-ensemble (32), de largeur P2 inférieure ou égale à P1, dont chaque case mémoire correspond à un point de l'image transférée par l'interface (4).

La portion de ligne (33) qui vient d'y être transférée, est repérée par son premier point (34) et le premier point (35) chargé lors du transfert suivant. Le point (36) situé dans le coin supérieur gauche du sous-ensemble (32) correspond au coin supérieur gauche de l'image transférée par l'interface (4).

Avant le transfert de la portion de ligne (33), le processeur (6) possède un registre R qui contient l'adresse A du premier point (34) de la zone mémoire (14), où doit être écrit le premier mot transféré sur le bus (8). A la réception d'un signal sur la ligne (21), le processeur (6) déclenche le transfert d'un certain nombre p de mots contenus dans la mémoire tampon (22) vers la zone mémoire (14). Ce transfert qui se produit sur le bus (8), est réalisé sous contrôle du bus (9) à une fréquence  $f_t$  déterminée par le processeur

(6).

Au fur et à mesure de l'écriture des p mots dans la zone mémoire (14), le registre R est incrémenté automatiquement et permet, par un moyen matériel propre au processeur (6), et permet l'adressage séquentiel de la zone mémoire (14).

Pendant ce transfert, la logique de contrôle (10) traite les signaux de contrôle reçus sur le bus (9) pour délivrer aux instants adéquats, les p mots à la sortie de l'adaptateur (11).

Bien entendu, pour que la mémoire tampon (22) ne déborde pas, il est nécessaire que les p mots soient lus à une fréquence  $f_t$  supérieure à la fréquence de chargement  $f_c$ .

A la fin du transfert des p mots, il y a donc moins de M mots dans la mémoire tampon, et le signal émis sur la ligne (21) se trouve donc désactivé. Le processeur (6) est alors libéré jusqu'au transfert suivant déclenché lorsque la mémoire tampon (22) contient à nouveau M mots. A cet instant, le registre R contient l'adresse (A + p) du premier point (35) qui sera chargé lors du transfert suivant. Cette valeur peut être conservée ou modifiée par le processeur (6) pour différentes raisons, en particulier, lorsque l'on a atteint la fin d'une ligne de l'image transférée par l'interface (4) et que le nombre P1 de mots par ligne de l'ensemble (31) (image affichée) diffère du nombre P2 de mots par ligne du sous-ensemble (32) (image transférée), ou bien lorsque l'on a atteint la fin d'une trame.

Notons qu'un signal peut éventuellement être émis par le circuit de traitement (3), lors de la détection du signal de synchronisation trame du signal vidéo (1).

Ce signal est délivré, par l'intermédiaire de la ligne (24), à l'attention de l'interface (4) et du processeur (6), sur lequel il déclenche, par exemple, une deuxième interruption qui provoque l'initialisation du registre R à l'adresse mémoire du point (36) situé dans le coin supérieur gauche du sous-ensemble (32).

Pour préciser le fonctionnement de la mémoire tampon (22), prenons un exemple numérique : la mémoire tampon (22) peut contenir  $L = 512$  mots de  $l = 32$  bits de large. Le signal transitant sur la ligne (21), connectée à la borne HF (comme "Half Full", à moitié pleine), est donc actif dès que la mémoire tampon (22) est à moitié pleine, c'est-à-dire, quand elle contient plus de  $M = 256$  mots. Elle déclenche alors une interruption sur le processeur (6) qui lit  $p = 256$  mots. La fréquence  $f_c$  étant de 8 MHz, le débit d'informations à l'entrée de l'interface (4) est de  $f_c \times l = 256$  Mégabits par seconde.

Lorsque 256 mots sont chargés, c'est-à-dire, toutes les  $p / f_c = 32 \mu s$ , un signal est activé sur la ligne (21). La fréquence  $f_t$  étant de 10 MHz, la lecture des p échantillons à la fréquence  $f_t$  dure  $p / f_t = 25,6 \mu s$ . Le temps disponible au processeur (6) pour réaliser d'autres fonctions est donc de  $32 - 25,6 = 6,4 \mu s$ . C'est le temps séparant la fin d'un transfert du début du

transfert suivant.

Pratiquement, un certain temps est nécessaire entre la demande de transfert générée par l'interface (4) sur la ligne (21) et le début de l'exécution du transfert par le processeur (6).

De plus, d'éventuelles opérations d'initialisation devant être effectuées à chaque transfert, la durée de la séquence de transfert de la mémoire tampon (22) vers la mémoire de trame (7) est donc supérieure à 25,6  $\mu$ s.

D'autre part, les transferts doivent pouvoir être interrompus par des opérations prioritaires et périodiques de rafraîchissement de l'écran et de la mémoire. Ceci est rendu possible par la moitié supérieure de la mémoire tampon (22) qui procure une réserve de temps égale à 32  $\mu$ s, soit 256 mots à 8 MHz : en effet, si un transfert est ralenti de manière significative, c'est-à-dire, si la lecture des 256 mots a duré plus de 32  $\mu$ s, les mots reçus à l'entrée de l'interface (4) sont stockés au-delà de la moitié de la mémoire tampon (22). Dans ce cas, la demande de transfert présente sur la ligne (21) sera encore active à la fin du transfert, provoquant ainsi l'exécution instantanée d'un nouveau transfert.

La mémoire tampon (22) permet donc de tolérer un temps de réponse du processeur (6) lors de l'activation d'une demande de transfert sur la ligne (21), et également, de tolérer l'exécution d'opérations prioritaires pendant le transfert.

Notons, parmi ces opérations prioritaires, l'importance des rafraîchissements de l'écran : régulièrement, à la fréquence ligne de la sortie vidéo (18, 19, 20), le processeur (6) déclenche un cycle de transfert d'une ligne de la zone mémoire (14) vers le registre série (15). Ainsi, l'information contenue dans la zone mémoire (14) est lue et est transférée régulièrement vers la sortie vidéo (18, 19, 20), et donc la visualisation des informations de l'entrée vidéo (1) a lieu en temps réel.

Dans le cas où le processeur (6) est de type "TMS34020" fabriqué par la société "TEXAS INSTRUMENTS", la routine de transfert qu'il exécute, utilise l'instruction CMOVCM R,c. Elle provoque le transfert de c mots de 32 bits du co-processeur, ici de l'interface (4), vers la zone mémoire (14) à partir de l'adresse A contenue dans le registre R. Pour transférer 256 mots, il suffit de répéter 8 fois cette instruction avec  $c = 32$  qui est la valeur maximale autorisée. Le contenu du registre R est incrémenté automatiquement, il n'est donc pas nécessaire de le recharger à chaque exécution de l'instruction. Le bus (8) et les signaux de contrôle transitant sur le bus (9) sont ceux utilisés par un co-processeur standard du "TMS34020" et spécialement le "TMS34082". L'interface (4) se comporte ainsi comme un co-processeur

Selon un mode d'exécution préféré, la largeur de la mémoire tampon (22) est supérieure de, par exem-

ple, un bit de la largeur des mots du signal vidéo numérisé. Ce bit supplémentaire peut être utilisé, par exemple, par le circuit de traitement (3) pour transférer une information de contrôle associée à chaque point de l'image source, pour indiquer, par exemple, si le point doit être affiché ou non.

Un registre d'entrée/sortie (37) peut être associé au dispositif pour lui envoyer des informations concernant les caractéristiques des images, telles que, par exemple, le nombre de points par ligne, le nombre de lignes par trame, la position du coin supérieur gauche de la trame dans l'écran, ou une commande de gel d'image.

Ces informations sont chargées dans le registre (37) par le bus d'entrée (38), et sont lues lorsqu'une interruption est générée sur la ligne (24) de manière à ce que le processeur (6) puisse les prendre en compte.

A cet effet, le processeur (6) envoie une commande par le bus (8) à destination de la logique de contrôle (10), lequel envoie, par l'intermédiaire de la ligne de commande (39), une commande de transfert du contenu du registre (37) sur le bus (8) à destination du processeur (6).

Le processeur (6) peut alors prendre en compte ces informations pour modifier les caractéristiques du transfert dans la zone mémoire (14), telles que l'adresse de début de la trame et les dimensions de l'image transitant par l'interface (4). Cette disposition permet, par exemple, d'afficher et de rafraîchir simultanément plusieurs images.

Dans le cas où une commande de gel de l'image est écrite dans le registre (37), le processeur (6) n'effectue plus le transfert des données de la mémoire tampon (22) vers la mémoire de trame (7). A cet instant, l'image affichée à l'écran de visualisation apparaît figée.

Bien entendu, il est possible de mettre d'autres composants à la place du registre (37), tels qu'une mémoire ou une barrette de micro-interrupteurs permettant de configurer manuellement les caractéristiques du transfert.

## 45 Revendications

1. Dispositif de saisie d'images vidéo à partir d'au moins un signal vidéo numérisé (2) constitué de mots correspondant chacun à au moins un point d'une image source, ce dispositif comprenant une interface (4) qui comporte une mémoire tampon (22) dans laquelle est chargé en temps réel le signal vidéo numérisé, une mémoire de trame (7) présentant, au moins partiellement, une organisation matricielle, et un processeur (6) présentant un espace mémoire adressable dont fait partie la mémoire de trame (7), caractérisé en ce que ladite interface (4) est

- connectée au processeur (6), à la façon d'un co-processeur, c'est-à-dire qu'elle est capable de décoder et d'exécuter les commandes émises par le processeur (6) sous la forme de signaux de contrôle, et normalement destinées à un co-processeur, au moins en ce qui concerne les transferts de données du co-processeur, c'est-à-dire, de la mémoire tampon (22), vers les registres internes et l'espace mémoire adressable du processeur (6), de manière à pouvoir transférer en temps réel le contenu de la mémoire tampon (22), par paquets d'au moins un mot, directement dans la mémoire de trame (7) dont l'adressage est réalisé par le processeur (6) lors du transfert, en vue d'assurer la reconstitution spatiale de l'image.
- 5
2. Dispositif selon la revendication 1, caractérisé en ce que la mémoire tampon (22), de type "premier entré / premier sorti" est chargée à une fréquence synchrone de la fréquence d'échantillonnage du signal vidéo (1).
- 10
3. Dispositif selon l'une des revendications 1 et 2, caractérisé en ce que l'interface (4) est connectée au bus de transfert d'adresses et de données (8) et aux lignes de transit des signaux de contrôle (9, 21, 24) du processeur (6), et comprend un circuit de contrôle (10) destiné à décoder et exécuter les commandes émises par le processeur (6), normalement destinées à un co-processeur.
- 15
4. Dispositif selon l'une des revendications précédentes, caractérisé en ce que le processeur (6) de type microprocesseur graphique est capable de commander le transfert des informations stockées dans la mémoire tampon (22) vers la mémoire de trame (7), par blocs d'au moins un mot à l'aide d'une seule instruction assembleur.
- 20
5. Dispositif selon l'une des revendications précédentes, caractérisé en ce que l'interface (4) délivre un signal d'interruption qui déclenche le transfert de la mémoire tampon (22) vers la mémoire de trame (7).
- 25
6. Dispositif selon la revendication 5, caractérisé en ce que la mémoire tampon (22) délivre ledit signal d'interruption lorsqu'elle est à moitié pleine.
- 30
7. Dispositif selon l'une des revendications précédentes, caractérisé en ce que la mémoire de trame (7) comprend un registre série (15) et une zone mémoire (14) qui présente une organisation matricielle et qui inclue une partie dont chaque case
- 35
8. Dispositif selon la revendication 7, caractérisé en ce que le transfert s'effectue de la mémoire tampon (22) vers ladite zone mémoire (14) et est déclenché lors de la réception du susdit signal d'interruption par le processeur (6).
- 40
9. Dispositif selon l'une des revendications précédentes, caractérisé en ce que la mémoire tampon (22) permet de mémoriser des mots de taille supérieure à celle des mots du signal vidéo numérisé de manière à pouvoir transférer une information de contrôle associée à chaque point de l'image source.
- 45
10. Dispositif selon l'une des revendications précédentes, caractérisé en ce que les paramètres caractérisant l'image à transférer peuvent transiter par l'interface (4).
- 50
11. Dispositif selon la revendication 10, caractérisé en ce que le processeur (6) accède aux susdits paramètres stockés au niveau de l'interface (4) lors de la réception d'un signal d'interruption, afin de reconfigurer en temps réel, les caractéristiques du transfert dans la zone mémoire (14).
- 55
12. Dispositif selon l'une des revendications précédentes, caractérisé en ce que le processeur (6) est de type "TMS34020" fabriqué par la société "TEXAS INSTRUMENTS".

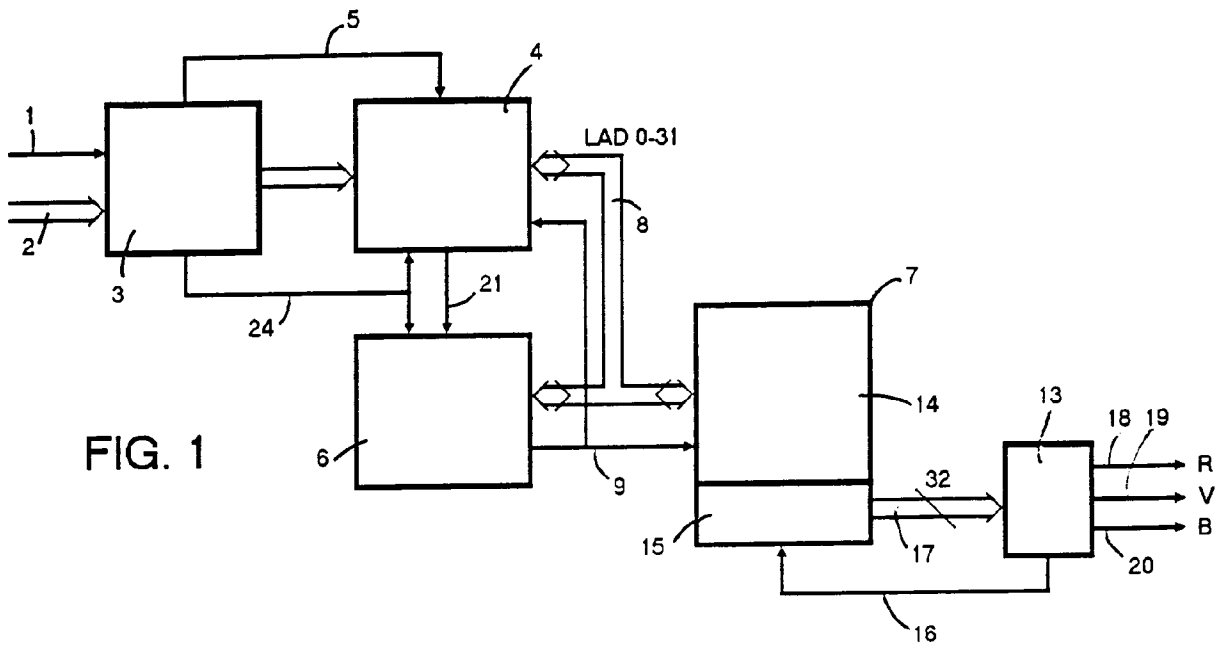


FIG. 1

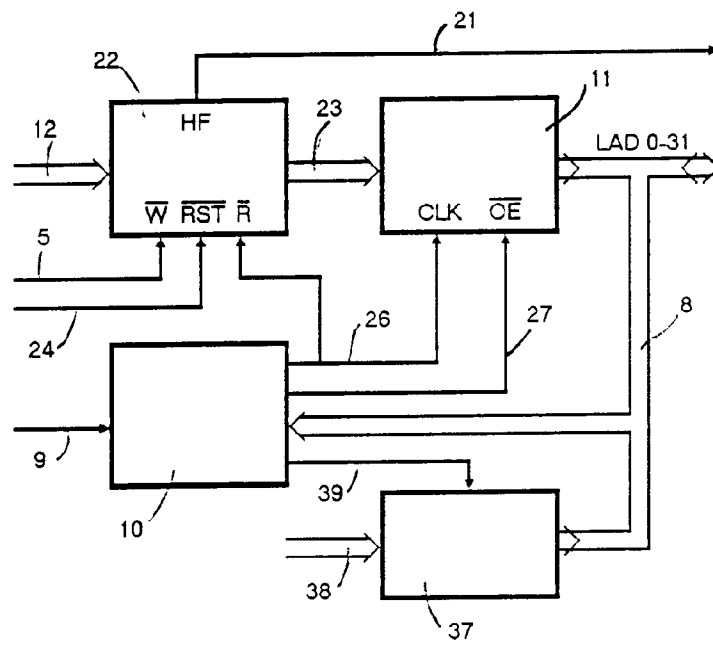


FIG. 2

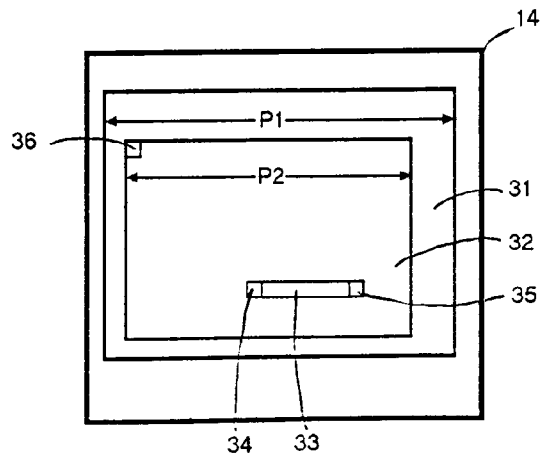


FIG. 3



Office européen  
des brevets

## RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 93 40 1508

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
A	EP-A-0 431 845 (RASTEROPS CO.) * page 3, ligne 4 - ligne 12 * * page 3, ligne 40 - ligne 44 * * page 4, ligne 20 - ligne 30 * * page 5, ligne 13 - ligne 33 * * page 5, ligne 53 - ligne 57 * * page 6, ligne 7 - ligne 18 * * figures 1,2 * ---	1,2,7	G09G1/16
A	EP-A-0 266 431 (FANUC LTD) * page 4, ligne 12 - page 5, ligne 5 * * page 6, ligne 8 - page 7, ligne 2 * * figures 1,2 * ---	7	
A	HITACHI REVIEW vol. 38, no. 1, Février 1989, TOKYO JP pages 11 - 20 MASAHARU ANDO ET AL. 'H16 16-bit microprocessor and application' * page 18, colonne 1, ligne 1 - page 19, colonne 1, ligne 7; figure 15 * ---	4	
A	AFIPS CONFERENCE PROCEEDINGS: 1983 NATIONAL COMPUTER CONFERENCE vol. 52, Mai 1983, ARLINGTON, VA, USA pages 479 - 485 D.L. FINKE 'Dynamic RAM architectures for graphics applications' * page 484, colonne 1, ligne 26 - colonne 2, ligne 3; figure 3 * -----	2	
Le présent rapport a été établi pour toutes les revendications			DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 11 OCTOBRE 1993	Examineur FARRICELLA L.
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ..... & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

EPO FORM 1503 03.82 (F0462)