(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Veröffentlichungsnummer: **0 614 165 A1**

(12) EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: **94102849.0**

(51) Int. Cl.[5]: **G09G 3/36**

(22) Anmeldetag: **25.02.94**

(30) Priorität: **05.03.93 DE 4306916**

(43) Veröffentlichungstag der Anmeldung:
07.09.94 Patentblatt 94/36

(84) Benannte Vertragsstaaten:
FR GB NL

(71) Anmelder: **Lüder, Ernst, Prof. Dr.-Ing. habil.**
Institut für Netzwerk- und Systemtheorie,
Labor für Bildschirmtechnik,
Allmandring 3B
D-70550 Stuttgart (DE)

(72) Erfinder: **Khakzar, Karim**
Auf der Lug 7
D-71726 Benningen (DE)
Erfinder: **Lüder, Ernst, Prof. Dr.-Ing. habil.**
Allmandring 3B
D-70550 Stuttgart (DE)
Erfinder: **Schleupen, Kai**
Brühlstrasse 37
D-70771 Leinfelden-Echterdingen (DE)

(74) Vertreter: **Möbus, Rudolf, Dipl.-Ing. et al**
Hindenburgstrasse 65
D-72762 Reutlingen (DE)

(54) Elektrische Schutzeinrichtung mit thermischen Detektor.

(57) Eine Schaltungsanordnung zur Erzeugung eines analogen Ausgangssignals aus einem digitalen Datenwort und ein Verfahren zur Ansteuerung von Datenleitungen eines Flüssigkristall-Bildschirmes mit einer solchen Schaltungsanordnung, wobei die Schaltungsanordnung zur Ermöglichung der Ansteuerung eines Flüssigkristall-Bildschirmes mit einer hohen Zahl von in digitalen N-Bit-Datenworten vorliegenden Graustufenwerten einen Signalspeicher (12) mit N Speicherelementen (C0, C1, ..., C(N-1)) und N Schaltelementen (SP0, SP1, ..., SP(N-1)) sowie einen Digital/Analog-Wandler (13) aufweist.

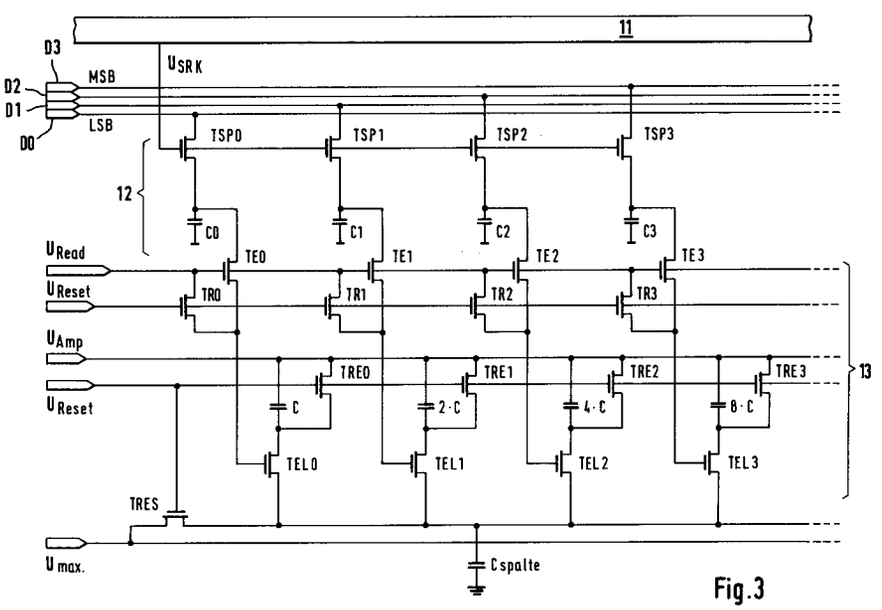


Fig.3

EP 0 614 165 A1

Die Erfindung betrifft eine Schaltungsanordnung zur Erzeugung eines analogen Ausgangssignales aus einem digitalen Datenwort, insbesondere für die Ansteuerung der Datenleitungen eines Flüssigkristall-Bildschirmes, und ein Verfahren zur Ansteuerung der Datenleitungen eines Flüssigkristall-Bildschirmes mit einer solchen Schaltungsanordnung.

Die genannte Schaltungsanordnung weist besondere Vorteile bei der Verwendung zur Ansteuerung der Datenleitungen von Flüssigkristall-Bildschirmenauf, ist jedoch nicht auf diese Anwendung begrenzt. Bildschirme mit Kathodenstrahlröhren werden in Zukunft im Fernseh- und Computerbereich vermehrt durch aktive Flüssigkristall-Bildschirme (sogenannte aktive LCDs) ersetzt. Diese Flüssigkristall-Bildschirme weisen eine Vielzahl von Vorteilen auf wie geringes Gewicht, flache Bauweise, geringe Verzerrung des darzustellenden Bildes, niedrige Ansteuerspannungen, die Möglichkeit als Lichtventil in Projektoren eingesetzt zu werden, hohe Auflösung, das Fehlen von schädlichen Röntgenstrahlen und die Herstellbarkeit in einer preiswerten Technologie, die sich auch für großflächige Anwendungen eignet.

Flüssigkristall-Bildschirme bestehen aus einer matrixförmigen Anordnung von Bildpunkten, wobei jedem Bildpunkt ein Schaltelement zugeordnet ist. Als Schaltelement werden vielfach Dünnschichttransistoren (TFTs) verwendet. Die Bildschirminformation wird an die Datenleitungen, die in der Regel die Spaltenleitungen des Bildschirmes sind, angelegt und zeilenweise über die Schaltelemente in die Bildpunktspeicher geschrieben. Daher müssen die Zeilenleitungen so angesteuert werden, daß jeweils nur eine Zeilenleitung der N Zeilen für 1/N-tel der Bildaufbauzeit ein genügend hohes Potential besitzt, so daß die Bildpunktkapazität über das Schaltelement bis auf die der Bildpunktinformation entsprechenden Datenspannung aufgeladen werden kann. Es muß sichergestellt sein, daß die Bildpunktkapazität während der übrigen Bildwiederholzeit nicht über das Schaltelement entladen kann.

In vielen Anwendungen, wie zum Beispiel bei Bildschirmen mit hoher Bildpunktzahl und/oder kleiner Bildpunktgröße ist es vorteilhaft, die Schaltungsanordnung zur Ansteuerung der Datenleitungen auf dem Bildschirmsubstrat zu integrieren. Das erfordert, daß die Schaltungsanordnung in derselben Technologie wie die Bildschirmmatrix herstellbar ist.

Aus der Literatur sind einige Verfahren zur integrierten Ansteuerung der Datenleitungen in einer dem Herstellungsprozeß der Bildpunktmatrix kompatiblen Technologie bekannt (Malmberg et al., 1986 SID Symposium Digest; Sakai et al., 1988 SID Symposium Digest; Faughnan et al., Proceedings SID 1988; Ohwada et al., 1988 IDRC Symposium Digest; E. Emoto, 1989 Japan Display, Symposium Digest). Einige der vorgeschlagenen Schaltungen eignen sich nur für monochrome Bildschirme (Faughnan et al., Sakai et al.) oder für eine geringe Anzahl von Graustufen (z. B. Ohwada et al. nur 4 Graustufen). Das von F. Emoto vorgeschlagene Verfahren verwendet außerdem analoge Videosignale und Schieberegister mit Videoschaltern für jede Spaltenleitung. Zahlreiche heutige Fernsehgeräte verarbeiten jedoch die Videosignale digital, um so hauptsächlich durch schnelleres Auslesen aus digitalen Bildspeichern höhere Bildwechselfrequenzen zu ermöglichen, die das Großflächenflimmern bei Empfängern mit Elektronenstrahlröhren reduzieren. Aber auch die Übertragung der Fernsehsignale von der Sendeanstalt zum Empfänger wird in Zukunft digital erfolgen.

Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltungsanordnung anzugeben, mit der insbesondere die Ansteuerung eines Flüssigkristall-Bildschirmes mit einer hohen Zahl von Graustufen möglich ist, wobei die Graustufen in Form von digitalen Datenworten vorliegen.

Die Aufgabe wird mit einer Schaltungsanordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß sie für jede Datenleitung jeweils einen Signalspeicher mit N Speicherelementen für die N Bits des digitalen Datenwortes und mit N Schaltelementen sowie einem Digital/Analog-Wandler zur Erzeugung des analogen Ausgangssignales aus dem digitalen Inhalt des Signalspeichers aufweist.

Bei der Anwendung der Schaltungsanordnung zur Ansteuerung von Datenleitungen eines Flüssigkristall-Bildschirmes wird die Bildinformation für den Grauwert eines Bildpunktes in digitaler Form als Datenwort mit N Bit des Grauwertes eingelesen und nach der Digital-Analog-Wandlung auf die Datenleitung ausgegeben. Die Schaltung erlaubt damit die Herstellung von 2^N Graustufen. Die Bildinformation wird dabei für eine oder eine Gruppe von Datenleitungen zunächst digital gespeichert. Durch das digitale Prinzip läßt sich die Störempfindlichkeit stark vermindern. Andererseits ist die Schaltungsanordnung aufgrund der Möglichkeit zur Verarbeitung eines digitalen Eingangssignales sehr gut für digitale Endgeräte geeignet, da zum Beispiel die Signalverarbeitung heutiger Fernseher hauptsächlich digital erfolgt und außerdem die Fernsehsignalübertragung in Zukunft digital erfolgen wird. Die N Speicherelemente des Signalspeichers können zweckmäßigerweise Speicherkondensatoren sein. Dabei können die Kapazitäten dieser Kondensatoren klein gehalten werden, wodurch die Einschreibezeiten in den Signalspeicher sehr kurz sind. Ein weiterer Vorteil ergibt sich, wenn die Speicherkondensatoren so angeordnet sind, daß sie beim Einlesen eines logischen Bits "1" als Bootstrap-Kapazitäten wirken. Wenn die N Schaltelemente des Signalspeichers jeweils mit einer digitalen Datenleitung verbunden sind und von einem Ausgangssignal eines Schieberegisters gesteu-

ert werden, hat dies den Vorteil, daß die Signalspannungen auf den digitalen Datenleitungen sehr niedrig sein können und die Schieberegisterausgangsimpulse nur eine kleine Amplitude aufweisen müssen.

Der Digital/Analog-Wandler kann vorteilhafterweise 4*N + 1 Schaltelemente und N Kondensatoren unterschiedlicher Kapazitätswerte aufweisen. Der Schaltungsaufwand und infolge davon der Platzbedarf des Digital/Analog-Wandlers ist damit sehr gering. Die Kapazitätswerte der Kondensatoren des Digital/Analog-Wandlers können zweckmäßigerweise entsprechend der Wertigkeit des zugehörigen Bits des digitalen Datenwortes im Signalspeicher gewichtet sein. Außerdem können die Kondensatoren des Digital/Analog-Wandlers jeweils mit Rücksetz-Schaltelementen und die Schaltelemente ebenfalls jeweils mit Rücksetz-Schaltelementen verbunden sein, wodurch definierte Ausgangspotentiale vor der eigentlichen Digital/Analog-Wandlung geschaffen werden können. Die N Schaltelemente des Signalspeichers und die 4*N + 1 Schaltelemente des Digital/Analog-Wandlers können alle durch Dünnschicht-Transistoren gebildet sein. Dadurch ist die gesamte Schaltungsanordnung gemeinsam mit dem Flüssigkristall-Bildschirm in Dünnschichttechnologie zu realisieren unter Verwendung der in der Dünnschichttechnologie üblichen Materialien: polykristalline Halbleiter, zum Beispiel polykristallines Silizium oder Cadmiumselenid, oder amorphe Halbleiter, zum Beispiel amorphes Silizium.

Die erfindungsgemäße Schaltungsanordnung ist geeignet für die Ansteuerung der Datenleitungen eines Bildschirmes, aber auch zur Ansteuerung ähnlicher Elemente, die in einer Kette angeordnet sind.

Das erfindungsgemäße Verfahren zur Ansteuerung der Datenleitungen eines Flüssigkristall-Bildschirmes mit einer der oben beschriebenen Schaltungsanordnungen ist gekennzeichnet durch folgende Schritte:

- Einschreiben der N Bits des digitalen Datenwortes in die N Speicherelemente des Signalspeichers,
- Entladen der Kondensatoren des Digital/Analog-Wandlers über Rücksetz-Schaltelemente,
- Entladen der Kapazitäten der Schaltelemente über Rücksetz-Schaltelemente,
- Aufladen der Kapazität der Datenleitung auf eine vorwählbare Spannung,
- Herstellen einer elektrischen Verbindung zwischen denjenigen Kondensatoren des Digital/Analog-Wandlers, deren zugehöriges Speicherelemente im Signalspeicher ein Bit mit dem logischen Wert "1" enthält, und der Kapazität der Datenleitung,
- Einschreiben der N Bits des nächsten digitalen Datenwortes in die N Speicherelemente des Signalspeichers.

Aufgrund des gleichzeitigen Ladens der Kapazität der Datenleitung und der Speicherelemente des Signalspeichers verringert sich die gesamte Einschreibedauer für die Datenleitungen eines Schieberegisters. Da die Datenleitungen außerdem unabhängig vom Bildpunktinhalt zunächst auf einen vorwählbaren Spannungsbetrag geladen werden, erfolgt während des Einlesens des Inhaltes des Signalspeichers nur noch eine relativ kleine Korrektur auf den endgültigen Spannungswert. Dies beschleunigt ebenfalls das Einlesen.

Im Folgenden werden bevorzugte Ausführungsbeispiele einer erfindungsgemäßen Schaltungsanordnung anhand der Zeichnung näher erläutert.

Es zeigen:

Fig. 1 den matrixförmigen Aufbau eines Flüssigkristall-Bildschirmes mit aktiver Matrix;

Fig. 2 ein Prinzip-Schaltbild einer erfindungsgemäßgen Schaltungsanordnung;

Fig. 3 ein erstes Ausführungsbeispiel einer Schaltungsanordnung zur Ansteuerung einer Bildschirm-Datenleitung;

Fig. 4 einen Impulsfahrplan mit den Spannungsverläufen der Ansteuerspannungen sowie der Datenleitungsspannungen der Schaltungsanordnung nach Fig. 3;

Fig. 5 ein zweites Ausführungsbeispiel einer Schaltungsanordnung zur Ansteuerung einer Bildschirm-Datenleitung;

Fig. 6 ein Prinzip-Schaltbild der Ansteuerung eines Flüssigkristall-Bildschirmes mit hoher Zahl von Datenleitungen.

In Fig. 1 sind vier Zeilenleitungen Z1, Z2, Z3, Z4 und vier Spaltenleitungen S1, S2, S3, S4 eines Flüssigkristall-Bildschirmes 10 dargestellt. In Form einer Matrix sind Schaltelemente SE und Bildpunktspeicher BP so angeordnet, daß Schaltelemente SE und Bildpunktspeicher BP ein Paar bilden. Als Schaltelemente SE werden zum Beispiel Dünnschichttransistoren verwendet. Die Steueranschlüsse von allen in einer Zeile angeordneten Schaltelementen SE sind mit der zugehörigen Zeilenleitung, zum Beispiel Z1, verbunden. Die ersten Anschlüsse aller Schaltelemente SE, die in einer Spalte, zum Beispiel der ersten Spalte, angeordnet sind, sind mit einer Spaltenleitung, zum Beispiel S1, verbunden. Über die Zeilenleitungen Z1, Z2, Z3, Z4 erfolgt die Ansteuerung der Schaltelemente SE. Über die Spaltenleitungen S1, S2, S3, S4 erfolgt das Einschreiben der Bildpunktinformation in die Bildpunktspeicher BP. Im dargestellten Beispiel nach Fig. 1 sind also die Spaltenleitungen S1, S2, S3, S4 die Datenleitungen des Flüssigkristall-Bildschirmes 10.

Zur Erläuterung des Schaltungskonzeptes dient das Prinzip-Schaltbild in Fig. 2.

Mit Hilfe eines Schieberegisters 11 werden die N Schaltelemente SP0, SP1, ..., SP(N-1) des digitalen Signalspeichers 12, die jeweils mit einem der N Speicherkondensatoren C0 bis C(N-1) verbunden sind, jeweils mit einer zugehörigen digitalen Datenleitung D0 bis D(N-1) elektrisch verbunden. Jede digitale Datenleitung führt in diesem Moment entweder eine hohe oder eine niedrige Spannung entsprechend der binären Codierung des Grauwertes. Wenn die Spalteninformation in die Kondensatoren C0 bis C(N-1) geladen ist, werden die Schaltelemente SP0 bis SP(N-1) des digitalen Signalspeichers 12 durch eine entsprechende Ausgangsspannung U_{SRK} des Schieberegisters 11 wieder geöffnet. Der Grauwert für diese Spalte ist nun in digitaler Form im Signalspeicher 12 gespeichert. In gleicher Weise können die Signalspeicher der benachbarten und aller weiteren Spalten über die N digitalen Datenleitungen D0 bis D(N-1) beschrieben werden. Da nur jeweils ein Ausgang des m-stufigen Schieberegisters 11 (hier der k-te Ausgang), wobei m die Anzahl der Spalten des Bildschirmes ist, eine hohe Spannung aufweist, wird zu einem gegebenen Zeitpunkt jeweils nur ein digitaler Signalspeicher 12 beschrieben. Sind alle diesem Schieberegister 11 zugeordneten Signalspeicher 12 beschrieben, werden sämtliche Einleseschaltelemente E0 bis E(N-1) mittels eines Einschreibeimpulses U_{Read} geschlossen, so daß die digitale Grauwertinformation auf den Eingang eines Digital/Analog-Wandlers 13 gelangt. Der Digital/Analog-Wandler 13 besitzt N Kondensatoren mit den Kapazitätswerten $C_{W,i} = C^*2^{(i-1)}$ entsprechend der Wertigkeit der zugehörigen digitalen Datenleitung D0 bis D(N-1). Die Kondensatoren $C_{W,i}$ werden über Rücksetz-Schalter R0 bis R(N-1) zunächst vollständig entladen. Gleichzeitig wird die Datenleitungskapazität, hier die Spaltenkapazität C_{Spalte},die der effektiven Kapazität der Bildschirmmatrixspalte entspricht, auf eine vorwählbare maximal mögliche Grauwert-Spannung U_{max} (alle Bits auf logisch "0") aufgeladen. Dieser Rücksetzvorgang kann beispielsweise während des Einschreibens der Information der digitalen Datenleitungen D0 bis D(N-1) in den digitalen Signalspeicher 12 erfolgen. Nach Schließen der Einlese-Schalter E0 bis E(N-1) werden nun genau diejenigen Kondensatoren $C_{W,i}$ elektrisch mit dem Spaltenkondensator C_{Spalte} verbunden, deren zugehöriger Speicherkondensator Ci geladen war, das heißt deren zugehörige digitale Datenleitung Di beim Speichern des digitalen Grauwertes eine hohe Spannung führte. Diese Spannung läßt sich durch folgende Gleichung in guter Näherung berechnen:

$$U_{CS} = \frac{C_{Spalte}}{C_{Spalte} + \sum_{i=0}^{N-1} D_i \times 2^i \times C_0} \times (U_{max} - U_{Amp}) + U_{Amp} \qquad (1)$$

Die maximale beziehungsweise minimale sich am Spaltenkondensator C_{Spalte} einstellende Spaltenspannung U_{CS} beträgt demnach ungefähr:

$$U_{CSmax} = U_{max} \qquad (2)$$

$$U_{CSmin} = \frac{C_{Spalte}}{C_{Spalte} + \sum_{i=0}^{N-1} 2^i \times C_0} \times (U_{max} - U_{Amp}) + U_{Amp} \qquad (3)$$

Diese beiden Extremwerte U_{CSmax} und U_{CSmin} lassen sich somit beliebig über die zwei Amplituden der Rechteckspannungen U_{Amp} und U_{max} einstellen. Zwischen minimalem und maximalem Betrag der Spaltenspannung U_{CS} nimmt der Betrag der Spaltenspannung U_{CS} streng monoton aber nicht linear zu, wie sich leicht anhand der obigen Gleichung (1) zeigen läßt. In der Nähe von U_{CSmin} ergibt sich eine hohe Auflösung, während sich in der Nahe von U_{CSmax} eine geringere Auflösung ergibt. Dies entspricht gerade den Anforderungen, die sich bei der Ansteuerung herkömmlicher Flüssigkristalle stellen. U_{CSmin} und U_{CSmax} lassen sich unabhängig voneinander einstellen. Dabei bietet die Ansteuermethode die volle Auflösung von N Bit zwischen U_{CSmin} und U_{CSmax} und nicht nur zwischen 0 und U_{CSmax} (vergleiche Gleichungen (2) und (3)-).

In Fig. 3 ist eine erste Schaltungsanordnung zur Realisierung des in Fig. 2 dargestellten Schaltungskonzeptes für N = 4 zur Erzeugung von 16 analogen Spannungswerten entsprechend dem digitalen Informationsinhalt der vier Datenleitungen D0, D1, D2 und D3 dargestellt. Anhand des Impulsfahrplanes nach Fig. 4 läßt sich die Funktion der Schaltungsanordnung in Fig. 3 erläutern. Während der Ausgang des m-stufigen

Schieberegisters 11 eine hohe Spannung U_{SRk} aufweist, werden die Speicherkondensatoren C0, C1, C2 und C3 über von Transistoren TSP0, TSP1, TSP2, TSP3 realisierten Schaltelementen auf die momentane Spannung auf den digitalen Datenleitungen D0, D1, D2 und D3 aufgeladen. Die digitalen Datenleitungen D0 bis D3 führen entweder eine hohe Spannung (logisch "0") oder eine niedrige Spannung (logisch "1"). Da die Speicherkondensatoren C0 bis C3 kleine Kapazitätswerte besitzen, sind die Ladezeiten sehr kurz. Somit lassen sich die digitalen Signalspeicher 12 für alle m Spalten innerhalb kurzer Zeit beschreiben. Während die m Signalspeicher 12 beschrieben werden, besitzt die Rücksetz-Spannung U_{Reset} einen hohen Wert. Dies führt dazu, daß die Kondensatoren C, 2*C, 4*C und 8*C des Digital/Analog-Wandlers über TRE0 bis TRE3 sowie die Gate-Source-Kapazitäten der Transistoren TE0 bis TE3, die die Einlese-Schaltelelemente E0 bis E3 nach Fig. 2 bilden, über TR0 bis TR3 entladen werden. Der hohe Wert der Rücksetz-Spannung stellt zusätzlich das Sperren der Schaltelemente TEL0 bis TEL3 über die jeweiligen Schaltelemente TR0 bis TR3 sicher. Gleichzeitig wird der Spaltenkondensator C_{Spalte} auf den momentanen Wert der Spannung U_{max} geladen. Erst wenn die Spaltenspannung U_{Spalte} den Momentanwert der Spannung U_{max} erreicht hat, werden die Einlese-Transistoren TE0 bis TE3 mittels der Spannung U_{Read} in den leitenden Zustand versetzt. Der Ladezustand der Speicherkondensatoren C0 bis C3 bestimmt nun, ob die Einlese-Transistoren TE0 bis TE3 des Digital/Analog-Wandlers 13 niederohmig geschaltet werden oder nicht. Durch den hieraus resultierenden Ladungsaustausch zwischen den Kondensatoren C0 bis C3 und C_{Spalte} ergibt sich schließlich die Spannung auf der Spaltenleitung, die sich in guter Näherung durch Gleichung (1) berechnen läßt. Eine gleichspannungsfreie Ansteuerung des Flüssigkristalles läßt sich beispielsweise durch einen rechteckförmigen Spannungsverlauf der Spannungen U_{max} und U_{Amp} gemäß Fig. 4 erzielen. Dabei entspricht die Impulsdauer genau der Wiederholdauer des Schieberegisters 11, und der Gleichspannungsanteil ist gleich Null.

In Fig. 5 ist eine Schaltungsanordnung gemäß Fig. 3 mit modifiziertem digitalem Signalspeicher 12' für eine Bildschirmspalte dargestellt. Die Zahl der Bauelemente hat sich durch die Umstrukturierung der Schaltung gegenüber der Schaltungsanordnung in Fig. 3 nicht erhöht. Lediglich die zusätzliche Leitung GND wurde zur Verbesserung der Schaltungseigenschaften eingeführt. Die Ansteuersignale von außen sind aber genau identisch mit den in Fig. 4 dargestellten Verläufen. Der Vorteil der Schaltungsanordnung nach Fig. 5 liegt darin, daß die Speicherkapazitäten C0 bis C3 im Falle eines logischen Datenbits "1" gleichzeitig als Bootstrap-Kapazität wirken. Im Falle einer logischen "1", also einem hohen Signalpegel eines Datenbits, wird die entsprechende Kapazität C0, C1, C2 oder C3 aufgeladen und koppelt mit dem Einleseimpuls das Gate-Potential des entsprechenden Einlese-Transistors TE0, TE1, TE2 oder TE3 über die Spannung des Einleseimpulses U_{Read} hoch. Diese hohe Gate-Spannung hat zur Folge, daß der Kanal des entsprechenden Transistors äußert niederohmig wird. Eine schnelle Umladung der Gate-Kapazitäten der nachfolgenden Transistoren ist somit gewährleistet. Setzt man aber nun dieselbe Umladezeit wie in der Schaltung nach Fig. 3 voraus, dann kann dieser Effekt dazu genutzt werden, die Amplituden der digitalen Datensignale auf den Leitungen D0 bis D3 und der Schieberegisterausgangssignale U_{SRk} zu reduzieren. Die technologischen Anforderungen an die Schieberegisterschaltung 11 können so gemildert werden.

Es liegt im Rahmen der Erfindung, bei Bildschirmmatrizen mit sehr hohen Spaltenzahlen mehrere Spaltenleitungen (= Datenleitungen) zu einer Gruppe zusammenzufassen, denen gemäß Fig. 6, die die Ansteuerung eines digitalen Fernsehempfängers darstellt, ein Satz von b digitalen Datenleitungen zugeordnet ist, wobei b der Grad der Gruppenbildung ist. Ein Wert von $b > 1$, wobei b ganzzahlig ist, hat den Vorteil, daß für die Ansteuerung der Bildschirm-Spalten die Taktfrequenz f_2 eines Selektionsschieberegisters 19 um den Faktor b geringer gewählt werden können, da für das Einlesen der Speicherkondensatoren der digitalen Signalspeicher 12'' entsprechend mehr Zeit zur Verfügung steht. Für eine gemeinsame Realisierung des gestrichelt umrahmten Schaltungsteiles 16 in Fig. 6 mit der Bildschirmmatrix auf dem gleichen Substrat und in der gleichen Technologie ist die Gruppenbildung bei hoher Spaltenzahl unerläßlich, da der maximalen Schiebefrequenz f_2 technologische Grenzen gesetzt sind. Allerdings hat dies zur Folge, daß sich die Zahl der digitalen Datenleitungen gerade um den Faktor b erhöht. Wie aus Fig. 6 zu erkennen ist, können für die gepunktet umrahmten Schaltungsteile 17 erfindungsgemäße Schaltungsanordnungen, beispielsweise die in den Figuren 3 und 5 dargestellten, eingesetzt werden.

Für die in Fig. 6 dargestellte Ansteuerung eines digitalen Fernsehempfängers wird ein digitales Videosignal V mit der Datenwortbreite N und der Frequenz f_1 entsprechend der Gruppenbildung in b parallele N-Bit-Datenworte mit der Frequenz $f_2 = f_1/b$ aufgeteilt. Die Seriell-Parallel-Wandlung erfolgt mittels der Schieleregister 14 und 15 und einem Speicher 18 für b N-Bit-Videodatenworte. Jedes der b parallel anliegenden Videodatenworte am Ausgang des Speichers 18 wird einer erfindungsgemäßen Schaltungsanordnung, beispielsweise nach Fig. 3 oder Fig. 5, zugeführt. Die Auswahl der entsprechenden digitalen Signalspeicher 12'' in diesen Schaltungsanordnungen erfolgt über ein (m/b)-Bit-Selektionsschieberegister 19. Mit der erfindungsgemäßen Schaltungsanordnung kann die Signalverarbeitung im Fernsehempfänger

nun vollständig digital erfolgen, was zum einen die Störungsempfindlichkeit verringert und zum anderen zur Senkung der Herstellungskosten beiträgt.

Patentansprüche

1. Schaltungsanordnung zur Erzeugung eines analogen Ausgangssignales aus einem digitalen Datenwort, insbesondere für die Ansteuerung der Datenleitungen eines Flüssigkristall-Bildschirmes, dadurch gekennzeichnet, daß sie für jede Datenleitung jeweils einen Signalspeicher (12, 12', 12'') mit N Speicherelementen (C0, C1, ..., C(N-1)) für die N Bits des digitalen Datenwortes (V) und mit N Schaltelementen (SP0, SP1, ..., SP(N-1)) sowie einen Digital/Analog-Wandler (13) zur Erzeugung des analogen Ausgangssignales (E_{CS}) aus dem digitalen Inhalt des Signalspeichers (12, 12', 12'') aufweist.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die N Speicherelemente des Signalspeichers (12, 12', 12'') N Speicherkondensatoren (C0, C1, ..., C(N-1)) sind.

3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß die Speicherkondensatoren (C0, C1, ..., C(N-1)) so angeordnet sind, daß sie beim Einlesen eines logischen Bits "1" als Bootstrap-Kapazität wirken.

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die N Schaltelemente (SP0, SP1, ..., SP(N-1)) des Signalspeichers (12, 12', 12'') jeweils mit einer digitalen Datenleitung (D0, D1, ..., D(N-1)) verbunden sind und von einem Ausgangssignal (U_{SRk}) eines Schieberegisters (11) gesteuert werden.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Digital/Analog-Wandler (13) 4*N + 1 Schaltelemente (E0 bis E(N-1), RE0 bis RE(N-1), EL0 bis EL(N-1), RES) und N Kondensatoren (C, 2C, ..., $2^N \cdot C$) unterschiedlicher Kapazitätswerte aufweist.

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß die Kapazitätswerte der Kondensatoren (C, 2C, ..., $2^N \cdot C$) des Digital/Analog-Wandlers (13) entsprechend der Wertigkeit des zugehörigen Bits des digitalen Datenwortes im Signalspeicher (12, 12', 12'') gewichtet sind.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Kondensatoren (C, 2C, ..., $2^N \cdot C$) des Digital/Analog-Wandlers (13) jeweils mit Rücksetz-Schaltelementen (RE0, RE1, ..., RE(N-1)) und die Schaltelemente (EL0, EL1, ..., EL(N-1)) ebenfalls jeweils mit Rücksetz-Schaltelementen (R0, R1, ..., R(N-1)) verbunden sind.

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die N Schaltelemente (SP0, SP1, ..., SP(N-1)) des Signalspeichers (12, 12', 12'') und die 4*N + 1 Schaltelemente (E0 bis E(N-1), R0 bis R(N-1), RE0 bis RE(N-1), EL0 bis EL(N-1), RES) des Digital/Analog-Wandlers Dünnschicht-Transistoren sind.

9. Verfahren zur Ansteuerung der Datenleitungen eines Flüssigkristall-Bildschirmes mit einer Schaltungsanordnung nach einem der Ansprüche 1 bis 8, gekennzeichnet durch folgende Schritte:
   - Einschreiben der N Bits des digitalen Datenwortes (V) in die N Speicherelemente (C0, C1, ..., C-(N-1)) des Signalspeichers (12, 12', 12''),
   - Entladen der Kondensatoren (C, 2C, ... $2^N \cdot C$) des Digital/Analog-Wandlers (13) über Rücksetz-Schaltelemente (RE0, RE1, ..., RE(N-1)),
   - Entladen der Kapazitäten der Schaltelemente (EL0 bis EL(N-1)) über Rücksetz-Schaltelemente (R0, R1, ..., R(N-1)),
   - Aufladen der Kapazität (C_{Spalte}) der Datenleitung auf eine vorwählbare Spannung (U_{max}),
   - Herstellen einer elektrischen Verbindung zwischen denjenigen Kondensatoren (C, 2C, ..., $2^N \cdot C$) des Digital/Analog-Wandlers (13), deren zugehöriges Speicherelement (C0, C1, ..., C(N-1)) im Signalspeicher (12, 12', 12'') ein Bit mit dem logischen Wert "1" enthält, und der Kapazität (C_{Spalte}) der Datenleitung,
   - Einschreiben der N Bits des nächsten digitalen Datenwortes in die N Speicherelemente (C0, C1, ..., C(N-1)) des Signalspeichers (12, 12', 12'').

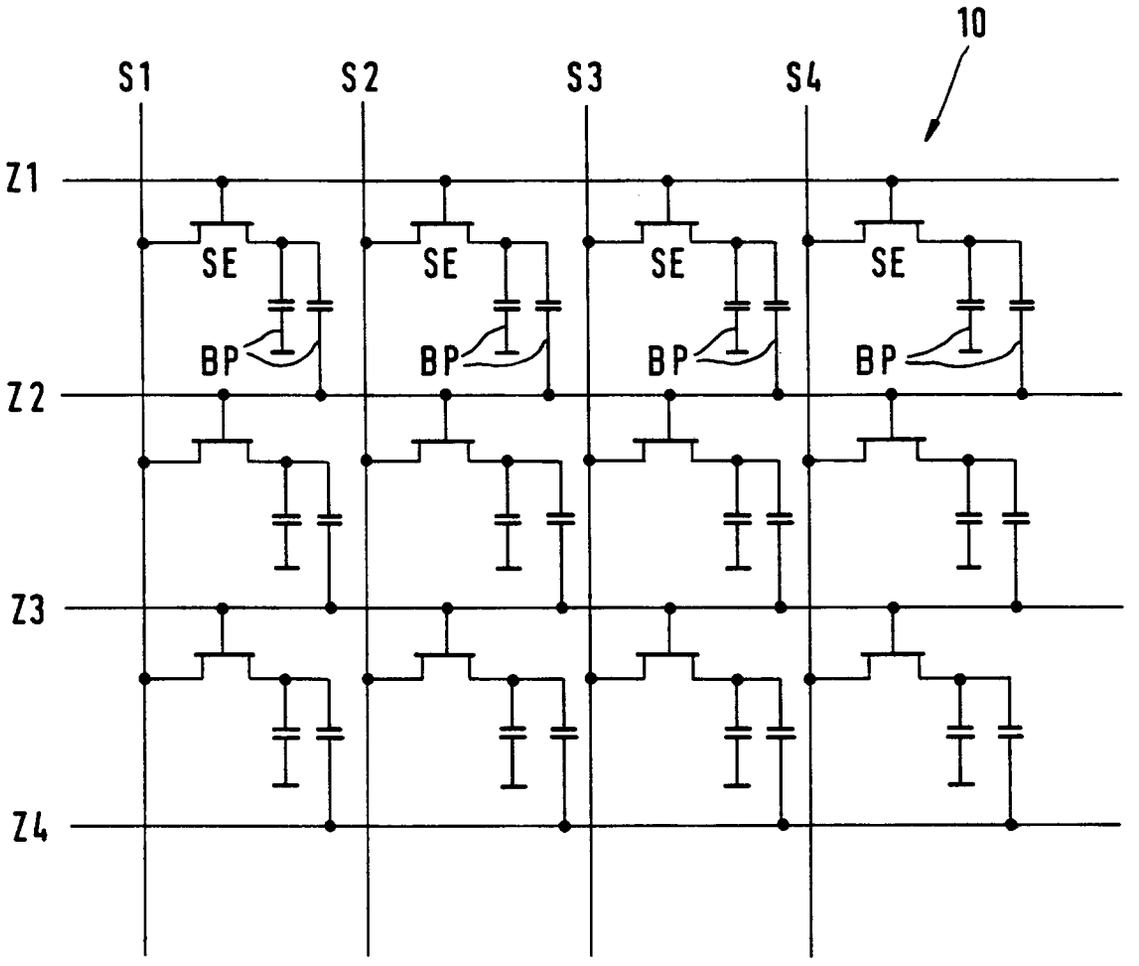


Fig.1

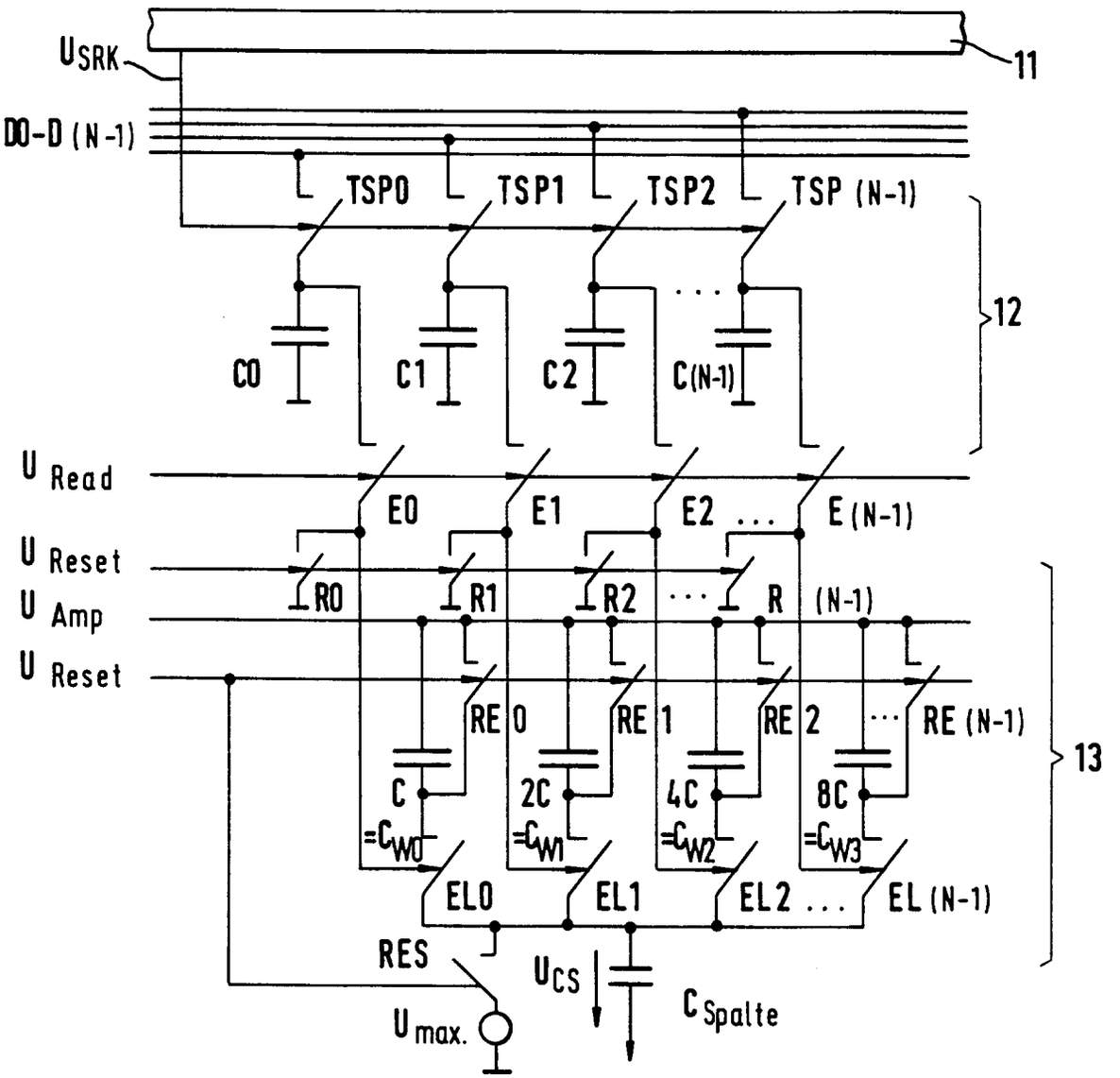

USRK
11
D0-D (N-1)
TSP0
TSP1
TSP2
TSP (N-1)
12
C0
C1
C2
C(N-1)
U Read
E0
E1
E2 ...
E (N-1)
U Reset
U Amp
U Reset
R0
R1
R2 ...
R (N-1)
RE 0
RE 1
RE 2 ...
RE (N-1)
13
C
2C
4C
8C
=CW0
=CW1
=CW2
=CW3
EL0
EL1
EL2 ...
EL (N-1)
RES
UCS
CSpalte
Umax.

Fig.2

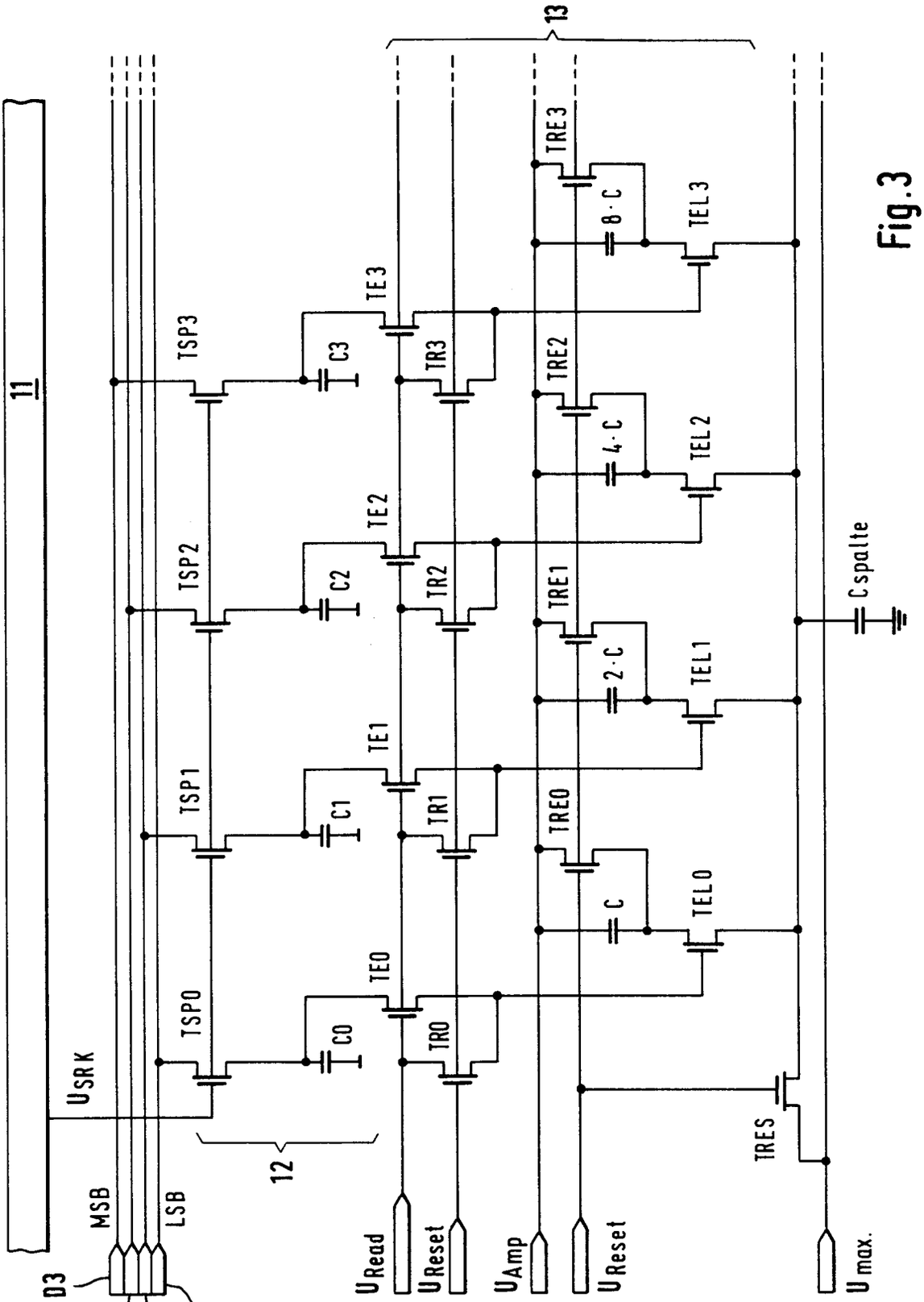

11
12
13
D3
D2
D1
D0
MSB
LSB
USRK
TSP3
TSP2
TSP1
TSP0
C3
C2
C1
C0
TE3
TE2
TE1
TE0
TR3
TR2
TR1
TR0
TRE3
TRE2
TRE1
TRE0
8·C
4·C
2·C
C
TEL3
TEL2
TEL1
TEL0
TRES
Cspalte
URead
UReset
UAmp
UReset
Umax.

Fig.3

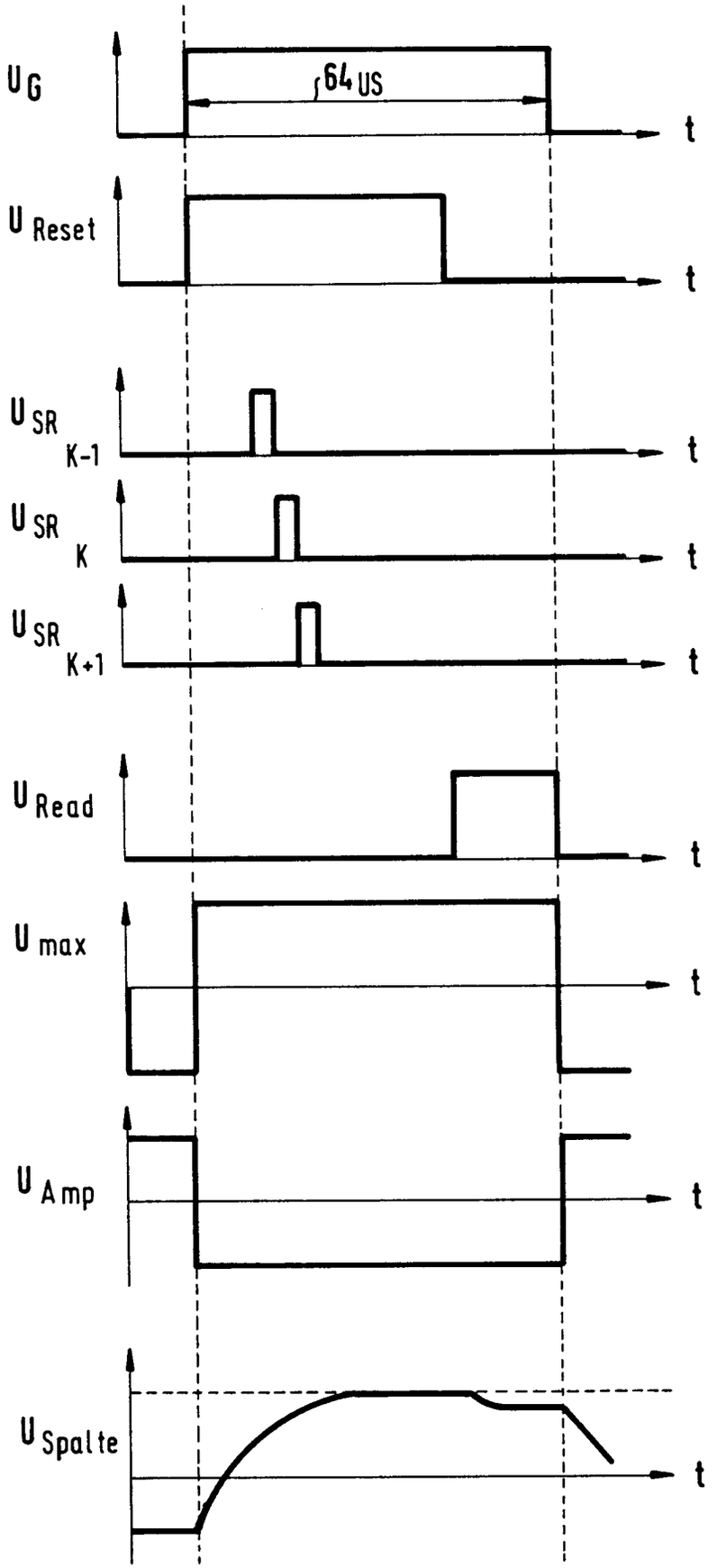

U G
64 µs
t
U Reset
t
U SR K-1
t
U SR K
t
U SR K+1
t
U Read
t
U max
t
U Amp
t
U Spalte
t

Fig. 4

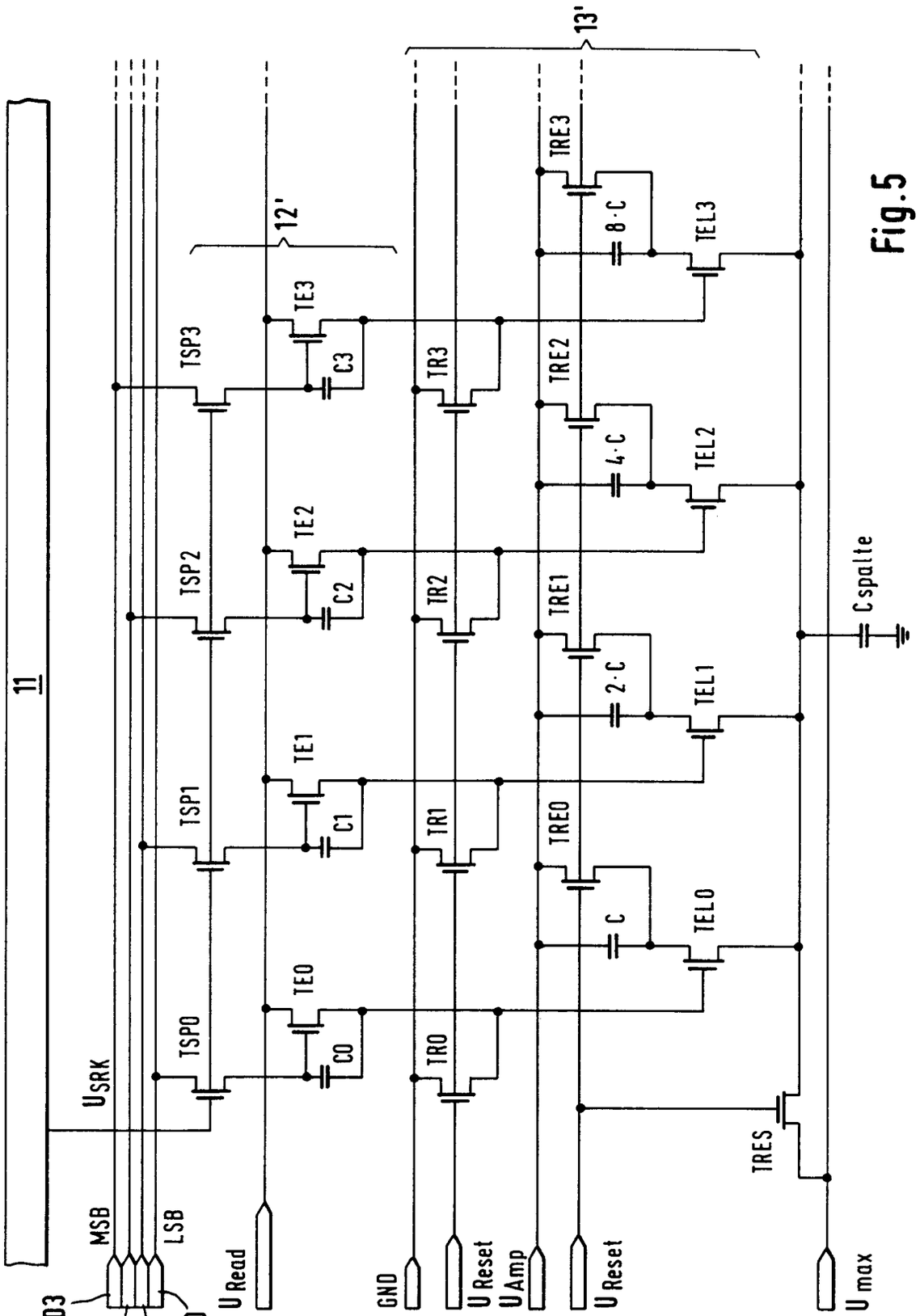

11
USRK
MSB
LSB
D3
D2
D1
D0
TSP0
TSP1
TSP2
TSP3
TE0
TE1
TE2
TE3
C0
C1
C2
C3
12'
TR0
TR1
TR2
TR3
13'
TRE0
TRE1
TRE2
TRE3
TEL0
TEL1
TEL2
TEL3
C
2·C
4·C
8·C
TRES
Cspalte
U Read
GND
U Reset
U Amp
U Reset
U max

Fig.5

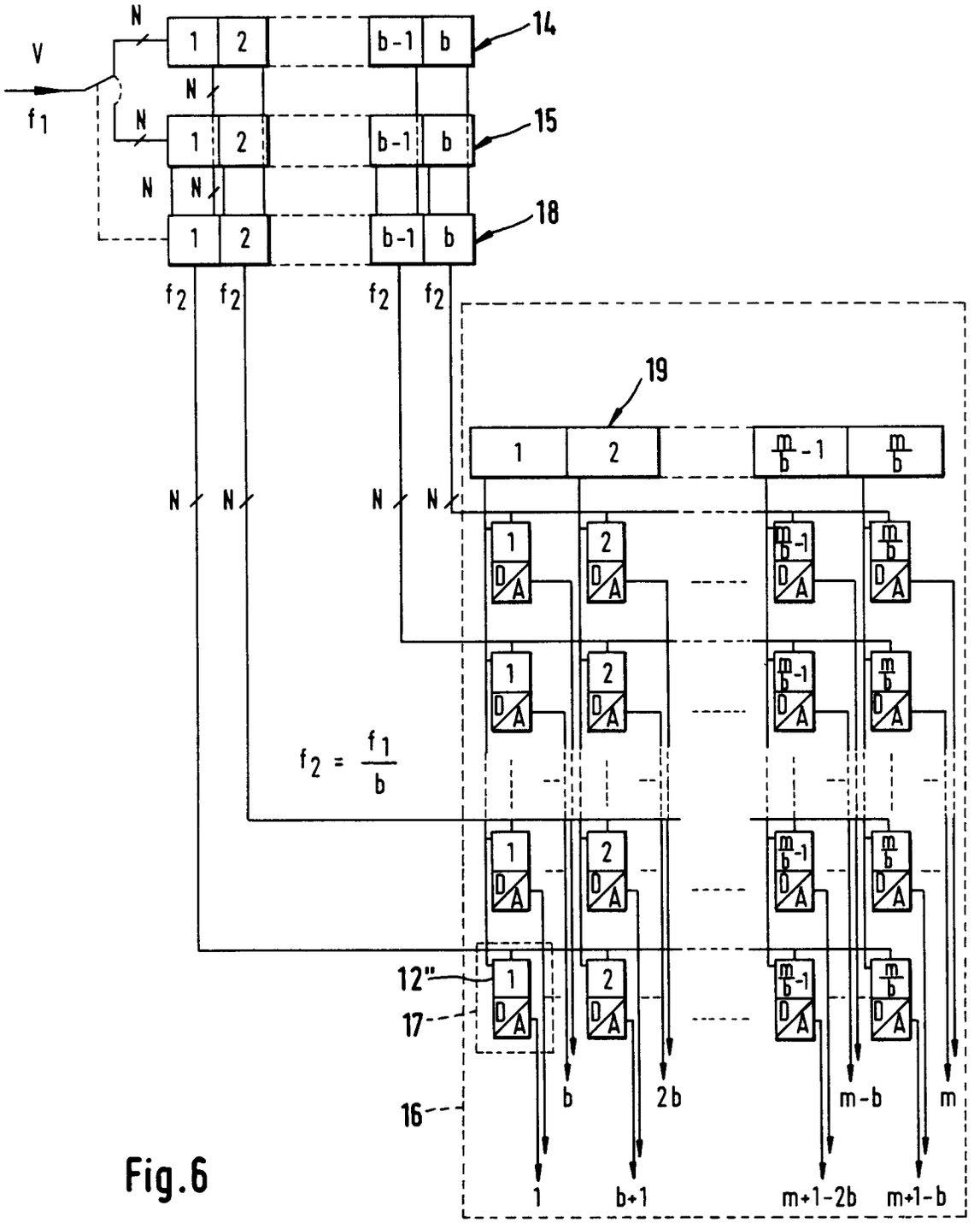

V
f1
N
1
2
b-1
b
14
15
18
f2
19
m/b - 1
m/b
D/A
$f_2 = \frac{f_1}{b}$
12"
17
16
b
2b
m-b
m
1
b+1
m+1-2b
m+1-b

Fig.6

Europäisches Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung
EP 94 10 2849

EINSCHLÄGIGE DOKUMENTE

Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.5)
X	US-A-5 170 158 (M. SHINYA) * Zusammenfassung; Abbildungen 1-3 * * Spalte 1, Zeile 1 - Spalte 4, Zeile 48 * ---	1,4,8	G09G3/36
X	IEEE JOURNAL OF SOLID-STATE CIRCUITS, Bd.27, Nr.12, Dezember 1992, NEW YORK US Seiten 1833 - 1842 A. LEWIS ET AL. 'Polysilicon TFT Circuit Design and Performance' * Seite 1836; Abbildung 5 * * Seite 1840; Abbildung 16 * ---	1,2,4,8	
P,X	US-A-5 251 051 (T. FUJIYOSHI ET AL.) * Zusammenfassung; Abbildungen 1-3 * * Spalte 2, Zeile 24 - Spalte 6, Zeile 10 * -----	1,2,4,8	

RECHERCHIERTE SACHGEBIETE (Int.Cl.5)
G09G

Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt

Recherchenort	Abschlußdatum der Recherche	Prüfer
BERLIN	20. Mai 1994	Saam, C

KATEGORIE DER GENANNTEN DOKUMENTE

X : von besonderer Bedeutung allein betrachtet
Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie
A : technologischer Hintergrund
O : nichtschriftliche Offenbarung
P : Zwischenliteratur

T : der Erfindung zugrunde liegende Theorien oder Grundsätze
E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist
D : in der Anmeldung angeführtes Dokument
L : aus andern Gründen angeführtes Dokument

& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument

EPO FORM 1503 03.82 (P04C03)