

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Numéro de publication:

0 649 079 A1

(12)

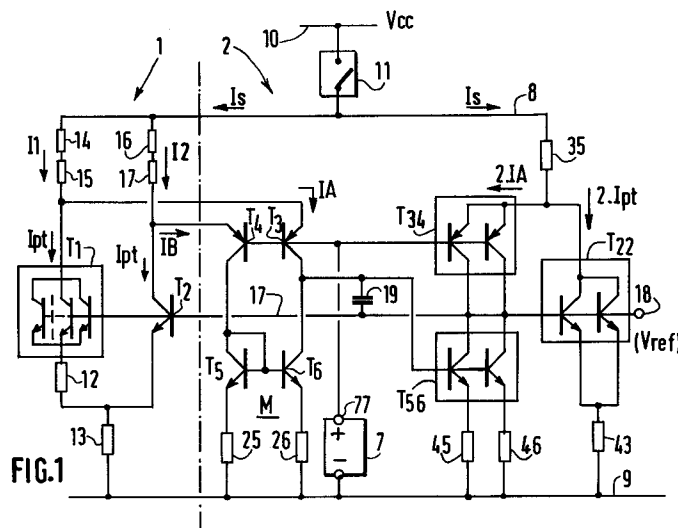
DEMANDE DE BREVET EUROPEEN(21) Numéro de dépôt: **94202878.8**(51) Int. Cl.⁶: **G05F 3/30**(22) Date de dépôt: **05.10.94**(30) Priorité: **13.10.93 FR 9312187**(43) Date de publication de la demande:
19.04.95 Bulletin 95/16(84) Etats contractants désignés:
DE FR GB(71) Demandeur: **PHILIPS COMPOSANTS**
4, rue du Port aux Vins
F-92150 Suresnes (FR)(84) **FR**(71) Demandeur: **PHILIPS ELECTRONICS N.V.****Groenewoudseweg 1**
NL-5621 BA Eindhoven (NL)
(84) **DE GB**(72) Inventeur: **Ridgers, Timothy**
Société Civile S.P.I.D.,
156, Boulevard Haussmann
F-75008 Paris (FR)(74) Mandataire: **Pinchon, Pierre**
Société Civile S.P.I.D.
156, Boulevard Haussmann
F-75008 Paris (FR)(54) **Circuit générateur de tension stabilisée du type bandgap.**

(57) - Circuit générant une tension de référence (V_{ref}) indépendante de la tension d'alimentation (V_{cc}) et de la température, comportant une cellule (1) dont les transistors (T_1 , T_2) de surfaces d'émetteur différentes, fournissent un courant (I_{pt}) proportionnel à la température absolue.

- Selon l'invention, le circuit comporte un amplificateur (2) ayant un étage d'entrée (T_3 , T_4 , T_5 , T_6 ,

25, 26) de type cascode replié, ainsi qu'un étage de sortie (T_{34} , T_{56} , T_{22} , 35, 45, 46, 43) agencé pour réaliser une symétrie de fonctionnement propre à éliminer des erreurs de premier et second ordre sur la précision et la stabilité de la tension de référence (V_{ref}) produite par le circuit générateur.

- Application à la micro-électronique.

**EP 0 649 079 A1**

La présente invention concerne un circuit générateur de tension comportant une cellule du type dit "bandgap", dans laquelle une pluralité de m transistors connectés en parallèle forme un ensemble équivalent à un premier transistor, d'une première polarité, dont l'émetteur est connecté à une extrémité d'une première résistance d'émetteur, l'autre extrémité de cette résistance étant connectée par ailleurs à l'émetteur d'un deuxième transistor, de même polarité, de surface d'émetteur égale à celle de l'un des m transistors formant le premier transistor, deuxième transistor dont la base est reliée à celle du premier transistor, le noeud joignant l'émetteur du deuxième transistor à la première résistance d'émetteur étant couplé à une première borne d'alimentation à travers une deuxième résistance d'émetteur, circuit comportant en outre un amplificateur agissant sur la base des premier et deuxième transistors pour assurer l'égalité des courants qui traversent respectivement les premier et le deuxième transistors, lesquels transistors ont leur collecteur alimenté à partir d'une deuxième borne d'alimentation.

Un circuit générateur de tension stabilisée, est notamment connu du document EP-A-0 465 094.

Les circuits générateurs de tension indépendante des variations de la température et de la tension d'alimentation sont très souvent nécessaires pour la réalisation de dispositifs intégrés modernes.

Le principe de circuit du type dit "bandgap", basé sur une configuration de deux transistors parcourus par un courant égal mais ayant un rapport de surface d'émetteur différent de 1, créant une différence de densité de courant dans ces transistors et une différence de tension émetteur-base corrélative est maintenant largement utilisé en raison de ses excellentes performances.

En raison principalement d'un nombre d'applications pour appareils portatifs fonctionnant sur piles, on observe actuellement une tendance à spécifier que les circuits correspondants puissent fonctionner sous une tension d'alimentation réduite, notamment sous 3 Volts au lieu de 5 Volts qui était la norme habituelle auparavant. Dans ces conditions, certaines configurations de circuits ne conviennent plus et doivent être modifiées pour accepter une alimentation à faible tension.

En général, les circuits générateurs de tension du type "bandgap" requièrent une tension d'alimentation qui se situe au dessus de 3 tensions de jonction en direct ($3.V_{BE}$) et même $4.V_{BE}$.

L'invention a donc pour but de proposer un circuit générateur de type "bandgap" susceptible de fonctionner sous une tension d'alimentation qui dépasse peu la tension stabilisée générée, (laquelle est habituellement de l'ordre de $2.V_{BE}$, soit $\approx 1,2$ V), circuit qui pourrait néanmoins présenter des

performances de stabilité au moins aussi élevée que les circuit connus fonctionnant sous une tension d'alimentation de 5 Volts.

A cet effet, un circuit générateur de tension stabilisée conforme au paragraphe introductif est, selon l'invention, caractérisé en ce que le collecteur de chacun des premier et deuxième transistors est relié à la deuxième borne d'alimentation respectivement par une première et une deuxième source de courant délivrant un courant de même valeur,

en ce que l'amplificateur comporte un étage d'entrée muni de deux transistors, de polarité opposée à celle des premier et deuxième transistors, dont les émetteurs de surface équivalente, sont respectivement connectés aux collecteurs des premier et deuxième transistors, dont les bases sont connectées entre elles et couplées à la première borne d'alimentation à travers un circuit à chute de tension déterminée, et dont les collecteurs sont respectivement connectés à l'entrée et à la sortie d'un miroir de courant, de rapport unité, composé de transistors de ladite première polarité et dont les émetteurs sont couplés à la première borne d'alimentation,

en ce que l'amplificateur comporte un étage de sortie essentiellement constitué d'un transistor dit amplificateur d'erreur, de la première polarité, d'un transistor dit de polarisation, de la deuxième polarité ainsi que d'un transistor dit de compensation, de la première polarité,

en ce que le transistor amplificateur d'erreur a une surface d'émetteur double de celle de chacun des transistors composant le miroir de courant, a sa base connectée à la sortie du miroir de courant, son émetteur couplé à la première borne d'alimentation, son collecteur connecté au noeud reliant les bases des premier et deuxième transistors, noeud constituant également la sortie de l'amplificateur et fournit la tension stabilisée de sortie du circuit,

en ce que le transistor de polarisation a une surface d'émetteur équivalente à celle de l'ensemble des deux transistors de l'étage d'entrée, a son émetteur relié à la deuxième borne d'alimentation à travers une troisième source de courant délivrant un courant dont la valeur est égale à la somme des courants des première et deuxième sources de courant, a sa base connectée aux bases des deux transistors de l'étage d'entrée, et son collecteur connecté au noeud de sortie,

et en ce que le transistor de compensation a une surface d'émetteur double de celle du deuxième transistor, a sa base connectée au noeud de sortie, son émetteur relié à la première borne d'alimentation à travers une résistance de valeur égale à celle de la deuxième résistance d'émetteur de la cellule, et son collecteur, connecté à l'émetteur du transistor de polarisation.

Par une analyse rapide de ce circuit, il est facile de constater qu'il est susceptible d'entrer en fonction pour une tension d'alimentation à peine supérieure à $2.V_{BE}$, tension qui est en rapport d'une part avec la chute de tension prévue dans les première, deuxième et troisième source de courant, et d'autre part, en rapport avec la tension fournie par le circuit à chute de tension déterminée.

On notera à ce propos que le circuit connu de l'art antérieur cité plus haut comporte un dispositif de démarrage constitué de 4 jonctions et d'un transistor à effet de champ tenant lieu de résistance de valeur élevée, le tout disposé en série entre les bornes d'alimentation. Ainsi, ce circuit connu exige une tension d'alimentation qui doit être supérieure à $4.V_{BE}$.

En pratique, le circuit selon l'invention peut être alimenté sous une tension de 2 Volts seulement, si on le désire.

Comme il sera précisé plus loin, en détail, le circuit selon l'invention présente un nombre important d'éléments fonctionnant symétriquement ce qui assure une compensation élevée des erreurs résiduelles, de sorte que ce circuit présente une tension de sortie d'une haute stabilité vis-à-vis des écarts de température aussi bien que des écarts de la tension d'alimentation.

Le circuit selon l'invention présente également la particularité d'entrer en fonctionnement dès que la tension d'alimentation lui est appliquée.

Il offre donc l'avantage qu'un dispositif de démarrage n'est pas nécessaire et que le circuit selon l'invention est, de ce point de vue, plus simple et plus compact.

Par ailleurs, sa vitesse propre de mise en ou hors service peut être mise à profit lorsque la tension stabilisée de sortie n'est requise que par intermittence dans l'application, de sorte qu'entre temps, la consommation du circuit peut être économisée. Ce type de fonctionnement intermittent est souhaitable, par exemple, pour la partie radio d'un appareil de téléphone portatif. Cet avantage est obtenu par une mise en oeuvre de l'invention qui est caractérisée en ce que ladite deuxième borne d'alimentation est reliée à une source d'alimentation via un dispositif interrupteur de mise en ou hors fonction du circuit générateur de tension.

Le dispositif interrupteur peut se présenter sous diverses formes, la plus simple étant réduite essentiellement à un transistor à effet de champ dont l'électrode de commande reçoit un signal de commande approprié.

Selon un mode préféré de mise en oeuvre du circuit selon l'invention, celui-ci est caractérisé en ce que chacun des transistors du miroir de courant ayant son émetteur couplé à la première borne d'alimentation au moyen d'une résistance d'émet-

teur de valeur déterminée, une autre résistance dont la valeur est égale à la moitié de ladite valeur déterminée effectue le couplage de l'émetteur du transistor amplificateur d'erreur à la même première borne d'alimentation.

Même en adoptant une chute de tension assez faible dans les résistances en question, par exemple nominale 0,3Volt, on accroît la précision de l'égalité entre les courants d'entrée et de sortie du miroir de courant et celle d'un courant, de valeur double, délivré par le transistor amplificateur d'erreur.

Dans un mode de réalisation simplifié, avantageux lorsqu'une faible tension d'alimentation est requise, les première et deuxième sources de courant se réduisent à des résistances de collecteur de valeurs égales, tandis que la troisième source de courant est constituée par une autre résistance, de valeur moitié de la valeur de l'une de ces résistances de collecteur.

L'invention sera mieux comprise à l'aide de la description qui va suivre en regard des dessins annexés, relative à des exemples de réalisation donnés à titre non limitatifs.

La figure 1 présente le schéma électrique d'un exemple de réalisation du circuit selon l'invention,

les figures 2A à 2C présentent des schémas de différents exemples de montages possibles pour réaliser le circuit dit à chute de tension déterminée, faisant partie du circuit générateur de la figure 1,

la figure 3 montre un premier exemple de réalisation pratique d'un dispositif interrupteur tel qu'il a été représenté sous forme de bloc, à la figure 1,

la figure 4 donne un deuxième exemple de réalisation de ce dispositif interrupteur, au moyen duquel est également réalisée une pré-régulation du courant d'alimentation du régulateur de tension, et

la figure 5 donne le schéma d'un troisième exemple de dispositif interrupteur avec pré-régulation du courant d'alimentation.

Conformément à la figure 1, un circuit générateur de tension selon l'invention comporte une cellule 1 du type "bandgap" ainsi qu'un amplificateur 2 délivrant une tension de référence V_{ref} . Sur la figure ces deux parties sont séparées par une ligne verticale en traits mixtes. La cellule 1 comporte un premier transistor T_1 et un deuxième transistor T_2 , le transistor T_1 ayant une surface d'émetteur m fois plus grande que la surface d'émetteur du deuxième transistor T_2 . Ainsi qu'il est bien connu des spécialistes, le transistor T_1 est de préférence constitué de m transistors individuels connectés en parallèle, ce qui donne une précision plus grande que la constitution d'un seul transistor T_1 . Dans ce

qui suit, le transistor T_1 , quelle que soit sa constitution sera considéré comme un transistor unique. Son émetteur est connecté à une première extrémité d'une première résistance d'émetteur 12, l'autre extrémité de cette résistance étant connectée d'une part à l'émetteur du deuxième transistor T_2 et d'autre part une première borne d'alimentation 9 (masse) à travers une deuxième résistance d'émetteur 13. Les bases des transistors T_1 et T_2 sont connectées entre elles. Les collecteurs des transistors T_1 et T_2 sont alimentés à partir d'une deuxième borne d'alimentation 8 à travers respectivement une première résistance de collecteur 14, 15 et une deuxième résistance de collecteur 16, 17, ces résistances tenant lieu de sources de courant appairées.

Sur la figure on a représenté lesdites résistances de collecteur formées chacune de deux parties de résistance égales, en série. Egalement pour une raison technologique, il faudra disposer d'une autre résistance dont la valeur soit égale à l'une de ces quatre parties de résistance.

L'amplificateur 2 comporte un étage d'entrée muni d'une paire de transistors T_3 , T_4 de type PNP dont les émetteurs de surface équivalente, sont respectivement connectés au collecteur des premier et deuxième transistors T_1 , T_2 . Les bases des transistors T_3 et T_4 sont connectées entre elles et couplées à la première borne d'alimentation 9 à travers un circuit 7 assurant une chute de tension déterminée, voisine ou un peu plus élevée qu'une chute de tension d'une jonction polarisée en direct. Le collecteur du transistor T_4 est connecté à l'entrée d'un miroir de courant M formé de transistors NPN T_5 et T_6 , le transistor T_5 étant connecté en diode tandis que le collecteur du transistor T_3 est connecté au collecteur du transistor T_6 , ce noeud constituant la sortie du miroir de courant. Dans une mise en oeuvre préférée, les émetteurs des transistors T_5 et T_6 sont couplés à la première borne d'alimentation 9 à travers des résistances égales respectivement les résistances 25 et 26.

L'amplificateur 2 comporte enfin un étage de sortie essentiellement constitué d'un transistor appelé amplificateur d'erreur T_{56} de type NPN, d'un transistor dit de polarisation T_{34} de type PNP et d'un transistor dit de compensation T_{22} , de type NPN. Chacun des transistors constituant l'étage de sortie à été représenté comme formé de deux transistors connectés en parallèle, ceci pour les mêmes raisons technologiques déjà évoquées plus haut, c'est-à-dire que le transistor T_{56} a une surface d'émetteur équivalente à l'ensemble des surfaces d'émetteur des transistors T_5 et T_6 , que le transistor T_{34} a une surface d'émetteur équivalente à l'ensemble des surfaces d'émetteur des transistors T_3 et T_4 et que le transistor T_{22} a une surface d'émetteur équivalente au double de la surface

d'émetteur du transistor T_2 . Par la suite, ces transistors seront considérés comme transistors uniques même s'ils sont formés de deux transistors de surface moitié, connectés en parallèle.

Le noeud joignant les collecteurs des transistors T_3 et T_6 , constituant la sortie de l'étage d'entrée, est connecté à la base du transistor amplificateur d'erreur T_{56} . Le noeud reliant les bases de la paire de transistors T_3 et T_4 est connecté à la base du transistor de polarisation T_{34} et les collecteurs des transistors T_{34} et T_{56} sont connectés au noeud 17 reliant les bases des transistors T_1 et T_2 , noeud qui d'une part est relié à la borne de sortie 18 de l'amplificateur et d'autre part est connecté à la base du transistor de compensation T_{22} .

Le noeud reliant l'émetteur du transistor de polarisation T_{34} au collecteur du transistor de compensation T_{22} est couplé à la deuxième borne d'alimentation 8 via une résistance 35 dont la valeur est égale à l'une des résistances 14-17 soit encore la moitié de la valeur de la première résistance de collecteur 14, 15 ou la moitié de son équivalent, la deuxième résistance de collecteur 16, 17. La résistance 35 réalise ainsi une source de courant simplifiée délivrant un courant de valeur double du courant traversant les résistances 14, 15 (ou 16, 17). Le transistor amplificateur d'erreur T_{56} a son émetteur couplé à la première borne d'alimentation 9 via deux résistances d'émetteur en parallèles 45, 46 lesquelles sont égales entre elles et chacune égale à l'une des résistances d'émetteur 25 ou 26 des transistors T_5 et T_6 .

Enfin, l'émetteur du transistor de compensation T_{22} est couplé à la première borne d'alimentation 9 via une résistance 43 dont la valeur est égale à la deuxième résistance d'émetteur 13 de la cellule 1.

Une capacité 19 de valeur faible et non critique, peut être connectée en parallèle entre le noeud 17 et la base du transistor amplificateur d'erreur T_{56} de manière à assurer une meilleure stabilité du circuit générateur, à fréquence élevée.

Dans une application où le circuit générateur de tension stabilisée fonctionne en permanence, ladite deuxième borne d'alimentation 8 peut être reliée à la source d'alimentation positive V_{cc} . Toutefois, selon le mode représenté à la figure 1, le circuit générateur de tension stabilisée peut être mis en ou hors fonctionnement au moyen d'un dispositif interrupteur 11 disposé en série entre la source d'alimentation proprement dite 10 portée au potentiel positif V_{cc} et le conducteur qui a été appelé deuxième borne d'alimentation 8.

Le fonctionnement du circuit de la figure 1 est maintenant expliqué brièvement.

Lors de la mise sous tension de la borne d'alimentation 8, un courant I_s se partage tout d'abord en deux portions I_1 et I_2 en fonction des résistances de collecteur 14, 15 d'une part et 16,

17 d'autre part. Le courant I_1 se partage à son tour d'une part en un courant I_A entrant dans l'émetteur du transistor T_3 et un courant I_{pt} entrant dans le collecteur du transistor T_1 . Le courant I_2 se partage à son tour en un courant I_B entrant dans l'émetteur du transistor T_4 et un courant I_{pt} entrant dans le collecteur du transistor T_2 .

Comme on le verra ci-après, la cellule est alimentée de manière à ce que les courants de collecteur du transistor T_1 et du transistor T_2 soient égaux entre eux.

En effet, la différence entre les courant entre I_A et I_B apparaît en sortie de l'étage d'entrée de l'amplificateur à savoir sur le noeud reliant les collecteurs des transistors T_3 et T_6 différence de courant qui est appliquée à la base du transistor T_{56} . Le courant collecteur du transistor T_{56} qui est un courant d'erreur amplifié, est appliqué au noeud 17 joignant les bases des transistors T_1 , T_2 , T_{22} et fournit une contre-réaction fixant la tension de ce noeud de manière que les courants I_{pt} traversant les transistors T_1 et T_2 soient égaux. Puisque les bases des transistors T_3 et T_4 sont connectées entre elles, et que les résistances 14, 15 - 16, 17 sont égales entre elles, les courants I_A et I_B sont sensiblement égaux.

Le transistor de compensation T_{22} a une surface d'émetteur double de celle du transistor T_2 . Son émetteur est connecté à une résistance d'émetteur 43 de valeur égale à la deuxième résistance d'émetteur 13 de la cellule 1, laquelle est traversée par un courant égal à $2.I_{pt}$. Aussi, le transistor T_{22} débite-t-il lui aussi, un courant très sensiblement égal à $2.I_{pt}$. comme la résistance 35 est choisie d'une valeur égale à l'une des résistance 14-17 et que le transistor de polarisation T_{34} est choisi avec une surface d'émetteur double de celle de l'un des transistors T_3 ou T_4 , il s'ensuit que le courant entrant dans l'émetteur du transistor T_{34} est très sensiblement égal à $2.I_A$. Ainsi un autre courant de valeur I_s circule à partir de la borne d'alimentation 8 dans la résistance 35.

Comme on le voit, le circuit décrit possède un haut degré de symétrie assurant une compensation élevée des causes d'erreurs résiduelles. La propriété d'une cellule, connue en soi, telle que représentée en 1 est brièvement rappelée :

En notant $I_e(T_2)$ = courant d'émetteur du transistor T_2 ,

$$I_e(T_2) = (V_T/R_{12}).\text{Log}_e(m)$$

expression dans laquelle R_{12} est la valeur de la résistance 12, et V_T est égal kT/q , avec k = constante de Boltzmann, T = température absolue, q = charge de l'électron et m = rapport de la surface d'émetteur entre le transistor T_1 et le transistor T_2 , et $\text{Log}_e(m)$ = logarithme népérien du

rapport m . Le courant $I_e(T_2)$ est donc un courant proportionnel à la température absolue et le courant collecteur du même transistor, noté I_{pt} est aussi un courant de même propriété dont la valeur est très voisine de $I_e(T_2)$. Comme indiqué précédemment, le transistor de compensation T_{22} , en parallèle sur le transistor T_2 , est agencé pour débiter un courant égal à $2.I_{pt}$ en remarquant que ce transistor T_{22} a sa base reliée à la base du transistor T_2 et son collecteur soumis à une tension qui est identique à la tension collecteur du transistor T_2 , puisque le courant I_s traversant la résistance 35 est très sensiblement égal au courant I_s , somme des courants traversant les résistances de collecteur 14, 15 et 16, 17.

La tension minimale à appliquer à la borne d'alimentation positive 8 par rapport à la borne d'alimentation négative 9, se déduit aisément du schéma de la figure 1 et peut être évaluée à :

$V(7) + V_{BE}(T_{34}) + R_{35}.I_s$, expression dans laquelle $V(7)$ est la chute de tension dans le circuit 7, $V_{BE}(T_{34})$ est la tension émetteur-base du transistor T_{34} , et R_{35} est la valeur de la résistance 35.

La chute de tension dans la résistance 35 peut être choisie relativement faible, inférieure à $1 V_{BE}$ par exemple, mais supérieure à plusieurs V_T .

Ainsi, la tension minimale d'alimentation peut être un peu supérieure à $2.V_{BE}$ et inférieure, à $3V_{BE}$ si nécessaire. Lorsqu'un dispositif interrupteur tel que le dispositif 11 est inséré entre la borne d'alimentation 8 et une source 10, de tension V_{cc} , la tension de cette source peut être égale à la tension précédemment définie ou un peu plus élevée si l'on choisit un dispositif interrupteur 11 ayant une résistance interne propre.

Les propriétés de symétrie du circuit de la figure 1 sont résumées comme suit :

les transistors PNP T_3 , T_4 , T_{34} fonctionnent avec une tension émetteur/base identique et une densité de courant identique.

Les transistors NPN T_1 , T_2 , T_{22} fonctionnent sous la même tension collecteur/base et, de plus, les transistors T_2 et T_{22} fonctionnent avec la même densité de courant et le même V_{BE} . Les transistors T_5 et T_6 fonctionnent à toutes conditions de courant identiques puisque le collecteur du transistor T_6 est relié à la base du transistor T_{56} fonctionnant de manière symétrique à l'ensemble des transistors T_5 et T_6 , alors que le transistor T_5 a son collecteur connecté à sa base. Ceci reproduit une symétrie totale de fonctionnement pour les transistors T_5 , T_6 .

Il s'ensuit aussi que les transistors T_3 et T_4 fonctionnent à tension collecteur identique.

C'est seulement au noeud 17, portant la tension de sortie V_{ref} , qu'il se produit une différence par rapport à la tension de base des transistors T_5 et T_6 . En effet, la valeur de V_{ref} est de l'ordre de

1,25 Volt, indépendante de la tension d'alimentation. Par contre, la tension base/collecteur des transistors T_3 et T_4 est en général différente de la tension base/collecteur du transistor T_{34} bien qu'il soit aisé de prévoir une égalité de tension pour une valeur nominale de la tension d'alimentation. Ainsi le courant collecteur du transistor T_{34} devrait être un peu inférieur ou supérieur à la somme des courants collecteur des transistors T_3 et T_4 , selon que la chute de tension dans les résistances 25 et 26 a été choisie plus faible ou plus élevée que la chute de tension du circuit 7, et/ou que la tension d'alimentation s'écarte de sa valeur nominale.

Toutefois, la configuration de type cascode de l'ensemble des transistors PNP a pour effet de multiplier la résistance de sortie de ces transistors et ceci spécialement lorsqu'on adopte une chute de tension relativement élevée dans les résistances 35, 14-17 c'est-à-dire nettement supérieures à V_T .

Il peut exister également une différence de tension base/collecteur entre le transistor T_{56} et les transistors T_5 , T_6 , si la tension d'alimentation s'écarte de sa valeur nominale pour laquelle les éléments ont été calculés, mais cette cause d'erreur peut être largement réduite en utilisant des résistances d'émetteur 25, 26, 45, 46 de valeurs suffisamment élevées pour que la chute de tension dans ces résistances, soit $> V_T$, dégénérant ainsi la caractéristique d'émetteur de ces transistors.

Il y a lieu d'observer que tous les courants de base des transistors PNP T_3 , T_4 et T_{34} étant évacués à travers la même chute de tension du circuit 7, toute variation de cette chute de tension induit le même effet sur les bases de ces transistors. Aussi, le gain en courant de ces transistors peut être relativement faible sans entraîner une erreur très significative sur la tension V_{ref} obtenue.

Les figures 2A, 2B et 2C montrent des exemples de réalisation du bloc 7 de la figure 1 assurant une chute de tension déterminée, voisine de celle d'une jonction polarisée en direct ou un peu supérieure. La valeur de cette chute de tension est choisie principalement en fonction de la tension nominale prévue sur la deuxième borne d'alimentation 8 et des chutes de tension dans les résistances 25, 26, 45, 46. Une valeur préférée est choisie pour assurer, à la tension d'alimentation nominale, une égalité approximative entre la tension V_{ref} du noeud 17 et la tension des collecteurs des transistors T_3 et T_4 . Pour cette tension d'alimentation nominale, le circuit générateur fonctionne alors de manière optimale avec un degré très élevé de symétrie éliminant la majorité des causes d'erreur de second ordre.

Selon la figure 2A, le circuit 7 se réduit à un transistor bipolaire T_7 connecté en diode et polarisé en direct. Selon une variante non représentée, le transistor bipolaire T_7 peut être remplacé par un

transistor de type MOS à canal N, connecté de manière équivalente, de manière à présenter une chute de tension correspondant à sa tension de seuil. Une chute de tension un peu plus élevée qu'un V_{BE} est alors obtenue, dont le comportement en température est avantageux pour le fonctionnement du circuit générateur.

A la figure 2B, le circuit 7 se présente sous la forme d'un montage, connu en soi, dans lequel un pont de résistances 71, 72 connecte en parallèle avec le trajet collecteur-émetteur d'un transistor NPN T_{70} dont la base est connectée au point intermédiaire de ce pont de résistances. Ce montage procure une chute de tension proportionnelle à un V_{BE} , le facteur de proportionnalité, plus grand que 1, étant choisi à volonté en fonction des valeurs des résistances 71 et 72.

La figure 2C fournit encore un autre exemple de montage utilisable pour le circuit 7 de la figure 1, qui se réduit ici à un pont de résistances 73, 74 connecté entre la deuxième borne d'alimentation 8 (ou la source d'alimentation V_{cc}) et la masse (borne 9). La chute de tension utilisée pour écouler le courant de base des transistors T_3 , T_4 , et T_{34} est celle se produisant aux bornes de la résistance 74. Certes, cette chute de tension est affectée par des variations de tension d'alimentation, mais ceci de manière favorable puisque la variation de tension aux bornes de la résistance 74, se produit dans le même sens que la variation de la tension émetteur des transistors T_3 et T_4 . La variation des courants I_A et I_B en fonction des variations de la tension d'alimentation V_{cc} , se trouve réduite.

De manière générale, on choisira un circuit 7 fournissant une chute de tension d'autant plus faible, et proche de 1 V_{BE} , que la tension minimale d'alimentation est souhaitée plus faible.

La figure 3 représente un exemple de réalisation de l'interrupteur 11 de la figure 1. Il est essentiellement constitué d'un transistor T_{20} à effet de champ à canal P, à enrichissement, dont la source est connectée à la source d'alimentation 10 portant la tension V_{cc} , à travers une résistance 31, dont le drain est connecté à la borne 8 dite deuxième borne d'alimentation. La grille de ce transistor T_{20} reçoit par une borne 30 un signal de commande plaçant le transistor soit en conduction soit hors conduction sous l'effet d'une tension de commande variant entre la tension de la masse et la tension V_{cc} . Dans les explications données à propos de la figure 1, il y a donc lieu de tenir compte de la résistance 31 en série avec la source du transistor T_{20} , ainsi que de la résistance interne de ce transistor. Ces résistances étant ajoutées en série entre la source d'alimentation 10 et ladite deuxième borne d'alimentation 8, provoquent une chute de tension créée par le courant $2.I_s$.

La figure 4 fournit un autre exemple de réalisation du dispositif interrupteur 11 de la figure 1, exemple dans lequel est également assurée une pré-régulation du courant ($2.I_s$) alimentant l'amplificateur 2 de la figure 1.

Selon la figure 4, un transistor à effet de champ T_{40} de type à effet de champ MOS, à canal N, a sa source connectée à la première borne d'alimentation 9, (masse). Sa grille reçoit un signal de commande convenable à partir d'une borne de commande 41. Son drain est couplé à la source d'alimentation 10, à tension V_{cc} , via une résistance 42 et un transistor T_{43} de type PNP connecté en diode. Un autre transistor PNP, T_{44} , a sa base connectée à la base du transistor T_{43} et son émetteur, de surface n fois plus grande que celle de l'émetteur du transistor T_{43} , couplé à la source 10 via une résistance d'émetteur 47. Le collecteur du transistor T_{44} fournit un courant à la borne 8 dite deuxième borne d'alimentation, dont la valeur déterminée pour une tension V_{cc} nominale, varie de manière logarithmique, et donc faiblement, lorsque V_{cc} varie.

D'une certaine manière, le circuit de la figure 4 est un équivalent de celui de la figure 3 dans lequel la résistance de source 31 aurait une valeur variant dans le même sens que la valeur de V_{cc} , atténuant ainsi les variations de la tension produite sur la borne 8.

La figure 5 présente une variante du circuit de la figure 4 selon laquelle c'est un transistor bipolaire T_{50} , de type PNP, qui remplace le transistor T_{40} de la figure 4, dont le collecteur est connecté à la borne 9 (masse), et dont la base reçoit un signal de commande approprié de la borne de commande 51. L'émetteur du transistor T_{50} est couplé à la source d'alimentation 10 (V_{cc}) via une résistance 52 de valeur élevée et le trajet base-émetteur d'un transistor PNP, T_{53} . Entre la résistance 52 et le collecteur de ce transistor T_{53} est insérée une résistance 54, dont la valeur est choisie pour créer une chute de tension voisine de V_T dans les conditions nominales de fonctionnement.

Le collecteur du transistor T_{53} est connecté à la base d'un autre transistor PNP, T_{55} , dont l'émetteur, de surface n fois plus grande que celle de l'émetteur du transistor T_{53} , est connecté à la source d'alimentation 10.

Le collecteur du transistor T_{55} délivre un courant pré-régulé à la borne 8, dont la valeur varie peu en fonction des variations de V_{cc} autour de sa valeur nominale, comme dans l'exemple précédent.

Il est clair que des modifications de détail sont à la portée du spécialiste notamment en ce qui concerne le choix du type des transistors utilisés dans les exemples décrits précédemment, sans sortir du cadre de l'invention.

Par exemple, le circuit de la figure 4 utilise un transistor T_{40} de type MOS pour la fonction d'interruption de l'alimentation tandis que le circuit de la figure 5 montre un transistor bipolaire T_{50} pour réaliser la même fonction. Bien entendu, le spécialiste reconnaîtra aisément que l'usage de ces types de transistors aurait pu être échangé et qu'ils ne sont nullement spécifiques de chacun des exemples décrits, où un transistor de type NPN aurait pu également être utilisé aisément.

Il est à noter par ailleurs, qu'une fonction de pré-régulation du courant d'alimentation a été décrite conjointement avec la fonction d'interruption de l'alimentation, conformément à un mode préféré de réalisation. Toutefois, il est bien clair que ces fonctions peuvent être mise en oeuvre de manière totalement indépendante. Enfin, dans l'exposé de l'invention et pour simplifier son expression, il a été mentionné que les différentes branches du circuit procurent une symétrie de fonctionnement par l'égalité des courants qui y circulent, branches qui sont composées de transistors ayant des rapports de surface d'émetteur les plus simples aboutissant à cette égalité de courants. Certes, ce mode de réalisation est préféré pour sa simplicité. Toutefois, le spécialiste reconnaîtra qu'un rapport de proportionnalité différent de l'unité peut être également envisagé, (par exemple $I_A = k.I_B$, miroir de courant M ayant un rapport sortie/entrée = k , T_{34} de surface d'émetteur égale à la somme des surfaces de T_3 et T_4 ...etc...). La valeur de V_{ref} obtenue serait alors différente mais les caractéristiques intrinsèques du circuit de l'invention demeureraient les mêmes, avec les mêmes avantages.

Revendications

1. Circuit générateur de tension comportant une cellule (1) du type dit "bandgap", dans laquelle une pluralité de m transistors connectés en parallèle forme un ensemble équivalent à un premier transistor (T_1), d'une première polarité, dont l'émetteur est connecté à une extrémité d'une première résistance d'émetteur (12), l'autre extrémité de cette résistance étant connectée par ailleurs à l'émetteur d'un deuxième transistor (T_2), de même polarité, de surface d'émetteur égale à celle de l'un des m transistors formant le premier transistor (T_1), deuxième transistor dont la base est reliée à celle du premier transistor, le noeud joignant l'émetteur du deuxième transistor à la première résistance d'émetteur (12) étant couplé à une première borne d'alimentation (9) à travers une deuxième résistance d'émetteur (13), circuit comportant en outre un amplificateur (2) agissant sur la base du premier et du deuxième transistors pour assurer l'égalité des cou-

rants qui traversent respectivement les premier et le deuxième transistors, lesquels transistors (T_1 , T_2) ont leur collecteur alimenté à partir d'une deuxième borne d'alimentation (8),

caractérisé en ce que le collecteur de chacun des premier et deuxième transistors est relié à la deuxième borne d'alimentation (8) respectivement par une première et une deuxième source de courant (14-15, 16-17), délivrant un courant de même valeur,

en ce que l'amplificateur (2) comporte un étage d'entrée muni de deux transistors (T_3 , T_4), de polarité opposée à celle des premier et deuxième transistors (T_1 , T_2), dont les émetteurs, de surface équivalente, sont respectivement connectés aux collecteurs des premier et deuxième transistors, dont les bases sont connectées entre elles et couplées à la première borne d'alimentation (9) à travers un circuit 7 à chute de tension déterminée, et dont les collecteurs sont respectivement connectés à l'entrée et à la sortie d'un miroir de courant (M) de rapport unité, composé de transistors (T_5 , T_6) de ladite première polarité et dont les émetteurs sont couplés à la première borne d'alimentation (9),

en ce que l'amplificateur (2) comporte un étage de sortie essentiellement constitué d'un transistor (T_{56}) dit amplificateur d'erreur, de la première polarité, d'un transistor (T_{34}) dit de polarisation, de la deuxième polarité ainsi que d'un transistor (T_{22}) dit de compensation, de la première polarité,

en ce que le transistor amplificateur d'erreur (T_{56}) a une surface d'émetteur double de celle de chacun des transistors (T_5 , T_6) composant le miroir de courant (M), a sa base connectée à la sortie du miroir de courant, son émetteur couplé à la première borne d'alimentation (9), son collecteur connecté au noeud (17) reliant les bases des premier (T_1) et deuxième (T_2) transistors, noeud constituant également la sortie (18) de l'amplificateur et fournit la tension stabilisée (V_{ref}) de sortie du circuit,

en ce que le transistor de polarisation (T_{34}) a une surface d'émetteur équivalente à celle de l'ensemble des deux transistors (T_3 , T_4) de l'étage d'entrée, a son émetteur relié à la deuxième borne d'alimentation (8) via une troisième source de courant (35) délivrant un courant dont la valeur est égale à la somme des courants des première et deuxième sources de courant (14-15), (16-17), a sa base connectée aux bases des deux transistors (T_3 , T_4) de l'étage d'entrée, et son collecteur connecté au noeud de sortie (17),

et en ce que le transistor de compensation (T_{22}) a une surface d'émetteur double de celle

du deuxième transistor (T_2), a sa base connectée au noeud de sortie (17), son émetteur relié à la première borne d'alimentation (9) à travers une résistance (43) de valeur égale à celle de la deuxième résistance d'émetteur (13) de la cellule, et son collecteur, connecté à l'émetteur du transistor de polarisation (T_{34}).

5

10

15

20

25

30

35

40

45

50

55

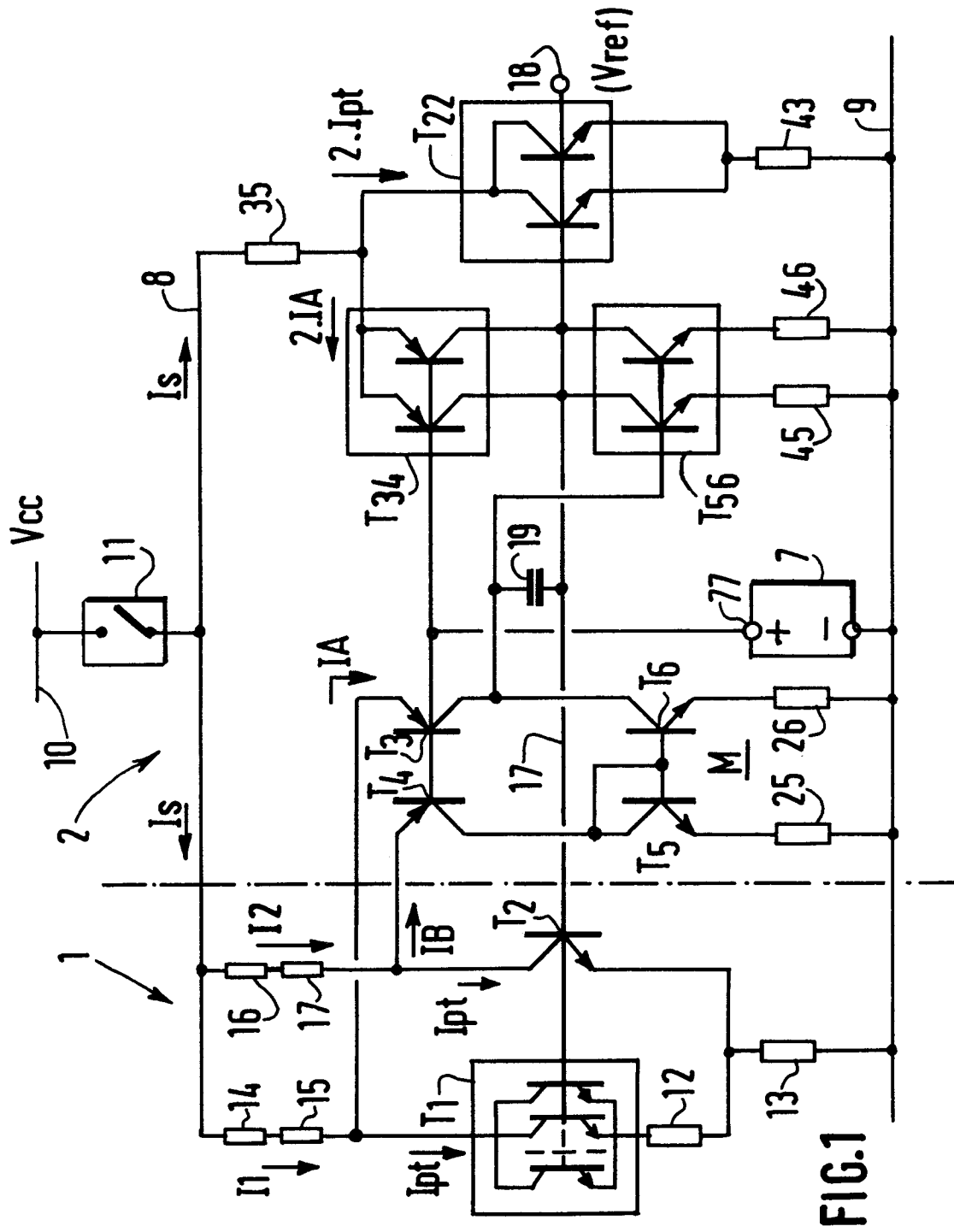
2. Circuit selon la revendication 1, caractérisé en ce que les première et deuxième sources de courant de la cellule (1) sont constituées de résistances de collecteur (14-15), (16-17), de valeurs égales, tandis que dans l'amplificateur (2), la troisième source de courant est constituée d'une autre résistance (35), de valeur moitié de celle de l'une desdites résistances de collecteur.

3. Circuit selon l'une des revendications 1 ou 2, caractérisé en ce que chacun des transistors (T_5 , T_6) du miroir de courant ayant son émetteur couplé à la première borne d'alimentation (9) au moyen d'une résistance d'émetteur (25, 26) de valeur déterminée, une autre résistance (45-46) dont la valeur est égale à la moitié de ladite valeur déterminée effectue le couplage de l'émetteur du transistor amplificateur d'erreur (T_{56}) à la même première borne d'alimentation.

4. Circuit selon l'une quelconque des revendications 1 à 3, caractérisé en ce que ladite deuxième borne d'alimentation (8) est reliée à une source d'alimentation (10) via un dispositif interrupteur (11) de mise en ou hors fonction du circuit générateur de tension.

5. Circuit selon la revendication 4, caractérisé en ce que les transistors de la deuxième polarité étant des transistors PNP, le dispositif interrupteur (11) comporte essentiellement un transistor à effet de champ (T_{20}) à canal p, dont la grille reçoit un signal de commande, dont le drain alimente la deuxième borne d'alimentation (8) et dont la source est reliée à une source d'alimentation (10) positive via une résistance (31) de limitation de courant.

6. Circuit selon l'une des revendications 1 à 4, caractérisé en ce que ladite deuxième borne d'alimentation (8) est couplée à une source d'alimentation (10) via un circuit de pré-régulation du courant (2.1s) alimentant le régulateur de tension, présentant une impédance variant dans le même sens que la tension (V_{cc}) de la source d'alimentation (10).



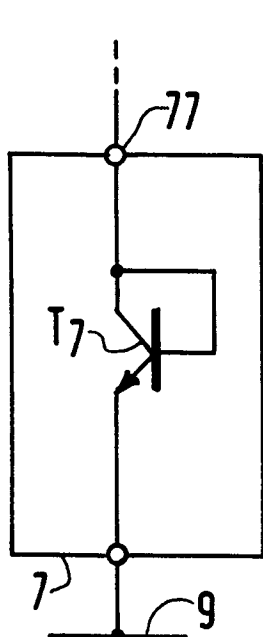


FIG. 2A

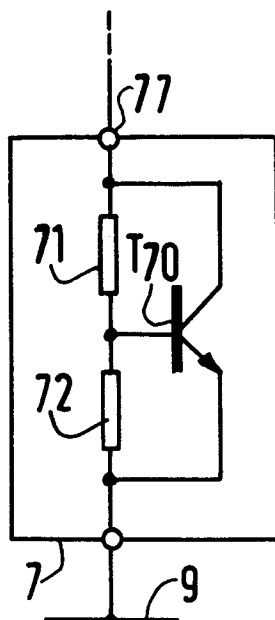


FIG. 2B

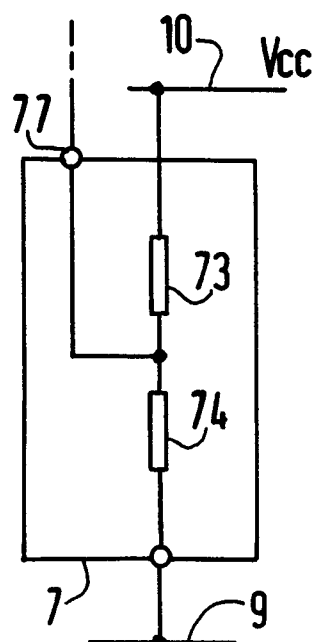


FIG. 2C

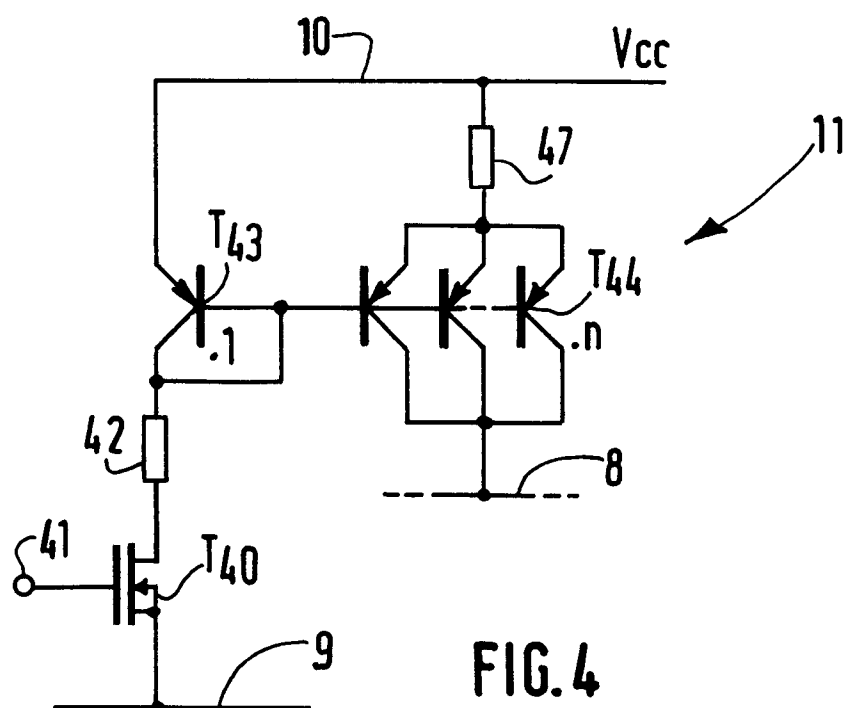


FIG. 4

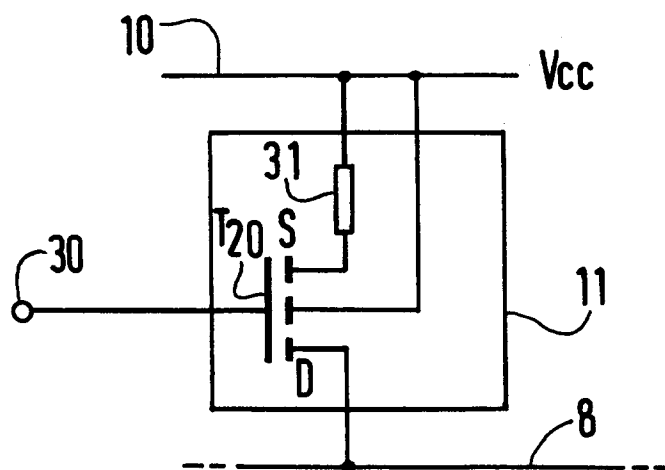


FIG. 3

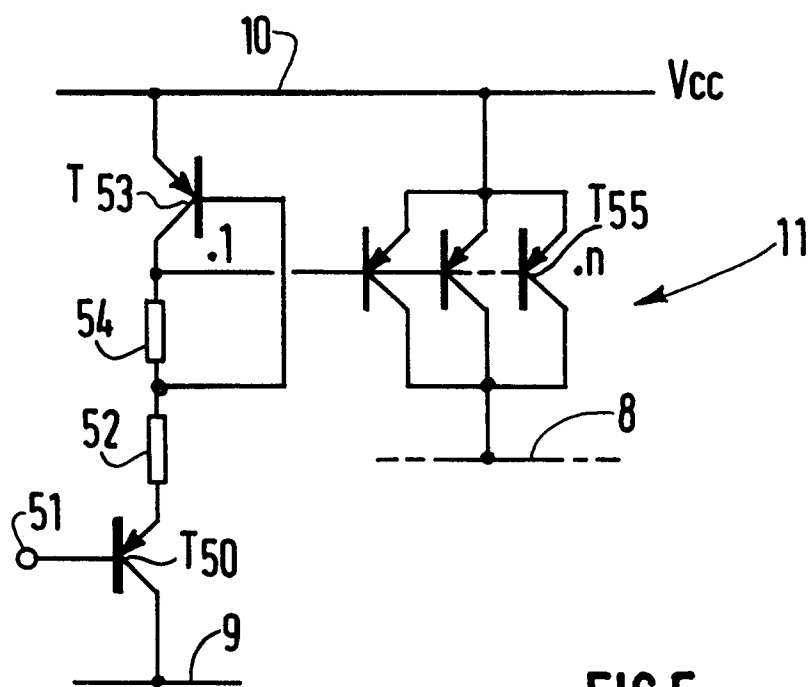


FIG. 5



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande
EP 94 20 2878

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
A	US-A-4 435 678 (JOSEPH ET AL) * colonne 4, ligne 25 - colonne 6, ligne 20; figure 2 *	1	G05F3/30

A	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 15, no.6, Décembre 1980 NEW YORK, USA, pages 1059-1070, AMAZEEN ET AL 'A COMPLETE SINGLE-SUPPLY MICROPROCESSOR-COMPATIBLE 8-BIT DAC' * page 1063, colonne de droite, ligne 43 - page 1064, colonne de droite, ligne 18; figure 11 *	1	

A	US-A-3 617 859 (DOBKIN ET AL) * colonne 3, ligne 46 - colonne 4, ligne 30 * * colonne 6, ligne 14 - colonne 7, ligne 9; figure 3 *	1	

A	US-A-4 524 318 (BURNHAM ET AL.) * colonne 5, ligne 38 - colonne 8, ligne 3; figure 1 *	1	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)
	-----		G05F
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 24 Janvier 1995	Examineur Schobert, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	