

(19)



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Veröffentlichungsnummer: **0 660 043 A1**

(12)

## EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: **93810909.7**

(51) Int. Cl.<sup>6</sup>: **F23N 5/24**, G05B 9/02,  
H01H 9/16

(22) Anmeldetag: **24.12.93**

(43) Veröffentlichungstag der Anmeldung:  
**28.06.95 Patentblatt 95/26**

(71) Anmelder: **Landis & Gyr Technology  
Innovation AG**

(84) Benannte Vertragsstaaten:  
**CH DE GB IT LI**

**CH-6301 Zug (CH)**

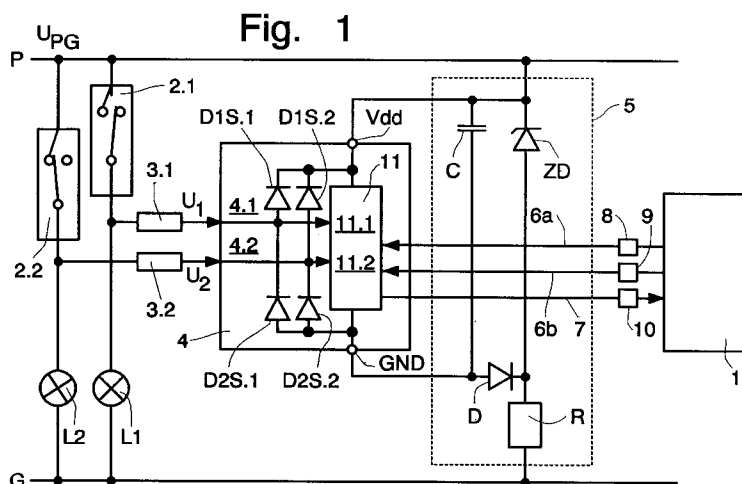
(72) Erfinder: **Josef, Lelle**  
**Eberbachstrasse 82**  
**D-76532 Baden-Baden (DE)**

(54) **Steuereinrichtung zur Betätigung von Schalteinrichtungen nach einem Zeitprogramm.**

(57) Die auf Meldeleitungen in der Form von analogen Niederspannungssignalen anliegenden Informationen über die Zustände von Schalteinrichtungen (2.1; 2.2) werden einem Schaltungsblock (4) parallel zugeführt, zu bestimmten Zeitpunkten als binäre Werte "0" oder "1" digitalisiert und seriell an einen Mikroprozessor (1) übertragen. Als Schaltungsblock (4) eignen sich insbesondere ein oder mehrere Schieberegister in Kaskade. Die Meldeleitungen sind einzig über jeweils einen hochohmigen Widerstand (3.1; 3.2) an den Schaltungsblock angekoppelt. Der Schaltungsblock (4) ist von einer Spannungsversorgungsschaltung (5) so gespeist, dass bei geschlossenem Zustand einer Schalteinrichtung (2.1; 2.2) ein

Strom abwechselungsweise über je eine der Schutzdioden (D1S.1, D2S.1; D1S.2, D2S.2) des Schaltungsblockes (4) fließt, bei offenem Zustand einer Schalteinrichtung (2.1; 2.2) nicht. Die Unterscheidung, ob eine Spannung ( $U_1$ ,  $U_2$ ) am Eingang (4.1; 4.2) des Schaltungsblockes (4) gleich- oder wechselförmig ist, erfolgt durch Mehrfachabfragen innerhalb einer Zeitspanne von ein bis zwei Netzhalbwellen und Analyse der zeitlich nacheinander erfassten Werte durch den Mikroprozessor (1).

Diese Steuereinrichtung eignet sich insbesondere zur Steuerung eines Öl- oder Gasbrenners im Dauerbetrieb.



EP 0 660 043 A1

Die Erfindung betrifft eine Steuereinrichtung der im Oberbegriff des Anspruchs 1 genannten Art.

Derartige Einrichtungen werden beispielsweise für die Steuerung und Überwachung des Brenners und der Zündeinrichtung von Öl- und Gasfeuerungen sowie zur Überwachung von Schaltern für Stellglieder wie Brennstoffventile und Lüftungsclappen verwendet, wobei der Mikroprozessor die über netzspannungsführende Meldeleitungen zugeführten Informationen auswertet und entsprechende Steuerbefehle absetzt. Insbesondere wegen der beim Einschaltvorgang und beim Betrieb von Öl- und Gasbrennern geforderten Sicherheit ist die Abschaltfähigkeit der Schalteinrichtungen, die sicherheitstechnisch kritische Lasten wie beispielsweise ein Brennstoffventil schalten, häufig zu überprüfen, um eine Fehlfunktion der Schalteinrichtung erkennen zu können, bevor eine gefährliche Situation entsteht.

Aus der DE-PS 30 44 047 und der prioritätsälteren DE-PS 30 41 521 C2 ist eine Steuereinrichtung für Ölbrenner gemäss dem Oberbegriff des Anspruchs 1 bekannt, bei welcher Informationen über die Schaltzustände von Relais- und Sensorkontakten mittels Verstärker in einen Mikroprozessor übertragen werden. Die Schaltzustände der Relaiskontakte sind über netzspannungsführende Meldeleitungen je einem Verstärker zugeführt, der ausgangsseitig mit einem Eingang des Mikroprozessors verbunden ist, so dass dieser eine der Anzahl Verstärker entsprechende Anzahl Eingänge aufweisen muss. Zur galvanischen Trennung der Meldeleitungen und des Mikroprozessors sind Trennglieder wie z.B. Optokoppler oder Übertrager eingesetzt. Dabei ist ein Trennglied pro Signalspannung vorhanden. Der Mikroprozessor ist programmiert, eine Anzahl Prüfungen dahingehend durchzuführen, ob ein System mit geschalteten Verbrauchern tatsächlich in der richtigen Weise eine Einschaltphase durchläuft. Dazu werden vom Mikroprozessor Signale eingelesen und mit Sollwerten verglichen. Bei einem fehlerhaften Verbraucherzustand schaltet der Mikroprozessor die Verbraucher ab.

Weiter sind bei einer aus der DE-OS 41 37 204 bekannten Anordnung zur Überwachung von Wechselstromschaltern netzspannungsführende Meldeleitungen über Optokoppler mit einer Abfrageeinheit eines Wechselspannungsdetektors verbunden. Die Meldeleitungen sind hierbei über je einen Tiefpass, der aus einem Widerstand und einem mit diesem in Reihe geschalteten Kondensator besteht, an den Optokoppler angeschlossen. Über die Meldeleitungen werden die Schaltzustände der Wechselstromschalter abgefragt und gespeichert. In einer der Abfrageeinheit nachgeschalteten Auswertereinheit werden die Schaltzustände mit einem Sollzustand - offen oder geschlossen - verglichen und danach ein Schalterzustandssignal gebildet, das

mindestens eine Information - Fehler oder kein Fehler - gesamthaft für alle vorkommenden Wechselstromschalter enthält. Aus dem Schalterzustandssignal lässt sich nicht ermitteln, welcher Wechselstromschalter allenfalls nicht mehr abschaltbar ist, so dass eine einfache Anzeige zur Diagnose nicht möglich ist.

Als Trennglieder zur galvanischen Trennung des überwachten Systems vom Mikroprozessor werden beispielsweise Optokoppler eingesetzt. Optokoppleranwendungen dieser Art sind aus der Fachliteratur bekannt (TI Opto Kochbuch von 1975, ISBN 3 88078 000 5).

Den Optokopplern haftet allerdings der Nachteil an, dass sie nicht fehlersicher sind und eine im Vergleich zu anderen elektronischen Bauteilen erhöhte Ausfallrate haben, so dass sie in sicherheitstechnisch kritischen Anwendungsfällen auch in einem aktiven Betriebszustand auf eine Signalvortäuschung überprüft werden müssen. Weiter nimmt mit zunehmender Zahl der Optokoppler die elektromagnetische Verträglichkeit und damit die Zuverlässigkeit der Steuereinrichtung ab. Bei Systemen mit vielen netzspannungsführenden Meldeleitungen können hohe Kosten entstehen, solange pro Meldeleitung ein teures Trennelement wie ein Optokoppler oder Übertrager und ein Eingangspin am Mikroprozessor vorhanden sein muss.

Der Erfindung liegt die Aufgabe zugrunde, eine Steuereinrichtung mit einem Mikroprozessor gemäss dem Oberbegriff des Anspruchs 1 derart auszugestalten, dass sie die in der Form von Niederspannungssignalen anliegende Information über den Zustand von Schalteinrichtungen, die Lasten ein- oder ausschalten, auf einfache und zuverlässige Weise erfasst, aufbereitet und an den Mikroprozessor überträgt.

Die genannte Aufgabe wird erfindungsgemäss gelöst durch die Merkmale des Anspruchs 1.

Die Lösung der Aufgabe beruht auf dem Gedanken, die auf Meldeleitungen in der Form von analogen Niederspannungssignalen anliegende Information über die Zustände der Schalteinrichtungen einem Schaltungsblock parallel zuzuführen, die an den Eingängen des Schaltungsblockes anliegenden Spannungen zu bestimmten Zeitpunkten entsprechend einem vorbestimmten Spannungsspiegel als binäre Werte "0" oder "1" zu digitalisieren und diese Werte seriell an den Mikroprozessor zu übertragen. Als Schaltungsblock eignet sich insbesondere ein Schieberegister oder, bei vielen zu überwachenden Schalteinrichtungen, eine Anordnung mit mehreren Schieberegistern in Kaskade.

Für die technische Umsetzung dieses Gedankens stellen sich zwei Teilprobleme. Als erstes müssen die Meldeleitungen über Kopplungsglieder so mit dem Schaltungsblock verbunden sein, dass der Schaltungsblock auch bei Überspannungen

nicht zerstört wird. Als zweites muss die Information über die Zustände der Schalteinrichtungen aus der Unterscheidung gewonnen werden, ob ein Niederspannungssignal gleich- oder wechselförmig ist. Die erste Teilaufgabe könnte dadurch gelöst werden, dass die Meldeleitungen über Widerstandsnetzwerke aus Widerständen, Kondensatoren und Dioden, welche sowohl Überspannungen als auch Überströme ableiten, an den Schaltungsblock angeschlossen sind. Bei der Erfindung ist als kostengünstige Lösung das Kopplungsglied auf einen einzigen hochohmigen Widerstand reduziert. Mittels einer Synchronisiereinrichtung könnte die Digitalisierung jeweils zu einem Zeitpunkt vorgenommen werden, bei dem die Amplitude einer Wechselspannung als logisch "1", die Amplitude einer Gleichspannung als logisch "0" erfasst wird. Bei der Erfindung erfolgen mehrere Digitalisierungen als Mehrfachabfragen innerhalb einer Zeitspanne von ein bis zwei Netzhalbwellen und einer Analyse der zeitlich nacheinander erfassten Werte, so dass eine Synchronisierung nicht erforderlich ist.

Aus den vorgenannten Lösungsmöglichkeiten zur Erfassung des Zustandes der Schalteinrichtungen ist mit der Erfindung eine Lösung gefunden, bei der ein Schaltungsaufbau mit einem Minimum an Bauteilen mit einer Betriebsweise kombiniert ist, bei der ein Teil der Aufgabe softwaremässig gelöst ist. Nachfolgend wird ein solches Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert.

Es zeigen:

- Fig. 1 ein Blockdiagramm einer Steuereinrichtung,
- Fig. 2 Diagramme zur Veranschaulichung der Betriebsweise dieser Steuereinrichtung und
- Fig. 3 eine Steuereinrichtung mit einem Testbaustein.

Die Fig. 1 zeigt eine Steuereinrichtung, welche als Zeitgeber- und Steuerlogikeinrichtung einen Mikroprozessor 1 aufweist. Sie enthält weiter zwei Schalteinrichtungen 2.1 und 2.2, zwei Widerstände 3.1 und 3.2, einen Schaltungsblock 4 und eine Spannungsversorgungsschaltung 5. Der Ausgang der ersten Schalteinrichtung 2.1, die eine Last L1 an eine zwischen einer Phase P und einem Nullpunkt G liegende Netzspannung  $U_{PG}$  schaltet, ist mit dem Eingang des ersten Widerstandes 3.1 verbunden, während der Ausgang der zweiten Schalteinrichtung 2.2, über die eine weitere Last L2 durch die Netzspannung  $U_{PG}$  gespeist ist, am Eingang des zweiten Widerstandes 3.2 angeschlossen ist. Die Ausgänge der Widerstände 3.1 und 3.2 sind mit parallel angeordneten Eingängen 4.1 und 4.2 des Schaltungsblockes 4 verbunden zur Verarbeitung der Niederspannungssignale, die an den Abgriffen zwischen den Schalteinrichtungen 2.1

bzw. 2.2 und den Lasten L1 bzw. L2 anliegen. Der Schaltungsblock 4 ist gespeist von der Spannungsversorgungsschaltung 5. Weiter ist der Schaltungsblock 4 über zwei Steuerleitungen 6a und 6b sowie eine serielle Datenleitung 7 zur Übertragung der an den Eingängen 4.1 bis 4.2 vorhandenen Spannungspegel zum Mikroprozessor 1 mit diesem verbunden, wobei die Steuerleitungen 6a und 6b und die Datenleitung 7 je mit einem Verbindungsglied 8, 9 bzw. 10 versehen sind. Die Steuereinrichtung kann auch zur Steuerung von mehr als zwei Lasten ausgebildet sein, z.B. für  $n = 32$  Lasten.

Der Mikroprozessor 1 ist durch ein Zeitprogramm dahingehend programmiert, während der Einschaltphase beispielsweise eines Gasbrenners mittels der Schalteinrichtungen 2.1 und 2.2 die Lasten L1 und L2 in einer bestimmten Reihenfolge ein- und auszuschalten und verschiedene Vorgänge wie z.B. die Bildung einer Flamme zu überwachen und gegebenenfalls die gesamte Anlage abzuschalten, so dass sich der Gasbrenner zu keinem Zeitpunkt in einer explosionsgefährdeten Situation befindet. Weiter führt der Mikroprozessor 1 im Dauerbetrieb ein Überwachungsprogramm zur Erkennung von Fehlzuständen der zu steuernden Anlage aus. Um den Zustand einer der Schalteinrichtungen 2.1 oder 2.2 - offen oder geschlossen - zu ermitteln, führt der Mikroprozessor 1 einen später noch zu erläuternden Prüfzyklus aus. Die Häufigkeit der Prüfzyklen richtet sich nach dem Verwendungszweck der Steuereinrichtung und den entsprechenden gesetzlichen Vorschriften oder Normen. So müssen Feuerungsautomaten, die der Norm EN 298 genügen, einen Fehler innerhalb einer Zeitdauer von drei Sekunden nach seinem Auftreten erkennen. Ein Prüfzyklus erfolgt deshalb typischerweise alle 200 Millisekunden. Auf diese Weise ist es möglich, den Zustand jeder der Schalteinrichtungen 2.1 und 2.2 auch dann innerhalb der vorgeschriebenen drei Sekunden zuverlässig zu erfassen, wenn sich der Zustand einer der Schalteinrichtungen 2.1 oder 2.2 während eines Prüfzyklusses gerade ändert.

Die Spannungsversorgungsschaltung 5 weist eine Zenerdiode ZD und einen Widerstand R auf, die in Reihe zwischen der Phase P und dem Nullpunkt G des Niederspannungsnetzes geschaltet sind, wobei die Kathode der Zenerdiode ZD an der Phase P angeschlossen ist. Parallel zur Zenerdiode ZD sind in Reihe ein Kondensator C und eine weitere Diode D geschaltet, wobei die Kathode der Diode D mit der Anode der Zenerdiode ZD verbunden ist. Ein Anschluss Vdd des Schaltungsblockes 4 ist mit der Kathode der Zenerdiode ZD, ein Anschluss GND des Schaltungsblockes 4 mit der Anode der Diode D verbunden, wodurch der Anschluss GND mit dem Minuspol und der Anschluss Vdd mit dem Pluspol der Spannungsversorgungs-

schaltung 5 verbunden ist.

Der Schaltungsblock 4 enthält einen Schaltungsteil 11 mit Paralleleingängen 11.1 und 11.2, die mit den Eingängen 4.1 bzw. 4.2 verbunden sind. Der Schaltungsteil 11 hat die Aufgabe, die an den Eingängen 11.1 und 11.2 vorhandenen Spannungspegel zu digitalisieren und in einen seriellen Datenstrom zur Übertragung an den Mikroprozessor 1 über die Datenleitung 7 zu wandeln. Aus diesem Grund sind die Eingänge 11.1 und 11.2 sehr hochohmig mit Werten, die typischerweise im  $G\Omega$  Bereich liegen. Der Schaltungsteil 11 ist als Schieberegister verwirklicht und ist über nur zwei Steuereingänge steuerbar. Mit der ersten Steuerleitung 6a wird das Schieberegister entsprechend einem Steuerpegel "0" oder "1" dazu gebracht, beim nächsten über die zweite Steuerleitung 6b geschickten Impuls die an seinen Eingängen 11.1 und 11.2 anliegenden Spannungspegel als Werte "0" oder "1" zu digitalisieren und in seine Register einzulesen bzw. den Inhalt der Register um eine Stelle in Richtung des seriellen Ausgangs zu schieben, so dass nach  $n = 2$  Impulsen alle parallel eingelesenen Werte über die serielle Datenleitung 7 an den Mikroprozessor 1 übertragen sind. Jeder der Eingänge 4.1 und 4.2 des Schaltungsblockes 4 ist über zwei Schutzdioden D1S.1 und D2S.1 bzw. D1S.2 und D2S.2 mit dem Anschluss Vdd bzw. mit dem Anschluss GND verbunden, wobei die Kathoden der Schutzdioden D1S.1 und D1S.2 am Anschluss Vdd und die Anoden der Schutzdioden D2S.1 und D2S.2 am Anschluss GND angeschlossen sind. Diese Schutzdioden dienen der Ableitung von Überspannungen, um eine Zerstörung des Schaltungsteils 11 zu verhindern. Bei integrierten Schaltungen wie z.B. CMOS sind in der Regel alle Eingänge standardmässig so ausgerüstet, so dass als gesamter Schaltungsblock 4 insbesondere ein käufliches, mit Schutzdioden versehenes Schieberegister verwendbar ist.

Die Widerstände 3.1 und 3.2 sind als Koppungsglieder eingesetzt und sind in ihrem Wert von typisch  $5\text{ M}\Omega$  so bemessen, dass die Steuereinrichtung bei verschiedenen Niederspannungsnetzen mit 115 V oder 230 V wie auch bei Kleinspannungsnetzen mit beispielsweise 24 V einsetzbar ist und dass die Schutzdioden D1S.1, D1S.2, D2S.1 und D2S.2 bei einer der Netzspannung  $U_{PG}$  überlagerten Spannungsspitze von viertausend Volt nicht zerstört werden.

Diese Steuereinrichtung arbeitet im Betrieb wie folgt:

Bei offenem Zustand der Schalteinrichtung 2.1, wie er in der Fig. 1 dargestellt ist, fließt während der positiven Halbwelle der Netzspannung  $U_{PG}$  ein Strom von der Phase P über den Kondensator C, den Anschluss GND, die Schutzdiode D2S.1, den Eingang 4.1, den Widerstand 3.1 und die Last L1

zum Nullpunkt G. Während der negativen Halbwelle fließt ein Strom vom Nullpunkt G über die Last L1, den Widerstand 3.1, den Eingang 4.1, die Schutzdiode D1S.1 und den Anschluss Vdd zur Phase P. Der Schaltungsblock 4 ist von der Spannungsversorgungsschaltung 5 so gespeist, dass die Spannungsdifferenz zwischen den Anschlüssen Vdd und GND dank des Kondensators C im zeitlichen Mittel annähernd der Zenerspannung der Zenerdiode ZD entspricht. Fließt ein Strom durch eine der Schutzdioden D1S.1 oder D2S.1, dann entspricht der Spannungsabfall über diesen Dioden etwa deren Durchlassspannung  $U_D$ . Die Spannung am Eingang 4.1 bezüglich der Spannung am Anschluss GND beträgt somit während der positiven Halbwelle der Netzspannung  $U_{PG}$  etwa  $-U_D$ , während der negativen Halbwelle  $V_{dd} - U_D$ , ausser in der Nähe der Nulldurchgänge.

Bei offenem Zustand der Schalteinrichtung 2.2, wie er in der Fig. 1 dargestellt ist, ist der Eingang 4.2 über den Widerstand 3.2 mit dem Pluspol Vdd der Spannungsversorgungsschaltung 5 verbunden und liegt deshalb immer auf dem Potential Vdd.

Im beschriebenen Beispiel ist der Spannungsverlauf  $U_1$  am Eingang 4.1 also wechselförmig, der Spannungsverlauf  $U_2$  am Eingang 4.2 gleichförmig. Der Prüfzyklus zur Bestimmung des Zustandes der Schalteinrichtungen 2.1 und 2.2 besteht nun darin, den zeitlichen Verlauf der Spannungen  $U_1$  und  $U_2$  während einer Zeitspanne von typisch ein bis zwei Halbwellen der Netzspannung  $U_{PG}$  zu erfassen und dann auszuwerten.

In der Fig. 2 sind der zeitliche Verlauf der Netzspannung  $U_{PG}$ , der Spannungen  $U_1$  und  $U_2$  an den Eingängen 4.1 bzw. 4.2, der Abfragetakt  $U_{cl}$  des Mikroprozessors 1 sowie die entsprechend einem vorgegebenen Spannungspegel, der beispielsweise in der Mitte der Pegel der Anschlüsse GND und Vdd des Schaltungsblockes 4 liegt, als Zahlen "0" oder "1" binär digitalisierten Werte  $U_{1,dig}$  und  $U_{2,dig}$  dargestellt. Der Abfragetakt  $U_{cl}$  des Mikroprozessors 1 ist höher als die Frequenz der Netzspannung  $U_{PG}$  gewählt, beispielsweise um einen Faktor zehn. Der erste Teil des Prüfzyklusses besteht darin, dass der Mikroprozessor 1 mittels des Schaltungsteils 11 die Pegel der Spannungen  $U_1$  und  $U_2$  zu  $k$  vorbestimmten Zeitpunkten  $t_1, t_2$  bis  $t_k$  als binäre Zahlen "0" oder "1" erfassen und übertragen lässt, wobei die Zeitspanne  $t_k - t_1$  länger als eine Netzhälfte ist. Die Folge  $F_1$  der Zahlen  $U_{1,dig}(t_1), U_{1,dig}(t_2), \dots, U_{1,dig}(t_k)$  enthält sowohl Werte "0" wie Werte "1", die Folge  $F_2$  der Zahlen  $U_{2,dig}(t_1), U_{2,dig}(t_2), \dots, U_{2,dig}(t_k)$  enthält nur Werte "1". Im zweiten Teil des Prüfzyklusses führt der Mikroprozessor 1 eine geeignete Analyse der Folgen  $F_1$  und  $F_2$  durch und bestimmt daraus den Zustand der Schalteinrichtungen 2.1 und 2.2.

Wenn der Abfragetakt  $U_{cl}$  um einen Faktor zehn höher ist als die Netzfrequenz, dann ergibt eine einfache Summation der Folgen  $F_1$  und  $F_2$  über zehn aufeinanderfolgende Zahlen im Mittel einen Wert "5" für die Folge  $F_1$  und damit für die offene Schalteinrichtung 2.1, und einen Wert "10" für die Folge  $F_2$  und damit für die geschlossene Schalteinrichtung 2.2, womit der Zustand der Schalteinrichtungen 2.1 und 2.2 aus dem Summationswert der zugehörigen Folge  $F_1$  bzw.  $F_2$  erkennbar ist.

Netzstörungen während einer Abfrage können dazu führen, dass ein oder mehrere Werte der Folgen  $F_1$  oder  $F_2$  einen anderen Wert haben als bei einer Abfrage ohne Störung. Auch eine zufällige Abfrage während eines Nulldurchganges der Netzspannung  $U_{PG}$  kann zu einem falschen Wert führen. Als Summationswert können deshalb alle numerischen Werte zwischen "0" und "10" entstehen. Der Mikroprozessor 1 ist dahingehend programmiert, Werte "9" und "10" als Zustand geschlossen, Werte "3", "4", "5", "6" oder "7" als Zustand offen und Werte "0" oder "1" als Fehler der Steuereinrichtung, der nicht auftreten sollte, zu interpretieren. Beim Auftreten eines Wertes "2" oder "8" wiederholt der Mikroprozessor 1 die Abfrage.

Der Mikroprozessor 1 kann auch einen zeitlich kürzeren Prüfzyklus ausführen, bei dem die Zeitspanne zwischen der ersten Abfrage zur Zeit  $t_1$  und der letzten Abfrage zur Zeit  $t_k$  etwas länger als die Dauer einer Netzhälfte ist. Der Summationswert der Folge  $F_1$  unterliegt dann bereits ohne Störungen einer Wahrscheinlichkeitsverteilung, kann aber weder den Wert "1" noch den Wert "k" annehmen, da mindestens die Abfrage zur Zeit  $t_k$  in eine andere Netzhälfte als die Abfrage zur Zeit  $t_1$  fällt. Der Summationswert der Folge  $F_2$  hat den Wert "k". Der Mikroprozessor 1 interpretiert dann einen Wert "k" als Zustand geschlossen, einen Wert im Bereich "1" bis "k-1" als Zustand offen und einen Wert "0" als Fehler. Fallen zwei Abfragezeitpunkte in verschiedene Netzhälften, dann kann der Summationswert der Folge  $F_1$  die Werte "1", "2", "k-1" und "k" nicht annehmen. Die Wahrscheinlichkeitsverteilung für den Summationswert der Folge  $F_1$  wird schmaler mit zunehmender Zahl der Abfragezeitpunkte, die in verschiedene Netzhälften fallen, wodurch die Anfälligkeit gegenüber Störungen abnimmt, da die möglichen Summationswerte für die Folgen  $F_1$  und  $F_2$  auch noch beim Auftreten von Störungen verschieden sind.

Der kürzeste Prüfzyklus, der im ungünstigsten Fall etwas länger als eine Netzhälfte dauert, ergibt sich dann, wenn der Mikroprozessor 1 den Zustand der Schalteinrichtungen 2.1 und 2.2 bestimmt, sobald entweder der zum Zeitpunkt  $t_i$  erfass-

te Wert  $U_{1,dig}(t_i)$  verschieden vom vorhergehenden Wert  $U_{1,dig}(t_{i-1})$  oder der Wert  $U_{2,dig}(t_i)$  verschieden vom vorhergehenden Wert  $U_{2,dig}(t_{i-1})$  ist oder sobald die Zeitspanne zwischen der ersten Abfrage zur Zeit  $t_1$  und der letzten Abfrage zur Zeit  $t_i$  länger als die Zeitdauer einer Netzhälfte ist. Der Zustand der Schalteinrichtungen 2.1 und 2.2 bestimmt sich dann daraus, ob die zwei letzten erfassten Zahlenwerte  $U_{1,dig}(t_{i-1})$  und  $U_{1,dig}(t_i)$  bzw.  $U_{2,dig}(t_{i-1})$  und  $U_{2,dig}(t_i)$  verschieden oder beide "1" sind, als offen bzw. geschlossen. Der Gewinn an Schnelligkeit geht jedoch einher mit einer Zunahme der Anfälligkeit gegenüber Störungen auf dem Netz.

Die beschriebene Steuereinrichtung ermöglicht die Verwendung eines Mikroprozessors 1 mit einer Anzahl Eingängen, die unabhängig von der Zahl  $m$  der zu steuernden Lasten  $L_1$  bis  $L_m$  ist, so dass ein Mikroprozessor 1 verwendbar ist, dessen Anzahl Eingänge wesentlich kleiner als die Zahl  $m$  der zu steuernden Lasten  $L_1$  bis  $L_m$  sein kann. Die Ausnutzung der in integrierten Schaltungen ohnehin standardmäßig eingebauten Schutzdioden D1S.1 und D2S.1 bis D1S.2 bzw. D2S.2 zur Informationsgewinnung über den Zustand der Schalteinrichtungen 2.1 und 2.2 bietet durch die Erzeugung dynamischer Signale bereits ohne Erweiterung mit Testelementen und dazugehörigen Prüfverfahren ein hohes Mass an Sicherheit, da im sicherheitstechnisch bedeutungsvolleren Fall des offenen Zustandes einer der Schalteinrichtungen 2.1 oder 2.2 logische Werte "0" und "1" vorhanden sein müssen.

Die vorgeschlagene Steuereinrichtung zeichnet sich weiter dank der Möglichkeit der Verwendung standardisierter Bauelemente durch einen kostengünstigen Aufbau aus. Die Anzahl der Bauteile umfasst ein Minimum, was zu weniger Ausfällen führt und eine erhöhte Zuverlässigkeit ergibt. Die Auswertung der in der Form von Niederspannungssignalen anfallenden Information erfolgt vollständig durch den Mikroprozessor 1, wobei das Verfahren keine besondere zeitliche Synchronisierung zwischen dem Mikroprozessor 1 und einem anderen Bauelement der Steuereinrichtung erfordert. Diese Softwarelösung ermöglicht eine sehr einfache Erfassung bestimmter physikalisch vorliegender Informationen und die Bestimmung der gewünschten Information über den Zustand der Schalteinrichtungen durch ein kleines Programm, das in einem Speicher abgelegt ist. Der Schaltungsblock 4 benötigt insbesondere keine Mittel irgendwelcher Art wie beispielsweise Nullpunktdetektoren, Integratoren oder Mittelwertbildner, etc. zur Datenanalyse oder Datenaufbereitung. Der Schaltungsblock 4 ist mit Vorteil verwirklichtbar durch ein Schieberegister mit beispielsweise  $n=8$  Paralleleingängen, die mit Schutzdioden versehen sind, wie es in Millionen-

stückzahlen hergestellt wird. Bei einem Fehlverhalten einer der Schalteinrichtungen 2.1 oder 2.2 ist eine einfache Anzeige möglich, da die Information über den Zustand jeder der Schalteinrichtungen 2.1 und 2.2 im Mikroprozessor 1 vorhanden und mit einfachen Mitteln, z.B. mit Leuchtdioden oder einem LCD Display, anzeigbar ist.

Die elektrische Speisung des Mikroprozessors 1 kann auf verschiedene Weise erfolgen. Sie hängt ab vom Verwendungszweck der Steuereinrichtung. Im einfachsten Fall ist der Mikroprozessor 1 ebenfalls von der Spannungsversorgungsschaltung 5 gespeist und der Schaltungsblock 4 ist über die Leitungen 6a, 6b und 7 ohne die Verbindungsglieder 8, 9 und 10 direkt mit dem Mikroprozessor 1 verbunden. Es kann in einem solchen Fall wirtschaftlich sein, einige der Eingänge des Mikroprozessors 1, die mit entsprechenden Schutzdioden versehen sein müssen, als Schaltungsblock 4 zu benützen und die Widerstände 3.1 und 3.2 direkt an die Eingänge des Mikroprozessors 1 anzuschließen.

Bei Steuereinrichtungen, bei denen der Mikroprozessor 1 aus Gründen der Sicherheit galvanisch von der Netzspannung  $U_{PG}$  getrennt sein muss, weil z.B. ein Temperaturfühler am Mikroprozessor 1 angeschlossen ist, sind die Verbindungsglieder 8, 9 und 10 als galvanische Trennglieder ausgeführt. Für die Steuereinrichtung ergeben sich weitere Vorteile bezüglich der Zuverlässigkeit, der elektromagnetischen Verträglichkeit und der Kosten dadurch, dass der Mikroprozessor 1 mit nur wenigen galvanischen Trenngliedern 8, 9 und 10 vom Schaltungsblock 4 und damit auch von der Netzspannung  $U_{PG}$  trennbar ist, so dass auch die Zahl der galvanischen Trennglieder wesentlich kleiner als die Zahl  $m$  der Lasten  $L_1$  bis  $L_m$  sein kann.

Die Fig. 3 zeigt eine Weiterentwicklung einer Einrichtung zur Steuerung von bis zu  $n=8$  Schalteinrichtungen 2.1 bis 2.8, die um einen Testbaustein 12 erweitert ist zur Erfassung von Eingangskopplungsfehlern oder Hardwarefehlern des Schaltungsblockes 4, der in der Form eines Schieberegisters verwirklicht ist. Ein Eingangskopplungsfehler tritt beispielsweise dann auf, wenn der am Eingang 4.2 eingelesene Wert nicht nur vom Spannungspegel am Eingang 4.2, sondern auch noch von dem an einem anderen Eingang, z.B. 4.5, anliegenden Spannungspegel abhängt. Von einem Hardwarefehler spricht man, wenn der eingelesene Wert eines Einganges unabhängig vom anliegenden Spannungspegel immer als logisch "0" (stack at zero) oder logisch "1" (stack at one) erscheint.

Der Testbaustein 12 verfügt über einen seriellen Dateneingang, einen Takteingang und einen den Zustand seiner Parallelausgänge 12.1 bis 12.8 steuernden Eingang, die über Leitungen 13, 14 bzw. 15 mit dem Mikroprozessor 1 verbunden sind.

Die Parallelausgänge 12.1 bis 12.8 sind über Leitungen 16 mit den Eingängen 4.1 bis 4.8 des Schieberegisters 4 verbunden. Sie sind in einen der Fachwelt unter dem Begriff tristate bekannten Zustand schaltbar, in welchem sie hochohmig sind und den Zustand der Leitungen 16 nicht beeinflussen (z.B. U. Tietze und Ch. Schenk, Halbleiterschaltungstechnik, 5. Auflage, Springer Verlag Berlin Heidelberg New York, ISBN 3-540-09848-8). Der Testbaustein 12 ist mit Vorteil durch ein zweites Schieberegister gebildet und auf die gleiche Weise wie das Schieberegister 4 an der Spannungsversorgungsschaltung 5 angeschlossen. Die Eingänge 4.1 bis 4.8 des Schieberegisters 4 sind weiterhin mit den Ausgängen der Widerstände 3.1 bis 3.8 verbunden, wobei der Übersichtlichkeit wegen nur die Schalteinrichtung 2.1 und der Widerstand 3.1 gezeichnet sind.

Die beschriebene Einrichtung arbeitet wie folgt: Im Normalbetrieb befinden sich die Ausgänge 12.1 bis 12.8 des Testbausteins 12 im tristate-Zustand und beeinflussen die Spannungen  $U_1$  bis  $U_8$  an den Eingängen 4.1 bis 4.8 nicht. Zur Überprüfung der Zuverlässigkeit der Datenerfassung mittels des Schaltungsblocks 4 führt der Mikroprozessor 1 zu bestimmten Zeitpunkten einen Testzyklus durch. Der Testzyklus besteht darin, dass der Mikroprozessor 1 ein Testmuster, das aus acht binären Werten "0" oder "1" besteht, über die serielle Leitung 13 zum Testbaustein 12 sendet. Nach der Übertragung stehen diese Werte an den Ausgängen 12.1 bis 12.8 zur Verfügung, sobald der Mikroprozessor 1 die Ausgänge 12.1 bis 12.8 über die Steuerleitung 15 in den leitenden Zustand setzt, so dass Spannungspegel  $U_1$  bis  $U_8$  mit Werten  $V_{dd}$  oder GND entsprechend dem vorgängig gesendeten Testmuster an den Eingängen 4.1 bis 4.8 des Schieberegisters 4 anliegen. Der Mikroprozessor 1 sendet nun weitere Befehle an das Schieberegister 4 zur Erfassung der an seinen Eingängen 4.1 bis 4.8 anliegenden Spannungspegel  $U_1$  bis  $U_8$  als binäre Werte und zur Übertragung an ihn, worauf er die zurückgemeldeten binären Werte mit dem abgeschickten Testmuster vergleicht. Der Mikroprozessor 1 ist dahingehend programmiert, eine Anzahl ausgewählter Testmuster zum Testbaustein 12 zu senden und über das Schieberegister 4 wieder einzulesen, so dass sowohl Eingangskopplungsfehler wie auch Hardwarefehler erkennbar sind. Zur Vermeidung eines Fehlers durch Verlust der tristate-Fähigkeit des Testbausteins 12 wird ein Testzyklus damit beendet, dass in die Register des Testbausteins 12 Werte "0" geschrieben werden. Zur Durchführung dieses Testvorganges spielt es keine Rolle, ob die Schalteinrichtungen 2.1 bis 2.8 offen oder geschlossen sind. Bei Bedarf können die Steuerleitungen 13, 14 und 15 mit galvanischen Trenngliedern versehen sein.

Der Mikroprozessor 1 kann auch dahingehend programmiert sein, bei der Durchführung jedes Prüfzyklusses zur Ermittlung des Zustandes der Schalteinrichtungen 2.1 bis 2.8 auch einen Testzyklus durchzuführen, der aus einem einzigen Testmuster besteht, wobei das Testmuster von Testzyklus zu Testzyklus verschieden ist.

### Patentansprüche

1. Steuereinrichtung, welche als Zeitgeber- und Steuerlogikeinrichtung einen Mikroprozessor (1) aufweist zur Betätigung mehrerer Schalteinrichtungen (2.1; 2.2) nach einem Zeitprogramm, wobei die Schalteinrichtungen (2.1; 2.2) die Stromzufuhr zu Lasten (L1; L2) steuern, die in einem Niederspannungsnetz zwischen einer Phase (P) und einem Nullpunkt (G) in Reihe zu den Schalteinrichtungen (2.1; 2.2) anschliessbar sind, und welche einen Schaltungsblock (4) aufweist, der eingangsseitig über parallel angeordnete, der Erfassung des Zustandes der Schalteinrichtungen (2.1; 2.2) - offen oder geschlossen - dienende Meldeleitungen mit im Strompfad zwischen den Schalteinrichtungen (2.1; 2.2) und den zugehörigen Lasten (L1; L2) angeordneten Abgriffen und ausgangsseitig mit dem Mikroprozessor (1) elektrisch verbunden ist, dadurch gekennzeichnet, dass die Meldeleitungen einen einzigen Widerstand (3.1; 3.2) aufweisen, dass eine Spannungsversorgungsschaltung (5) zur Speisung des Schaltungsblockes (4) aus der Phase (P) des Niederspannungsnetzes vorhanden ist, so dass bei offenem Zustand einer der Schalteinrichtungen (2.1; 2.2) Ströme über dem entsprechenden Eingang zugeordnete Schutzdioden (D1S.1, D2S.1; D1S.2, D2S.2) des Schaltungsblockes (4) fließen, so dass die Spannung ( $U_1$ ;  $U_2$ ) an diesem Eingang (4.1; 4.2) gegenüber einem Bezugspunkt (GND) des Schaltungsblockes (4) einen zeitlich variierenden Verlauf annimmt, während der Spannungsverlauf ( $U_1$ ;  $U_2$ ) bei geschlossenem Zustand der Schalteinrichtung (2.1; 2.2) konstant ist, und dass der Mikroprozessor (1) zu bestimmten Zeitpunkten einen Prüfzyklus zur Erfassung des Zustandes der Schalteinrichtungen (2.1; 2.2) durchführt, der darin besteht, dass der Mikroprozessor (1) zu vorgegebenen Zeitpunkten ( $t_1$  bis  $t_k$ ) die Spannungen ( $U_1$ ;  $U_2$ ) an den Eingängen (4.1; 4.2) des Schaltungsblockes (4) entsprechend einem vorgegebenen Spannungspegel als binäre Zahlen "0" oder "1" erfassen und über einen seriellen Ausgang des Schaltungsblockes (4) und eine serielle Datenleitung (7) an sich übertragen lässt und dass der Mikroprozessor (1) aus den durch diese

Mehrfachabfragen erfassten binären Zahlen ( $U_{1,dig}$ ;  $U_{2,dig}$ ) den Zustand der Schalteinrichtungen (2.1; 2.2) bestimmt.

2. Steuereinrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Mikroprozessor (1) von der Spannungsversorgungsschaltung (5) aus der Phase (P) des Niederspannungsnetzes gespeist ist und dass die Widerstände (3.1; 3.2) direkt an Eingänge des Mikroprozessors (1) angeschlossen sind.
3. Steuereinrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Schaltungsblock (4) ein oder mehrere in Kaskade geschaltete Schieberegister aufweist.
4. Steuereinrichtung nach Anspruch 1 oder 3, dadurch gekennzeichnet, dass der Schaltungsblock (4) und der Mikroprozessor (1) galvanisch getrennt sind.
5. Steuereinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Mikroprozessor (1) zur Fehlererkennung bei Dauerbetrieb der von der Steuereinrichtung gesteuerten Anlage zu bestimmten Zeitpunkten einen Prüfzyklus zur Erfassung des Zustandes der Schalteinrichtungen (2.1; 2.2) durchführt.
6. Steuereinrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Mikroprozessor (1) den Zustand der Schalteinrichtungen (2.1; 2.2) aufgrund einer Summation der erfassten binären Zahlen ( $U_{1,dig}$ ;  $U_{2,dig}$ ) bestimmt.
7. Steuereinrichtung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass der Mikroprozessor (1) den Zustand der Schalteinrichtungen (2.1; 2.2) bestimmt, sobald entweder eine der zum Zeitpunkt  $t_i$  erfassten binären Zahlen ( $U_{1,dig}(t_i)$ ;  $U_{2,dig}(t_i)$ ) verschieden von der zugehörigen, zum vorherigen Zeitpunkt  $t_{i-1}$  erfassten binären Zahl ( $U_{1,dig}(t_{i-1})$ ;  $U_{2,dig}(t_{i-1})$ ) ist oder sobald die Zeitspanne zwischen der ersten Abfrage zur Zeit  $t_1$  und der letzten Abfrage zur Zeit  $t_i$  länger als die Zeitdauer einer Netzhalbwellen ist.
8. Steuereinrichtung nach einem der Ansprüche 1 oder 3 bis 7, dadurch gekennzeichnet, dass der Mikroprozessor (1) mit einem Testbaustein (12) verbunden ist, der über einen seriellen Dateneingang und mehrere Parallelausgänge (12.1 bis 12.8) verfügt, dass die Parallelausgänge (12.1 bis 12.8) des Testbausteins (12) mit den Paralleleingängen (4.1 bis 4.8) des

Schaltungsblockes (4) verbunden sind und dass die Parallelausgänge (12.1 bis 12.8) entweder in einen leitenden oder einen hochohmigen tristate-Zustand schaltbar sind.

5

9. Steuereinrichtung nach Anspruch 8, dadurch gekennzeichnet, dass der Testbaustein (12) aus einem oder mehreren in Kaskade geschalteten Schieberegistern besteht.

10

10. Steuereinrichtung nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass der Mikroprozessor (1) zur Erfassung von Eingangskopplungsfehlern oder Hardwarefehlern des Schaltungsblockes (4) zu vorbestimmten Zeitpunkten einen Testzyklus durchführt, indem er ein aus binären Werten bestehendes Testmuster über eine serielle Leitung (12) in den Testbaustein (12) hineinschreibt, den Testbaustein (12) in den leitenden Zustand setzt, die an den Eingängen (4.1 bis 4.8) des Schaltungsblockes (4) anliegenden Spannungspegel ( $U_1$  bis  $U_8$ ) erfassen und an sich übertragen lässt, das zurückgemeldete Testmuster mit dem abgeschickten Testmuster vergleicht und den Testbaustein (12) wieder in den tristate-Zustand setzt.

15

20

25

30

35

40

45

50

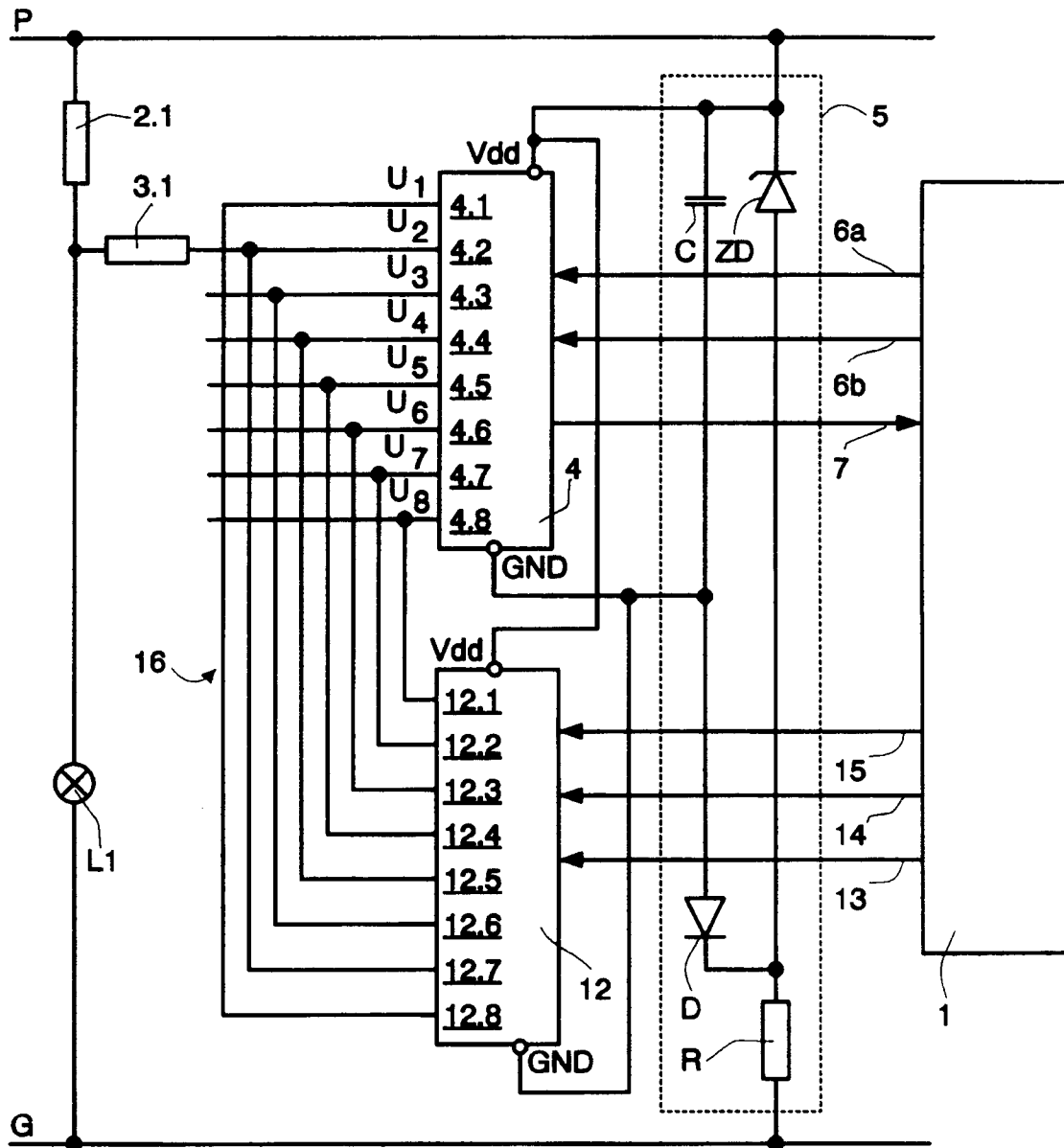
55

8





Fig. 3





Europäisches  
Patentamt

## EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung  
EP 93 81 0909

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.6)
A	US-A-4 974 179 (PATTON ET AL.) * das ganze Dokument * ---	1	F23N5/24 G05B9/02 H01H9/16
A	DE-A-38 01 952 (VDO ADOLF SCHINDLING) * das ganze Dokument * ---	1	
A	US-A-4 777 479 (HINCKLEY) * Zusammenfassung; Abbildung * -----	1	
			RECHERCHIERTE SACHGEBIETE (Int.Cl.6)
			F23N G05B H01H H02J
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 18. Mai 1994	Prüfer Kooijman, F
<b>KATEGORIE DER GENANNTEN DOKUMENTE</b>			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur		I : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument ..... A : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	