(19) Europäisches Patentamt
European Patent Office
Office européen des brevets

(11) Numéro de publication : **0 687 967 A1**

(12) DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt : **95401363.7**

(22) Date de dépôt : **12.06.95**

(51) Int. Cl.[6] : **G05F 3/30,** G05F 3/26

(30) Priorité : **13.06.94 FR 9407407**

(43) Date de publication de la demande : **20.12.95 Bulletin 95/51**

(84) Etats contractants désignés : **DE FR GB IT**

(71) Demandeur : **SGS-THOMSON MICROELECTRONICS S.A.**
7, Avenue Galliéni
F-94250 Gentilly (FR)

(72) Inventeur : **Lopez, Joaquin**
Cabinet Ballot-Schmit,
16, Avenue du Pont Royal
F-94230 Cachan (FR)
Inventeur : **Coquin, Jean-Michel**
Cabinet Ballot-Schmit,
16, Avenue du Pont Royal
F-94230 Cachan (FR)

(74) Mandataire : **Schmit, Christian Norbert Marie et al**
Cabinet BALLOT-SCHMIT,
16, avenue du Pont Royal
F-94230 Cachan (FR)

(54) Source de courant stable en température

(57) Afin de rendre le courant (I0) peu sensible à la température, un premier et un second transistors MOS (N0, N1) alimentés par un miroir de courant (1) ont leurs sources reliées à la masse (Vss), le drain (a) et la grille du premier transistor (N0) étant reliés à la grille (b) du second transistor (N1) par l'intermédiaire d'une résistance (R).

Le quotient des rapports dimensionnels des transistors (N0, N1) est égal au coefficient (β) du miroir de courant (1) et les transistors (N0, N1) sont dopés pour que le seuil du second transistor (N1) soit supérieur à celui du premier (N0).

Application notamment aux générateurs de rampe pour la programmation des cellules EEPROM.

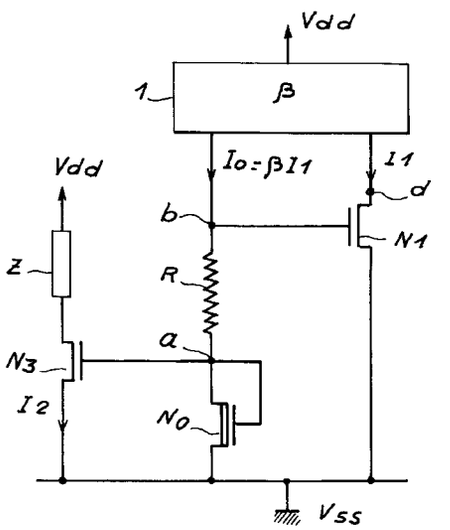

FIG. 2

EP 0 687 967 A1

L'invention se situe dans le domaine des circuits électroniques utilisant des transistors à effet de champs à grilles isolées pour réaliser des sources de courant. Ces circuits utilisent la technologie dite "MOS" et généralement sont sous la forme ou font partie de circuits intégrés. L'invention concerne plus précisément les sources de courant de ce type qui sont conçues pour présenter une certaine immunité aux variations de température.

D'une façon générale, les sources de courant trouvent de nombreuses applications en électronique. Elles servent notamment à la réalisation de générateurs de signaux de rampe calibrés. Pour cela, la source de courant alimente une capacité dont la tension fournit le signal de rampe.

Les générateurs de rampe sont par exemple utilisés pour effectuer la programmation ou l'effacement de cellules mémoire constituant les mémoires programmables effaçables électriquement (EEPROM).

Un montage connu en technologie MOS pour réaliser une source de courant consiste à utiliser deux miroirs de courant utilisant respectivement des transistors MOS à canal p (PMOS) et n (NMOS), les transistors NMOS ayant des valeurs de seuil différentes (voir le schéma de figure 1). On peut montrer que les courants circulant dans les branches de ce circuit sont approximativement proportionnels à la mobilité des transistors NMOS et au carré de la différence de leurs valeurs de seuil. Il en résulte que les courants sont en fait très dépendants de la température car la mobilité ainsi que le carré de la différence des valeurs de seuil varient très fortement en fonction de la température.

Le problème de la stabilisation en température des circuits électroniques en général est en soi connu mais conduit habituellement à une complication des circuits et à une augmentation de leur consommation.

Aussi, l'invention a pour but de proposer une solution simple et efficace à ce problème dans le cas des sources de courant.

Dans ce but, l'invention a pour objet une source de courant caractérisée en ce qu'elle comporte un miroir de courant prévu pour fournir un premier courant proportionnel à un second courant dans un rapport donné, un premier et un second transistors à effet de champs à grilles isolées dont les sources sont reliées à un premier potentiel commun, le drain et la grille du premier transistor étant reliés à la grille du second transistor par l'intermédiaire d'une résistance, en ce que ledit second courant alimente directement le canal dudit second transistor, en ce que ledit premier courant alimente le canal dudit premier transistor par l'intermédiaire de ladite résistance, en ce que lesdits premier et second transistors sont dopés de façon à ce que le seuil de conduction du second transistor soit supérieur à celui du premier transistor et en ce que le rapport dimensionnel d'un transistor étant défini comme le rapport de la largeur à la longueur de sa grille, les premier et second transistors sont dimensionnés de façon à ce que le rapport dimensionnel du premier transistor soit proportionnel à celui du second transistor dans ledit rapport donné.

Cette structure a pour effet d'imposer aux bornes de la résistance une différence de potentiel égale à la différence des valeurs de seuil des premier et second transistors. Le courant est donc proportionnel à cette différence et non plus à son carré. De plus, la différence de valeurs de seuil est peu dépendante des variations de température. Il en résulte que le courant sera également peu dépendant de ces variations.

Par ailleurs, le calcul montre que la différence des valeurs de seuil est approximativement proportionnelle à la température absolue. On sait d'autre part qu'une résistance réalisée par diffusion avec faible dopage est également proportionnelle à la température absolue. Aussi, selon une caractéristique supplémentaire de l'invention particulièrement avantageuse dans le cas d'une réalisation intégrée, la résistance est réalisée par diffusion ou implantation d'impuretés dans le substrat du circuit intégré avec un dopage suffisamment faible pour que la valeur de la résistance varie linéairement en fonction de la température.

Le choix d'une résistance diffusée faiblement dopée ne permet cependant pas de réaliser une résistance peu volumineuse et ayant une valeur très élevée, ce qui implique que le courant qui y circule ne peut pas être aussi faible que l'on souhaiterait. Aussi, en vue de compenser cette contrainte, le rapport entre le premier et le second courants sera avantageusement choisi supérieur à l'unité.

Selon un mode de réalisation particulier de l'invention, la source de courant est caractérisée en ce que lesdits premier et second transistors sont des transistors MOS à canal n et en ce que ledit miroir de courant est réalisé au moyen de troisième et quatrième transistors MOS à canal p ayant leurs grilles reliées entre elles et leurs sources reliées à un second potentiel supérieur audit premier potentiel, ledit troisième transistor étant monté en diode, lesdits troisième et quatrième transistors étant prévus pour fournir respectivement lesdits premier et second courants dans ledit rapport donné.

Selon un autre aspect, on choisira le rapport dimensionnel du troisième transistor proportionnel à celui du quatrième transistor dans ledit rapport donné.

Afin d'assurer au montage précédent une certaine tolérance aux fluctuations des tensions d'alimentation, l'invention prévoit en outre que ledit miroir de courant comporte un composant présentant une résistance dynamique importante par rapport à la valeur de ladite résistance, ledit composant étant branché entre le drain du troisième transistor et la grille du second transistor.

Selon un mode de réalisation particulièrement intéressant, ledit composant est un cinquième transistor MOS à canal n, dont le drain est relié au drain dudit troisième transistor, dont la source est reliée à la grille du second transistor et dont la grille est reliée au drain du second transistor.

Outre son rôle d'absorber les fluctuations de tensions d'alimentation, le cinquième transistor monté de la façon indiquée a la propriété intéressante d'assurer l'état de saturation du second transistor, indépendamment de la tension d'alimentation.

D'autres aspects de réalisation et avantages de l'invention apparaîtront dans la suite de la description en référence aux figures.

- La figure 1 représente le schéma d'une source de courant selon l'état de la technique.
- La figure 2 représente le schéma de la source de courant selon l'invention.
- La figure 3 représente un mode de réalisation préférentiel de l'invention.
- La figure 4 représente une variante du schéma de la figure 3.
- La figure 5 représente le montage dual du schéma de la figure 3.

La figure 1 représente un schéma connu d'une source de courant. Il est constitué d'un miroir de courant 1 formé de deux transistors MOS à canal p PM0 et PM1 fournissant respectivement les courants J0 et J1 aux transistors MOS à canal n NM0 et NM1 dont les sources sont reliées à un potentiel commun Vss pouvant être par exemple la masse du circuit et dont les grilles sont reliées entre elles. L'un des transistors NM1 est monté en diode et est dopé de façon à présenter un seuil supérieur au second transistor NM0. Le transistor NM0 sera par exemple un transistor natif, c'est-à-dire dont le canal a le même dopage de type p que le substrat, ayant un seuil d'environ 0,2 volt tandis que le transistor NM1 est enrichi par implantation de bore dans le substrat de façon à lui conférer un seuil d'environ 0,8 volt.

Pour alimenter une charge Z à courant constant, on peut former un second miroir de courant au moyen d'un quatrième transistor NM2 dont la source est reliée au potentiel Vss et dont la grille est reliée au drain du transistor NM1. La charge Z est placée entre le drain du transistor NM2 et le potentiel Vdd supérieur à Vss.

Les transistors du circuit sont tous polarisés de façon à fonctionner en régime saturé. Les rapports dimensionnels des transistors PM0 et PM1 imposent le rapport $\beta = J0/J1$ des courants J0 et J1 circulant respectivement dans ces transistors. De même, les rapports dimensionnels des transistors NM1 et NM2 du second miroir de courant fixent le rapport J1/J2, où J2 est le courant circulant dans la charge Z.

On peut montrer que l'on a en première approximation :

$$J1 = k(VT1 - VT0)^2$$

où VT0 et VT1 sont respectivement les valeurs de seuil des transistors NM0 et NM1, k étant un coefficient dépendant des mobilités des transistors du montage.

Comme ces mobilités ainsi que le terme $(VT1-VT0)^2$ dépendent sensiblement de la température, le courant qui en résulte en sera également fortement dépendant.

La figure 2 représente le schéma d'une source de courant conforme à l'invention. La source comporte un miroir de courant 1 de rapport β fournissant les courants I0 et I1 selon la relation $I0 = \beta I1$. Le courant I1 alimente le drain d d'un transistor MOS à canal n N1 dont la source est reliée au potentiel Vss. Le courant I0 alimente le drain a d'un autre transistor MOS à canal n N0 par l'intermédiaire d'une résistance R. Le transistor N0 est monté en diode et a donc sa grille reliée à son drain a. La grille du transistor N1 est reliée au point de connexion b de la résistance R au miroir de courant 1. Comme pour le montage de la figure 1, la charge Z est placée en série avec un autre transistor MOS à canal n N3 dont la grille est reliée au drain a du transistor N0 de façon à former un miroir de courant.

Les transistors N0 et N1 sont dopés différemment de façon à ce que le seuil VT1 du transistor N1 soit supérieur à celui VT0 du transistor N0. Le transistor N0 est par exemple un transistor natif et le transistor N1 est dit "enrichi" grâce à un dopage de type p supplémentaire du canal.

En supposant que le transistor N1 est polarisé en régime saturé, on peut écrire en première approximation :

$$I0 = k0(W0/L0)(Va - VT0)^2$$
$$I1 = k1(W1/L1)(Vb - VT1)^2$$

où :

- k1 et k2 dépendent de la mobilité des électrons et de la capacité des grilles par unité de surface,
- W0/L0 et W1/L1 sont les rapports dimensionnels (rapport de la largeur à la longueur) des grilles des transistors N0 et N1,
- Va et Vb sont les potentiels de grille des transistors N0 et N1.

Comme k1 et k2 sont pratiquement indépendants du dopage, on a k1 = k2.

Comme d'autre part $I0 = \beta I1$, si on dimensionne les transistors N0 et N1 de façon à avoir :

$$W0/L0 = \beta(W1/L1)$$

on en déduit :

$$Vb - Va = VT1 - VT0 = R.I0$$

Ainsi, la tension aux bornes de la résistance R est égale à la différence des valeurs de seuil VT1 et VT0 des transistors N1 et N0. Le courant I0 dépend donc de cette différence et de la valeur de la résistance R mais ne dépend plus des mobilités.

Afin d'évaluer la dépendance du courant aux variations de température, il convient de calculer les va-

leurs de seuil VT1 et VT0 ainsi que leur différence dans un cas particulier. La valeur de seuil VT d'un transistor NMOS est donnée par l'équation :

$$VT = (2KT/q)\ln(N/Ni) + [4\varepsilon NKT.\ln(N/Ni)]^{1/2}(1/Cox)$$

où :

K = constante de Planck
T = température absolue
q = charge de l'électron
ln = logarithme népérien
Ni = dopage intrinsèque
N = dopage du substrat
ε = coefficient de capacité du silicium
Cox = capacité de grille par unité de surface

Avec N = Ne pour le transistor N1 et N = Nnat pour le transistor N0, on en déduit :

$$VT1 - VT0 = AT + BT^{1/2},$$

avec :

$A = (2K/q)\ln(Ne/Nnat)$

$B=(4\varepsilon K)^{1/2}[[Ne.\ln(Ne/Ni)]^{1/2}-[Nnat.\ln(Nnat/ni)]^{1/2}](1/Cox)$

Avec une technologie classique, on aura par exemple :

$Ne = 10^{23}/m^3$

$Nnat = 10^{21}/m^3$

$Ni = 1,45\ 10^{16}/m^3$

$Cox = 2,7\ 10^{-3}\ F/m^2$,

on obtient alors :

$A = 1,58\ 10^{-3}\ V/K$

$B = 2,8\ 10^{-17}\ V/(K)^{1/2}$

On constate que VT1-VT0 est pratiquement proportionnel à la température absolue T et est peu sensible à ses variations.

La résistance R peut être réalisée en polysilicium et aura donc la propriété d'être peu dépendante de la température et des variations des paramètres du procédé de fabrication. Elle présente cependant l'inconvénient de nécessiter une surface importante. Une autre solution consiste à utiliser une résistance diffusée obtenue par diffusion ou implantation d'impuretés de type n dans le substrat de type p. Dans le cas d'un faible dopage et pour une gamme de température donnée, la valeur d'une résistance diffusée est donnée par la relation :

$$R = (lK/SqN.Dn)T$$

avec :

l = longueur de la résistance
S = section de la résistance
N = dopage
Dn = coefficient de diffusion.

On constate alors que la valeur de la résistance R est pratiquement proportionnelle à la température absolue T. Comme la tension appliquée à ses bornes est elle-même proportionnelle à la température absolue, le courant I0 est donc pratiquement indépendant de la température.

Bien entendu ce résultat reste valable à condition que le transistor N1 fonctionne en régime saturé et si le transistor N0 est conducteur, ce qui sera toujours le cas si le potentiel d'alimentation Vdd est suffisamment élevé par rapport aux tensions de seuil de ces transistors et si l'impédance statique du miroir de courant 1 n'est pas très élevée.

Le circuit de la figure 3 montre de façon détaillée une réalisation possible et particulièrement simple du miroir de courant 1. Le miroir 1 est réalisé au moyen de deux transistors MOS à canal p P0, P1 ayant leurs grilles reliées entre elles et leurs sources reliées à un potentiel d'alimentation Vdd supérieur au potentiel Vss. Le transistor P0 est monté en diode grâce à la connexion entre son drain c et sa grille.

Le rapport des courants I0/I1 circulant dans ces transistors est imposé par le quotient de leur rapport dimensionnel. On aura donc :

$$\beta = (W'0/L'0)/(W'1/L'1)$$

où W'0 et W'1 sont les largeurs effectives de grille respectivement des transistors P0 et P1 et L'0 et L'1 leurs longueurs effectives de grille.

Pour que β soit indépendant des tensions appliquées aux transistors, il est souhaitable cependant que les zones déplétées aux extrémités des grilles soient négligeables par rapport aux longueurs des grilles. Cette condition sera satisfaite en choisissant des longueurs de grilles supérieures à environ 4 μm.

Ce résultat ne sera bien sûr obtenu qu'à la condition que la tension d'alimentation Vdd soit suffisante pour que le transistor P1 fonctionne en régime saturé et que la tension aux bornes du transistors P0 soit supérieure en valeur absolue à sa valeur de seuil.

Afin de rendre le circuit moins sensible aux variations de tension d'alimentation, il est prévu un troisième transistor MOS à canal n N2 ayant son drain relié au drain c du transistor P0, sa source reliée à la grille du transistor N1 et sa grille reliée au drain du transistor N1. Le transistor N2 ainsi disposé a pour effet d'assurer le fonctionnement en régime saturé du transistor N1. Par ailleurs, si le potentiel d'alimentation Vdd est suffisamment élevé par rapport aux chutes de tension des chemins drain-source des transistors, les transistors N2 et P1 sont polarisés en régime saturé. Le transistor N2 en régime saturé présente alors une impédance dynamique importante qui a pour effet d'absorber les variations de tension d'alimentation. Le circuit est donc à la fois stable en température et en tension d'alimentation.

Avantageusement, on choisira pour N2 un transistor faiblement dopé, par exemple un transistor natif, de façon à ce qu'il présente une faible tension de seuil facilitant ainsi sa polarisation en régime saturé.

En pratique, la condition de saturation de tous les transistors est que la tension d'alimentation soit supérieure à la somme des tensions de seuil des transistors qui composent chaque branche du montage.

Par ailleurs, les transistors P0, P1 ainsi que N2 seront de préférence dimensionnés de façon à présenter une impédance statique la plus faible possible afin de permettre un fonctionnement correct pour de faibles valeurs de la tension d'alimentation.

Le choix précis des paramètres du circuit dépendra bien entendu de l'application envisagée. Il convient toutefois de remarquer que le choix d'une résistance diffusée peu dopée et peu volumineuse ne permet pas d'avoir un courant I0 très faible (par exemple de 30 μA pour R = 20 kΩ avec VT1 = 0,8 volt et VT0 = 0,2 volt). On aura donc intérêt à choisir β supérieur à 1 (par exemple égal à 10) de façon à réduire la consommation dans la branche de droite du montage.

L'invention ne saurait être limitée au mode de réalisation particulier qui vient d'être décrit. De nombreuses variantes sont en effet à la portée de l'homme du métier. Ainsi, comme représenté à la figure 4, on peut monter en diode le transistor P1 à la place du transistor P0. De même, le circuit de la figure 3 peut être transformé en son montage dual tel que représenté à la figure 5. Enfin, le transistor N2 pourrait être remplacé par un composant d'un autre type présentant une forte impédance dynamique.

Revendications

1. Source de courant caractérisée en ce qu'elle comporte un miroir de courant (1) prévu pour fournir un premier courant (I0) proportionnel à un second courant (I1) dans un rapport donné (β), un premier et un second transistors à effet de champs à grilles isolées (N0, N1) dont les sources sont reliées à un premier potentiel commun (Vss), le drain et la grille (a) du premier transistor (N0) étant reliés à la grille (b) du second transistor (N1) par l'intermédiaire d'une résistance (R), en ce que ledit second courant (I1) alimente directement le canal dudit second transistor (N1), en ce que ledit premier courant (I0) alimente le canal dudit premier transistor (N0) par l'intermédiaire de ladite résistance (R), en ce que lesdits premier et second transistors (N0, N1) sont dopés de façon à ce que le seuil de conduction (VT1) du second transistor (N1) soit supérieur à celui (VT0) du premier transistor (N0) et en ce que, le rapport dimensionnel d'un transistor étant défini comme le rapport de la largeur à la longueur de sa grille, les premier et second transistors (N0, N1) sont dimensionnés de façon à ce que le rapport dimensionnel du premier transistor (N0) soit proportionnel à celui du second transistor (N1) dans ledit rapport donné (β).

2. Source de courant selon la revendication 1, caractérisée en ce qu'elle fait partie d'un circuit intégré et en ce que ladite résistance (R) est réalisée par diffusion ou implantation d'impuretés dans le substrat du circuit intégré avec un dopage suffisamment faible pour que la valeur de ladite résistance (R) varie linéairement en fonction de la température.

3. Source de courant selon la revendication 2, caractérisée en ce que ledit rapport donné (β) est supérieur à l'unité.

4. Source de courant selon l'une des revendications 1 à 3, caractérisée en ce que lesdits premier et second transistors (N0, N1) sont des transistors MOS à canal n et en ce que ledit miroir de courant (1) est réalisé au moyen de troisième et quatrième transistors MOS à canal p (P0, P1) ayant leurs grilles reliées entre elles et leurs sources reliées à un second potentiel (Vdd) supérieur audit premier potentiel (Vss), ledit troisième transistor (P0) étant monté en diode, lesdits troisième et quatrième transistors (P0, P1) étant prévus pour fournir respectivement lesdits premier et second courants (I0, I1) dans ledit rapport donné (β).

5. Source de courant selon la revendication 4, caractérisée en ce que le rapport dimensionnel dudit troisième transistor (P0) est proportionnel à celui du quatrième transistor (P1) dans ledit rapport donné (β).

6. Source de courant selon la revendication 4 ou 5, caractérisée en ce que ledit miroir de courant (1) comporte un composant (N2) présentant une résistance dynamique importante par rapport à la valeur de ladite résistance (R), ledit composant (N2) étant branché entre le drain (c) du troisième transistor (P0) et la grille (b) du second transistor (N1).

7. Source de courant selon la revendication 6, caractérisée en ce que ledit composant (N2) est un cinquième transistor MOS à canal n, dont le drain est relié au drain (c) dudit troisième transistor (P0), dont la source est reliée à la grille (b) du second transistor (N1) et dont la grille est reliée au drain (d) du second transistor (N1).

8. Source de courant selon la revendication 7, caractérisée en ce que ledit cinquième transistor (N2) est prévu pour avoir une valeur de seuil (VT2) inférieure à celle (VT1) du second transistor (N1).

9. Source de courant selon l'une des revendications 4 à 8, caractérisée en ce que lesdits troisième et quatrième transistors (P0, P1) ont chacun une longueur de grille au moins égale à 4 μm.

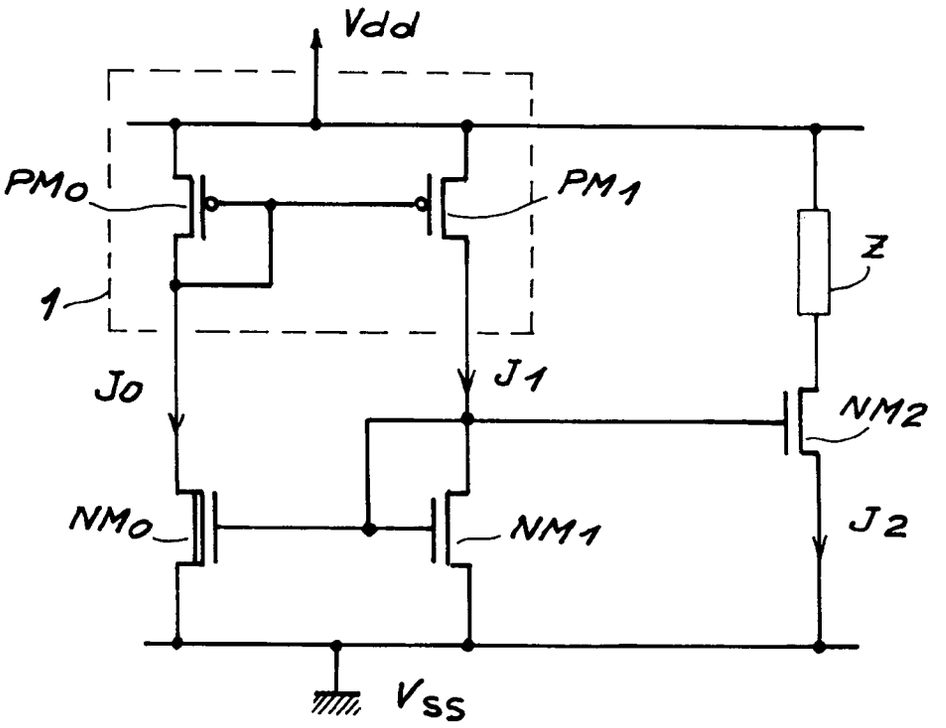
Vdd
PMo
PM1
Z
1
Jo
J1
NM2
NMo
NM1
J2
Vss

FIG. 1

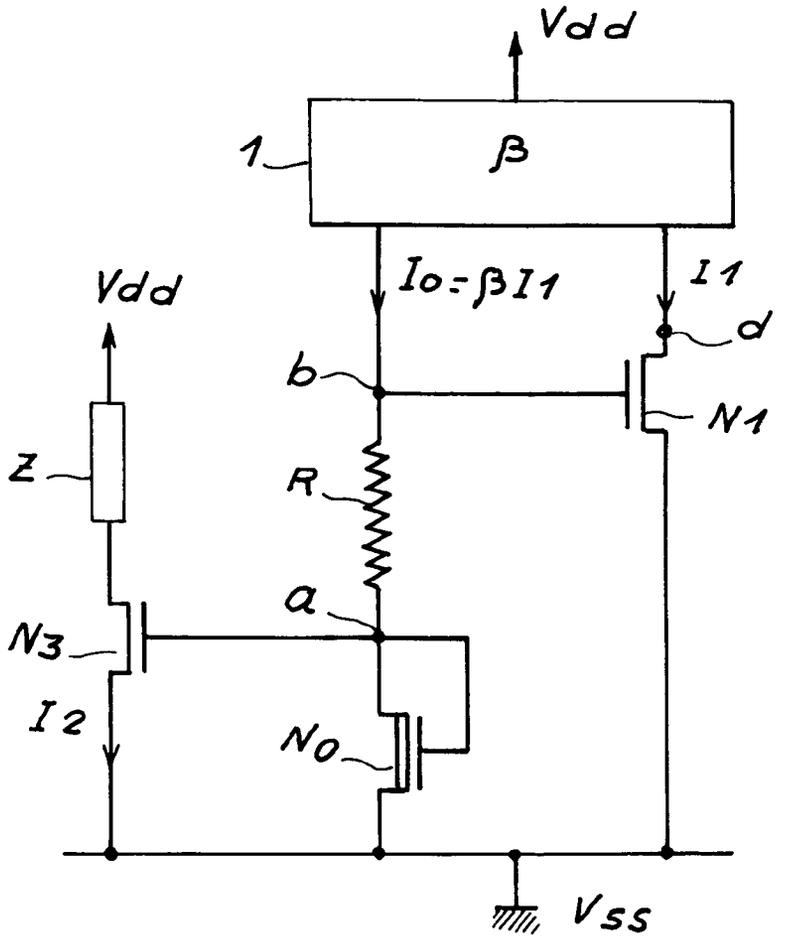
Vdd
1
β
Io=βI1
I1
Vdd
d
b
N1
Z
R
a
N3
I2
No
Vss

FIG. 2

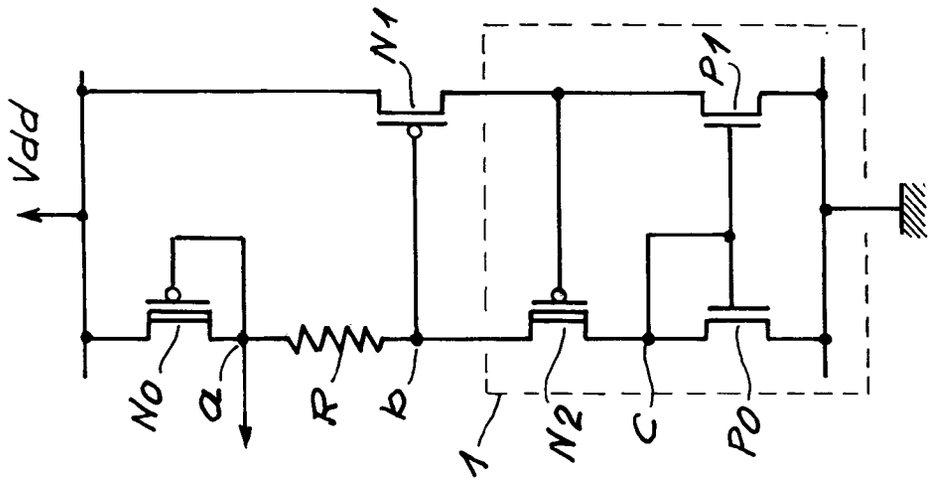

FIG. 5

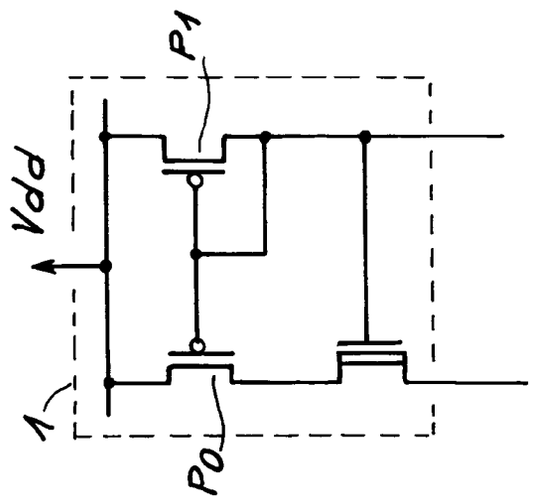

FIG. 4

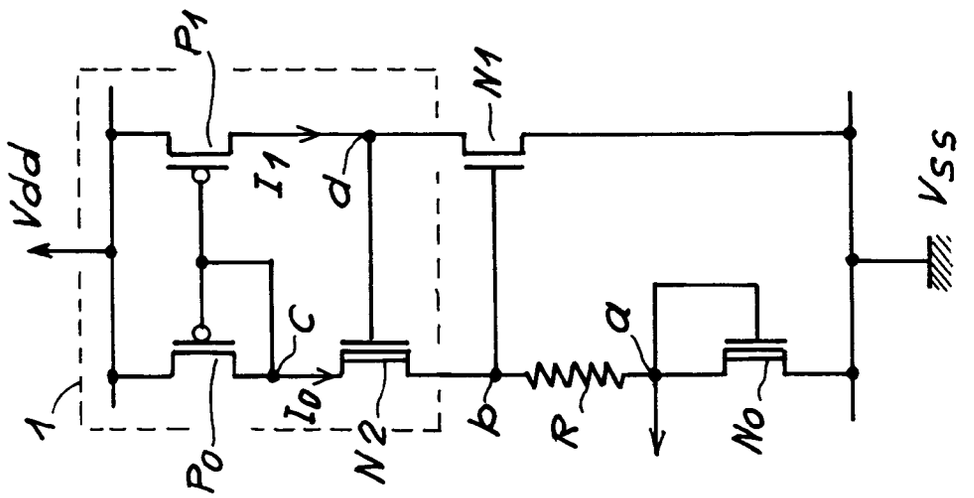

FIG. 3

Office européen des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande
EP 95 40 1363

DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
A	EP-A-0 052 553 (EFCIS) 26 Mai 1982 * page 1, ligne 1 - page 5, ligne 7 *	1-9	G05F3/30 G05F3/26
A	EP-A-0 454 250 (PHILIPS NV) 30 Octobre 1991 * colonne 2, ligne 2 - colonne 4, ligne 8 *	1-9	
A	US-A-5 180 967 (YAMAZAKI SEIICHI) 19 Janvier 1993 * colonne 2, ligne 47 - colonne 3, ligne 19 *	1-9	
A	EP-A-0 531 615 (NIPPON ELECTRIC CO) 17 Mars 1993 * page 3, ligne 26 - page 4, ligne 57 *	1-9	
A	GB-A-2 186 453 (PLESSEY CO PLC) 12 Août 1987 * le document en entier *	1-9	
A	EP-A-0 483 913 (PHILIPS NV) 6 Mai 1992 * abrégé; revendications 1-8 *	1-9	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6) G05F G11C

Le présent rapport a été établi pour toutes les revendications

Lieu de la recherche	Date d'achèvement de la recherche	Examinateur
LA HAYE	11 Septembre 1995	Schobert, D

CATEGORIE DES DOCUMENTS CITES

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 03.82 (P04C02)