



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) EP 0 774 705 A2

(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
21.05.1997 Patentblatt 1997/21

(51) Int. Cl.⁶: G05F 3/26

(21) Anmeldenummer: 96118126.0

(22) Anmeldetag: 12.11.1996

(84) Benannte Vertragsstaaten:
FR GB IT

(30) Priorität: 16.11.1995 DE 19542823

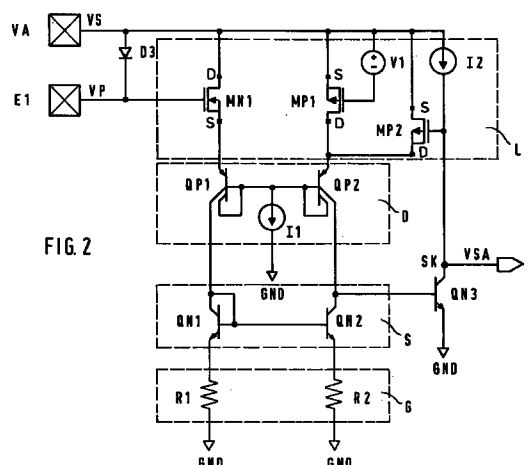
(71) Anmelder: SGS-THOMSON
MICROELECTRONICS GMBH
85630 Grasbrunn (DE)

(72) Erfinder: John, Udo
85586 Poing (DE)

(74) Vertreter: Klunker . Schmitt-Nilson . Hirsch
Winzererstrasse 106
80797 München (DE)

(54) **Hysteresebehaftete Komparatorschaltung zur Verwendung bei einer Spannungsregelungsschaltung**

(57) Hysteresebehaftete Komparatorschaltung, die zur praktisch leistungslosen Erfassung des einem Vergleich zu unterziehenden Spannungswertes eine Differenzstufe (D) verwendet, die einen Endes Lasttransistoren (MN1, MP1) und anderen Endes eine Gegenkopplungsstufe (G) und vorzugsweise eine Stromspiegelstufe (S) verwendet. Der Steuerelektrode des einen Lasttransistors (MN1) wird die dem Vergleich zuzuführende Spannung geliefert. Der Steuerelektrode des anderen Lasttransistors (MP1) wird eine Referenzspannung zugeführt, aufgrund welcher dieser Lasttransistor (MP1) eine konstante Lastimpedanz darstellt. Dem zweiten Lasttransistor (MP1) ist ein dritter Lasttransistor (MP2) parallel geschaltet, der in Abhängigkeit von dem Ausgangssignal des Komparators leitet oder sperrt, so daß der Impedanz des zweiten Lasttransistors (MP1) in Abhängigkeit vom Ausgangssignal des Komparators eine weitere Lastimpedanz parallel geschaltet wird oder nicht.



EP 0 774 705 A2

Beschreibung

Die Erfindung betrifft eine hystereseebehaftete Komparatorschaltung zur Verwendung als Vergleichsstufe und Stellsignalgeber einer elektrischen Spannungsregelungsschaltung mit einer die zu regelnde Spannung liefernden Spannungsquelle, sowie eine Regelungsschaltung mit einer derartigen Komparatorschaltung.

Es gibt elektrische Schaltungen, für welche ein Potential bereitgestellt werden muß, das über dem Potential der Versorgungsspannungsquelle liegt. Ein Beispiel sind Schaltungen mit NMOS-Transistoren, die sich auf der Seite hohen Versorgungsspannungspotentials ihrer Schaltung befinden und deren Gate-Elektrode dann, wenn sie leitend geschaltet werden sollen, ein Gatepotential zugeführt werden muß, das über dem hohen Versorgungsspannungspotential liegt. Beispiele sind CMOS-Schaltungen. Zur Bereitstellung eines solchen hohen Gatepotentials werden Spannungserhöhungsschaltungen verwendet. Für Wechselstromschaltungen verwendet man Bootstrap-Schaltungen. Für Gleichstromanwendungen benutzt man Ladungspumpen oder Spannungspumpschaltungen.

Solche Spannungspumpschaltungen weisen einen Ladespannungskondensator auf, der auf etwa den doppelten Wert der Versorgungsspannungsquelle aufgeladen wird, und zwar mit Hilfe der Wechselspannung eines Pumposzillators, die üblicherweise in Form einer Rechteckimpulsfolge bereitgestellt wird. Diese führt zu elektromagnetischer Strahlung (EMR), die insbesondere bei Gleichspannungsanwendungen recht störend sein kann. Es sind daher Maßnahmen erforderlich, um solcher EMR zu begegnen.

Eine Verringerung der EMR kann man durch Herabsetzung der Frequenz der Pumpimpulsfolge und/oder durch gezielte Verringerung der Flankensteilheit der Pumpimpulse erreichen. Hauptnachteil dieser Maßnahmen ist es aber, daß sie das Problem mit der EMR nur verringern, nicht jedoch beseitigen.

Aus der DE 37 23 579 C1 ist ein Längsspannungsregler mit einer Komparatorschaltung bekannt, die eine Differenzstufe enthält, welcher eine Laststufe vorgeschaltet ist, und welcher eine Stromspiegelschaltung nachgeschaltet ist. Bei diesem bekannten Längsspannungsregler dient die Komparatorschaltung zum Vergleichen von Ausgangsspannung und Eingangsspannung des Reglers, um einen auf den Reglerlängszweig einwirkenden Steuertransistor auszuschalten, wenn die Eingangsspannung des Reglers unter eine Regler-Nenn-Ausgangsspannung abfällt, um dadurch durch eingangsseitige Spannungseinbrüche hervorgerufene Funktionsstörungen zu mildern.

Aus Electronics, Sept. 16, 1976, Seiten 42 und 44 ist eine Spannungspumpschaltung bekannt, bei der die Pumpspannung auf einen vorbestimmten Wert eingeregelt wird, wozu abhängig vom Ausgangssignal eines Komparators ein Pumposzillator ein- und ausgeschaltet wird.

Aufgabe der vorliegenden Erfindung ist es daher,

eine Schaltungsanordnung verfügbar zu machen, mit der sich bei solchen Pumpschaltungen das Problem der EMR gänzlich beseitigen läßt.

Die grundsätzliche Idee zur Lösung dieser Aufgabe ist folgende:

Wenn das Gate des genannten NMOS-Transistors auf die erforderliche Pumpspannung aufgeladen ist, wird der Pumpvorgang beendet, so daß ab da die EMR verursachende Pumpfrequenz nicht mehr auftritt. Da ein MOS-Transistor einen sehr hohen Gate-Eingangswiderstand aufweist, kann die Pumpspannung relativ lange aufrechterhalten werden. Um dem nicht entgegenzuwirken, ist es erforderlich, die Regelung der Pumpspannung im wesentlichen verlustleistungsfrei zu machen, um den die Pumpspannung haltenden Kondensator durch die Regelungsschaltung nicht zu belasten, das heißt, zu entladen, was den Beginn eines neuen Pumpvorgangs unter erneutem Auftreten von EMR zur Folge hätte.

Die Verwirklichung dieser Idee geschieht mit einer Komparatorschaltung, die zur praktisch leistungslosen Erfassung des einem Vergleich zu unterziehenden Spannungswertes eine Differenzstufe verwendet, die einen Endes Lasttransistoren und anderen Endes eine Gegenkopplungsstufe und vorzugsweise zwischen Differenzstufe und Gegenkopplungsstufe eine Stromspiegelstufe verwendet. Der Steuerelektrode eines ersten Lasttransistors, bei dem es sich um einen Transistor mit hoher Eingangsimpedanz, z.B. einen MOS-Transistor handelt, wird die dem Vergleich zuzuführende Spannung geliefert. Der Steuerelektrode eines zweiten Lasttransistors wird eine Referenzspannung zugeführt, aufgrund welcher dieser Lasttransistor eine konstante Lastimpedanz darstellt. Dem zweiten Lasttransistor ist ein dritter Lasttransistor parallel geschaltet, der in Abhängigkeit von dem Ausgangssignal des Komparators leitet oder sperrt, so daß der Impedanz des zweiten Lasttransistors in Abhängigkeit vom Ausgangssignal des Komparators eine weitere Lastimpedanz parallel geschaltet wird oder nicht.

Zur Verwirklichung dieser Idee im Zusammenhang mit einer Spannungsregelungsschaltung macht die Erfindung eine hystereseebehaftete Komparatorschaltung gemäß Anspruch 3 verfügbar, die bei einer elektrischen Regelschaltung nach Anspruch 15, insbesondere einer Regelschaltung für die Pumpspannung einer Pumpspannungsschaltung nach Anspruch 16, verwendbar ist.

Weiterbildungen der erfindungsgemäßen Komparatorschaltung sind in den Ansprüchen 2 und 4 bis 14 angegeben.

Die Erfindung wird nun anhand von Ausführungsformen näher erläutert. In den beiliegenden Zeichnungen zeigen:

Fig. 1 ein elektrisches Schaltbild, teilweise in Blockdarstellung, einer erfindungsgemäßen Pumpspannungsregelungsschaltung;

Fig. 2 ein Schaltbild einer hysteresebehafteten Komparatorschaltung, die bei der Pumpspannungsregelungsschaltung der Figur 1 verwendbar ist; und

Fig. 3 Spannungsverläufe, die bei der Komparatorschaltung nach Figur 2 auftreten.

Figur 1 zeigt ein Schaltbild einer Pumpspannungsregelungsschaltung mit einem Versorgungsspannungsanschluß VA, dem das hohe Potential VS einer Versorgungsspannungsquelle zugeführt wird. Zwischen dem Versorgungsspannungsanschluß VA und einem ersten Eingang E1 eines Komparators COM befindet sich eine Reihenschaltung aus zwei Dioden D1 und D2. Dabei ist die Anode von D1 mit VA und die Kathode von D2 mit E1 verbunden. Ein zweiter Eingang E2 des Komparators COM ist mit einer Parallelschaltung aus zwei Referenzwiderständen RREF1 und RREF2 verbunden. Diese sind einen Endes mit Massepotential verbunden, während sie anderen Endes mit E2 verbunden sind, RREF1 direkt und RREF2 über einen ersten Schalter S1. Ein Schaltungsknoten K zwischen den beiden Dioden D1 und D2 ist an eine Seite eines Pumpkondensators CP angeschlossen, dessen andere Seite an einen Ausgang eines Oszillators OSC angeschlossen ist, der beim Leitendschalten eines zweiten Schalters S2 eine Pumpimpulsfolge mit einer Pumpfrequenz liefert. Zwischen der Diode D2 und dem ersten Eingang E1 befindet sich eine Parallelschaltung aus einem Lastkondensator CL und einem Lastwiderstand RL, welche die Eingangskapazität und den Eingangswiderstand der mit der Pumpspannung zu speisenden Last, im Fall des genannten NMOS-Transistors dessen Gatekapazität bzw. Gateeingangswiderstand, darstellen.

Ist der Schalter S2 geschlossen, bewirkt die Pumpimpulsfolge in an sich bekannter Weise eine Aufladung des Pumpkondensators CP auf eine Pumpspannung VP, die etwa doppelt so groß wie die Versorgungsspannung VS ist. Wird nach Erreichen der gewünschten Pumpspannung der Schalter S2 zur Beendigung des Pumpvorgangs geöffnet, entlädt sich die Pumpspannung über den Lastwiderstand RL. Ist die Pumpspannung VP unter einen vorbestimmten Schwellenwert abgefallen, wird durch Schließen, also Leitendschalten des Schalters S2 ein erneuter Pumpvorgang begonnen.

Wann ein Pumpvorgang beendet werden kann und wann ein neuer Pumpvorgang erforderlich ist, wird mit Hilfe des Komparators COM bestimmt, von dessen an einem Komparatorausgang A auftretendem Ausgangssignal es abhängt, ob dieses Ausgangssignal den Schalter S2 leitend oder nicht-leitend schaltet. Um hinsichtlich der Pumpspannung VP eine Zweipunktregelung zu erzielen, ist der Komparator mit Hystereseverhalten ausgebildet. Zu diesem Zweck sind die beiden Referenzwiderstände RREF1 und RREF2 vorgesehen, von denen je nach Stellung des Schalters S1 nur der Referenzwiderstand RREF1 oder die Parallelschaltung aus den beiden Referenzwiderständen RREF1

und RREF2 wirksam wird. Da der Eingangswiderstand RL des genannten NMOS-Transistors sehr hoch ist, können die Zeitabstände zwischen den Zeiten, zu denen durch Schließen des Schalters S2 jeweils ein Pumpvorgang durchgeführt wird, sehr groß sein, wenn der Eingangswiderstand des Eingangs E1 des Komparators COM ebenfalls sehr groß ist. Zwischen diesen langen Zeitabständen findet kein Pumpspannungsvorgang statt, kann somit der Pumposzillator abgeschaltet werden, so daß zwischen diesen langen Zeitabständen keine EMR auftritt.

Eine Ausführungsform eines erfindungsgemäßen, hysteresebehafteten Komparators, der die Pumpspannungsquelle möglichst wenig belastet, ist in Figur 2 gezeigt und umfaßt den gestrichelt umrahmten Teil der in Figur 1 gezeigten Schaltung.

Der Hysteresekomparator COM gemäß Figur 2 umfaßt in Kaskadenschaltung zwischen einem die positive Versorgungsspannung VS zuführenden Versorgungsspannungsanschluß VA und einem den negativen Pol der Versorgungsspannungsquelle bildenden Masseanschluß GND eine Differenzstufe D, eine auf der Hochpotentialseite von D befindliche Lastimpedanzstufe L, eine auf der Niederpotentialseite von D befindliche Gegenkopplungsstufe G und zwischen D und G eine Stromspiegelstufe S.

Die Differenzstufe D weist einen ersten Differenzstufentransistor QP1, einen zweiten Differenzstufentransistor QP2 und eine erste Stromquelle I1 auf. QP1 und QP2 sind je als bipolarer PNP-Multikollektortransistor mit zwei Kollektoren ausgebildet. Die Basisanschlüsse von QP1 und QP2 sind gemeinsam über die erste Stromquelle I1 mit GND verbunden. Einer der beiden Kollektoren eines jeden der beiden Differenzstufentransistoren QP1 und QP2 ist mit dem gemeinsamen Basisanschluß verbunden.

Die Stromspiegelstufe S weist eine Stromspiegelschaltung mit einer Stromspiegeldiode QN1 in Form eines als Diode geschalteten bipolaren NPN-Transistors und einen Stromspiegeltransistor QN2 in Form eines bipolaren NPN-Transistors auf. In für Stromspiegel üblicher Weise sind die Basisanschlüsse von QN1 und QN2 miteinander verbunden.

Die Gegenkopplungsstufe G weist einen ersten Gegenkopplungswiderstand R1 und einen zweiten Gegenkopplungswiderstand R2 auf.

Die Lastimpedanzstufe L besitzt einen ersten Lasttransistor MN1 in Form eines N-Kanal-MOS-Transistors, einen zweiten Lasttransistor MP1 in Form eines P-Kanal-MOS-Transistors und einen dritten Lasttransistor MP2 in Form eines P-Kanal-MOS-Transistors auf. Außerdem umfaßt die Lastimpedanzstufe L eine Referenzspannungsquelle V1, die zwischen das Gate von MP1 und VS geschaltet ist, und eine zweite Stromquelle, die zwischen das Gate von MP2 und VS geschaltet ist.

MN1, QP1, QN1 und R1 bilden eine erste Reihenschaltung, während MP1, QP2, QN2 und R2 eine zweite Reihenschaltung bilden. R1 und R2 bilden

Gegenkopplungsimpedanzen für QP1 und QP2. MN1 bildet eine Lastimpedanz für QP1. Die parallel geschalteten Lasttransistoren MP1 und MP2 bilden gemeinsam eine Lastimpedanz für QP2.

Zwischen QP2 und QN2 befindet sich ein Schaltungsknoten SK, an den die Basis eines bipolaren NPN-Schalttransistors QN3 angeschlossen ist. Dessen Emitter ist mit GND verbunden, während dessen Kollektor sowohl mit dem Gate von MP2 als auch mit der zweiten Stromquelle I2 verbunden ist. Ein gemeinsamer Verbindungspunkt zwischen Stromquelle I2, Gate von MP2 und Kollektor von QN3 bildet den Komparatorausgang A.

Die vom ersten Lasttransistor MN1 gebildete Lastimpedanz ist von der am ersten Komparator Eingang E1 anliegenden Pumpspannung VP abhängig. Die durch die Parallelschaltung der beiden Lasttransistoren MP1 und MP2 gebildete Lastimpedanz am Emitter von QP2 hängt vom Potential am Komparatorausgang ab. MP1 wird mittels der Referenzspannungsquelle VR permanent in einem bestimmten Zustand des Leitens gehalten, weist also permanent eine konstante vorbestimmte Impedanz auf, die im folgenden auch erste Referenzlastimpedanz genannt wird. Der dritte Lasttransistor MP2 wird je nach dem am Komparatorausgang A auftretenden Potential leitend oder nicht-leitend geschaltet. Seine Impedanz, im folgenden auch zweite Referenzlastimpedanz genannt, hängt damit vom Potential am Komparatorausgang A ab. Ist MP2 nicht-leitend geschaltet, wird die am Emitter von QP2 wirksame Lastimpedanz praktisch nur durch die konstante Impedanz von MP1 gebildet. Ist MP2 leitend geschaltet, wird die am Emitter von QP2 wirksame Lastimpedanz durch die Parallelschaltung von erster und zweiter Referenzlastimpedanz gebildet. Je nach Potential am Komparatorausgang A wirkt somit am Emitter von QP2 eine niedrigere oder eine höhere Lastimpedanz.

Zwischen dem Versorgungsspannungsanschluß VA und dem Gate von MN1 befindet sich eine Schutzdiode D3 zum Schutz der Gate-Source-Strecke von MN1 gegen Überspannungen, die über den Versorgungsspannungsanschluß VA zugeführt werden könnten.

In Figur 1 ist die Impedanz des leitenden Lasttransistors MP2 durch RREF2 dargestellt, während die Impedanz des permanent leitenden Lasttransistors MP1 durch RREF1 dargestellt ist. Der Schalter S1 in Figur 1 wird durch den als Schalter betriebenen Lasttransistor MP2 angedeutet.

Unter Zuhilfenahme von Figur 3 wird nun die Wirkungsweise der in Figur 2 gezeigten Komparator schaltung betrachtet. Dabei wird zunächst von einem Betriebszustand ausgegangen, bei welchem die Pumpspannung VP unterhalb des gewünschten Spannungswertes liegt, wie dies zunächst beim Einschalten der Spannungsversorgung der Fall ist. Dieser Zeitabschnitt ist in Figur 3 mit T1 gekennzeichnet.

Um ein Ansteigen der Pumpspannung VP zu erzielen, muß die Pumpimpulsfolge auf den Pumpkondensator CP in Figur 1 gelangen können.

Am Komparatorausgang A muß daher ein Potentialwert vorhanden sein, der den Schalter S2 in Figur 1 in den leitenden Zustand steuert, somit den Oszillator in den Einschaltzustand steuert.

Die Impedanz des Lasttransistors MN1 hängt von dem momentanen Spannungswert der am Komparator Eingang E1 anliegenden Pumpspannung VP ab. Diese Pumpspannung bestimmt den Wert der Gate-Source-Spannung VGS von MN1. Vorausgesetzt, VP ist ausreichend groß, um den Lasttransistor MN1 überhaupt in den leitenden Zustand zu steuern, ist die durch MN1 gebildete Lastimpedanz umso größer, je niedriger die Pumpspannung VP ist und umso niedriger, je höher die Pumpspannung VP ist. Die jeweils durch MN1 gebildete Lastimpedanz stellt daher ein Maß für den jeweils vorhandenen Wert der Pumpspannung VP dar. Da die Pumpspannung VP auf das Gate eines MOS-Transistors gegeben wird, erfolgt die Erfassung und Auswertung des Momentan- oder Ist-Wertes der Pumpspannung VP praktisch leistungslos. Die Pumpspannungsquelle, nämlich der Pumpkondensator CP, wird durch diese Art Istwerterfassung somit praktisch nicht belastet und entladen.

Der den jeweiligen Istwert der Pumpspannung darstellende Impedanzwert von MN1 wird mit der Referenzimpedanz verglichen, wie sie je nach Schaltzustand des dritten Lasttransistors MP2 durch die Lastimpedanz von MP1 alleine oder die Parallelschaltung der Lastimpedanzen von MP1 und MP2 gebildet wird. Da die Pumpspannung VP nach dem Einschalten der Versorgungsspannung ansteigt, die durch MN1 gebildete Lastimpedanz somit entsprechend abnimmt, muß die am Emitter von QP2 wirksame Lastimpedanz entsprechend niedriger sein als die Impedanz von MN1, die vorhanden ist, solange die Pumpspannung VP den gewünschten Spannungswert oder Sollwert noch nicht erreicht hat. Die Komparator schaltung verhält sich daher in der Phase, in welcher die Pumpspannung VP noch unter dem gewünschten Wert liegt, unsymmetrisch, da den beiden Differenzstufen transistoren QP1 und QP2 der Differenzstufe D unterschiedlich große Lastimpedanzen angeboten werden. Da die am Emitter von QP2 wirksame Lastimpedanz niedriger ist als die am Emitter von QP1 wirkende Lastimpedanz, fließt durch QP2 mehr Strom als durch QP1. Der am Schaltungsknoten SK vom Kollektor von QP2 gelieferte Strom ist daher höher als der über die Stromspiegelstufe S zum Schaltungsknoten SK gelieferte Strom vom Kollektor von QP1. Außerdem ist der Spannungsabfall am Gegenkopplungswiderstand R2 größer als der Spannungsabfall am Gegenkopplungswiderstand R1, was zu einem Anheben des Potentials am Schaltungsknoten SK führt. Diese beiden Erscheinungen bewirken, daß der Schalttransistor QN3 eingeschaltet ist, so daß an seinem Kollektor ein niedriges Potential auftritt, was zum Leiten des dritten Lasttransistors MP2 führt. Am Emitter von QP2 wird somit die Parallelschaltung aus der von MP1 gebildeten ersten Referenzlastimpedanz und der von dem leitenden MP2 gebildeten zwei-

ten Referenzlastimpedanz wirksam.

Da im Zustand zu niedriger Pumpspannung VP am Kollektor von QN3 und damit am Komparatorausgang A niedriges Potential liegt, ist die gesamte Regelschaltung so auszulegen, daß bei niedrigem Potential am Komparatorausgang A eine Pumpimpulsfolge auf den Pumpkondensator CP gegeben wird.

Während ihres Anstiegs wird die Pumpspannung VP irgendwann so groß, daß der Wert der Impedanz von MN1 bis auf denjenigen Impedanzwert abgefallen ist, der sich aus der Parallelschaltung von erster und zweiter Referenzlastimpedanz ergibt. In diesem Moment erreicht die Komparatorschaltung symmetrisches Verhalten. Wenn bei geringfügiger weiterer Erhöhung des Pumpspannungswertes dieses symmetrische Verhalten wieder verlorenggeht, geht der Komparatorausgang A in den anderen der beiden möglichen Zustände: Der Komparatorausgang A nimmt hohes Potential an. Dies deshalb, weil der am Emitter von QP1 wirksame Lastimpedanzwert niedriger geworden ist als der am Emitter von QP2 wirksame Lastimpedanzwert und dementsprechend der durch QP1 fließende Strom höher geworden ist als der durch QP2 fließende Strom. Die Strombilanz am Schaltungsknoten SK kehrt sich entsprechend um und wegen des kleiner gewordenen Stroms durch QP2 ist der Spannungsabfall über dem Gegenkopplungswiderstand R2 und damit das Potential am Schaltungsknoten SK abgefallen. Als Folge davon sperrt der Schalttransistor QN3. Dies führt einerseits zu dem bereits erwähnten hohen Potentialwert am Komparatorausgang A und andererseits zum Sperren des dritten Lasttransistors MP2. Von diesem Zeitpunkt ab ist am Emitter von QP2 nur noch die durch MP1 gebildete, konstante erste Referenzlastimpedanz wirksam.

Aufgrund des Übergangs des Potentials am Komparatorausgang A zu einem hohen Potentialwert wird die weitere Beaufschlagung des Pumpkondensators CP in Figur 1 mit Pumpimpulsen unterbunden.

Dieser Zustand ist am Ende der Zeitdauer T1 in Figur 3 erreicht. Während der sich anschließenden Zeitdauer T2 treten keine Pumpimpulse auf, bleibt die Pumpspannung VP während eines ersten Abschnittes T2a des Zeitabschnitts T2 praktisch konstant und befindet sich das Potential am Komparatorausgang A, in Figur 3 mit VSA bezeichnet, auf hohem Wert.

Da auch MOS-Transistoren keinen unendlich hohen Gate-Source-Eingangswiderstand aufweisen, und möglicherweise aufgrund anderer Einflüsse kann es zu einer allmählichen Entladung des Pumpkondensators CP und somit zu einem allmählichen Abfall des Pumpspannungswertes kommen. Wird mit der Pumpspannung das Gate eines MOS-Transistors gesteuert und wird die Istwertmessung der Pumpspannung entsprechend der erfindungsgemäßen Komparatorschaltung durch Beaufschlagung des Gates eines MOS-Transistors mit der Pumpspannung durchgeführt, ist die Zeitdauer, während welcher der am Ende der Zeitdauer T1 erreichte Pumpspannungswert merklich abgefallen ist, normalerweise sehr lang. Um aber anhand von

Figur 3 zeigen zu können, was passiert, wenn der Pumpspannungswert nach Erreichen des Sollwertes um einen vorbestimmten Betrag abgefallen ist, wird im zweiten Teilabschnitt T2b in Figur 3 angenommen, daß der Pumpspannungswert rapide abfällt. Dies führt zu einer entsprechenden Erhöhung der von MN1 gebildeten Lastimpedanz. Wenn diese auf die von MP1 gebildete erste Referenzlastimpedanz angestiegen ist und auch nur geringfügig darüber hinaus ansteigt, kippt die Komparatorschaltung wieder in den anfangs betrachteten Zustand, in welchem das Potential am Komparatorausgang A niedrigen Potentialwert annimmt. Dieser Zustand ist am Ende der Zeitdauer T2 erreicht und führt dazu, daß der Pumpkondensator CP nun wieder mit Pumpimpulsen beaufschlagt wird. Während einer Zeitdauer, die in Figur 3 mit T3 bezeichnet ist, steigt der Pumpspannungswert aufgrund dieser Beaufschlagung von CP mit Pumpimpulsen wieder an, bis am Ende der Zeitdauer T3, bei welchem der Wert der von MN1 gebildeten Lastimpedanz wieder auf den Wert der von MP1 und dem leitenden MP2 gemeinsam gebildeten Referenzlastimpedanz abgefallen ist, in den Zustand hohen Potentials am Komparatorausgang A übergeht, was zum Sperren der Beaufschlagung von CP mit weiteren Pumpimpulsen führt. Dieser Zustand dauert während der Zeitdauer T4 in Figur 3 an.

Die in Figur 1 gezeigte und die Komparatorschaltung gemäß Figur 2 enthaltende Pumpspannungsregelungsschaltung bewirkt somit eine Zweipunktregelung zwischen einem hohen Pumpspannungsschwellenwert und einem niedrigen Pumpspannungsschwellenwert, die in Figur 3 mit VPH bzw. VPL bezeichnet sind. Die zu dieser Zweipunktregelung führende Hysterese wird durch das steuerbare Zuschalten und Wegschalten der durch MP2 gebildeten Impedanz zu bzw. von der von MP1 gebildeten permanenten, konstanten Lastimpedanz bewirkt.

Vorausgehend wurde die Komparatorschaltung gemäß Figur 2 als Teil einer Pumpspannungsregelungsschaltung betrachtet. Diese Komparatorschaltung ist aber auch für andere Einsatzzwecke vorteilhaft verwendbar. Sie eignet sich bei jeder Anwendung, bei welcher eine Eingangsgröße mit einer hysterebehafteten Bezugsgröße praktisch leistungsfrei verglichen werden soll. Dadurch, daß mit der zu messenden Größe das Gate eines MOS-Transistors beaufschlagt wird, wird eine solche praktisch leistungslose Messung der interessierenden oder zu überwachenden Größe möglich.

Bei der erfindungsgemäßen Komparatorschaltung läßt sich nicht nur eine praktisch leistungslose Messung des zu überwachenden oder zu regelnden Spannungswertes erzielen sondern man kann den für den Regelungsvorgang bestimmenden Schwellenwert leicht programmieren durch die Wahl des Spannungswertes der Referenzspannungsquelle V1. Bei einer als integrierte Schaltung ausgebildeten Komparatorschaltung dieser Art könnte man mehrere Referenzspannungsquellen vorsehen, die man je nach dem im speziellen Fall benötigten Schwellenwert durch Programmierung

auswählbar machen könnte.

Die Verwendung von Multikollektor-Transistoren für QP1 und QP2, bei denen je ein Kollektor mit der Basis verbunden ist, führt zu einer hohen Transkonduktanz oder Steilheit aufgrund des daraus resultierenden nicht-linearen Diodenverhaltens eines jeden der beiden Differenztransistoren QP1 und QP2 an deren Emittieren, so daß mittels der Differenzstufe D sehr kleine Spannungsunterschiede festgestellt werden können, und somit sehr kleine Unterschiede in den Lastimpedanzen, die auf den Emittieren von QP1 bzw. auf den Emittieren von QP2 wirken. Daher muß bei gleichen Drainströmen die Drain-Source-Spannung des ersten Lasttransistors MN1 gleich der Drain-Source-Spannung des zweiten Lasttransistors MP1 sein, um an der Stromspiegelstufe S ausgeglichene Bedingungen zu erreichen. Die Gate-Source-Spannung von MP1 ist durch die Referenzspannung V1 der Referenzspannungsquelle gegeben. In vereinfachten Gleichungen für nichtgesättigte CMOS-Transistoren kann das Schwellenwertpotential, das erforderlich ist, um am Komparatorausgang A das hohe Potential zu erreichen, berechnet werden als ein Multiplikatorfaktor a der Referenzspannung V1, und zwar mit den nachfolgend aufgelisteten Annahmen.

$$\begin{aligned} I_{D \text{ MN1}} &= I_{D \text{ MP1}} \\ V_{DS \text{ MN1}} &= V_{DS \text{ MP1}} = V_{DS} \\ V_{th \text{ MN1}} &= V_{th \text{ MP1}} = V_{th} \\ V_{GS \text{ MN1}} &= a \cdot V1 \\ V_{GS \text{ MP1}} &= V1 \end{aligned}$$

$$\beta_{MN1} V1 - V_{th} - V_{DS} \cdot 0,5$$

$$\beta_{MP1} a \cdot V1 - V_{th} - V_{DS} \cdot 0,5$$

$$\beta = \text{Const.} \cdot \frac{W}{L}$$

In den obigen Formeln bedeuten:

$I_{D \text{ MN1}}, I_{D \text{ MP1}}$	= Drainstrom von MN1 bzw. MP1	45
$V_{DS \text{ MN1}}, V_{DS \text{ MP1}}$	= Drain-Source-Spannung von MN1 bzw. MP1	
$V_{th \text{ MN1}}, V_{th \text{ MP1}}$	= Schwellenspannung von MN1 bzw. MP1	
$V_{GS \text{ MN1}}, V_{GS \text{ MP1}}$	= Gate-Source-Spannung von MN1 bzw. MP1	50
V1	= Referenzspannung der Referenzspannungsquelle	
β	= Transkonduktanz (Steilheit) eines MOS-Transistors	
β_{MN1}, β_{MP1}	= Transkonduktanz von MN1 bzw. MP1	55
W	= Kanalbreite	
L	= Kanallänge	

Zur Schwellenwertfestlegung muß das Verhältnis der Transkonduktanzen von MN1 und MP1 eingestellt werden, und zwar mittels des jeweiligen W/L-Verhältnisses. Der Schwellenwert kann somit in Abhängigkeit von den Kanalbreiten und den Kanallängen der beiden CMOS-Transistoren MN1 und MP1 gewählt werden.

Eine Hysterese kann dadurch erreicht werden, daß parallel zum zweiten Lasttransistor MP1 der dritte Lasttransistor MP2 geschaltet wird, dessen Kanaltyp ebenfalls entgegengesetzt zu dem von MN1 ist und bei dem es sich um einen Transistor mit P-Kanal handelt. Der Betrag der Hysterese kann ebenfalls durch Auswahl von Länge und Breite des Kanals gewählt werden.

Im Rahmen der Erfindung ist es nicht notwendig, die Transistoren der Komparatorschaltung alle mit dem Kanaltyp oder Leitfähigkeitstyp zu wählen, wie sie in Figur 2 angegeben sind. Benötigt man anstelle einer positiven Pumpspannung, von der in Figur 2 ausgegangen wird, eine negative Pumpspannung, kann man die in Figur 2 gezeigte Komparatorschaltung insofern umkehren, als man die Lasttransistoren auf die Masse-seite (GND) verlagert und entgegengesetzten Kanaltyp wählt, wobei man für die Transistoren der Differenzstufe D und der Stromspiegelstufe S entsprechend Transistoren entgegengesetzten Leitfähigkeitstyps wählt.

Patentansprüche

1. Hysteresebehaftete Komparatorschaltung zur praktisch leistungslosen Erfassung eines einem Vergleich zu unterziehenden Spannungswertes, mit einer Differenzstufe (D), die Bestandteil einer Kaskadenschaltung (L,D,S,G) ist, die auf einer Seite der Differenzstufe (D) eine Laststufe (L) mit Lasttransistoren (MN1, MP1) und auf der anderen Seite der Differenzstufe (D) eine Gegenkopplungsstufe (G) aufweist, wobei der Steuerelektrode eines ersten Lasttransistors (MN1), bei dem es sich um einen Transistor mit hoher Eingangsimpedanz handelt, die dem Vergleich zuzuführende Spannung geliefert und der Steuerelektrode eines zweiten Lasttransistors (MP1) eine Referenzspannung zugeführt wird, aufgrund welcher dieser zweite Lasttransistor (MP1) eine konstante Lastimpedanz darstellt, und wobei dem zweiten Lasttransistor (MP1) ein dritter Lasttransistor (MP2) parallel geschaltet ist, der in Abhängigkeit von einem Ausgangssignal der Komparatorschaltung leitet oder sperrt, so daß der Impedanz des zweiten Lasttransistors (MP1) in Abhängigkeit vom Ausgangssignal der Komparatorschaltung eine weitere Lastimpedanz parallel geschaltet wird oder nicht.
2. Komparatorschaltung nach Anspruch 1, bei welcher zwischen die Differenzstufe (D) und die Gegenkopplungsstufe (G) eine Stromspiegelstufe (S) geschaltet ist.
3. Hysteresebehaftete Komparatorschaltung zur Ver-

wendung als Vergleichsstufe und Stellsignalgeber einer elektrischen Spannungsregelungsschaltung mit einer die zu regelnde Spannung liefernden Spannungsquelle (CP), deren Ausgangsspannung (VP) mittels eines von einem Ausgang der Kompara- 5
torschaltung gelieferten Stellsignals veränderbar ist,

wobei die Komparatorschaltung

a) einen mit der Ausgangsspannung (VP) der Spannungsquelle (CP) beaufschlagbaren Komparatoreingang (E1) und einen das Stellsignal liefernden Komparatorausgang (A) aufweist; 10

b) von einer Versorgungsspannungsquelle mit einem ersten Versorgungsspannungspol (VS) und einem zweiten Versorgungsspannungspol (GND) gespeist wird; 15

c) eine Differenzstufe (D) mit einem ersten Differenzstufentransistor (QP1) und einem zweiten Differenzstufentransistor (QP2) aufweist, die je eine Steuerelektrode, eine erste Hauptstreckenelektrode und eine zweite Hauptstreckenelektrode aufweisen, 20

c1) deren Steuerelektroden gemeinsam mit dem zweiten Versorgungsspannungspol (GND) gekoppelt sind, 25

c2) deren erste Hauptstreckenelektroden über eine erste Lastimpedanz bzw. über eine zweite Lastimpedanz je mit dem ersten Versorgungsspannungspol (VS) gekoppelt sind und 30

c3) deren zweite Hauptstreckenelektroden je über eine Gegenkopplungsimpedanz mit dem zweiten Versorgungsspannungspol (GND) gekoppelt sind; 35

und wobei

d) die erste Lastimpedanz durch einen ersten Lasttransistor (MN1) erzeugt wird, bei dem es sich um einen Transistor mit hoher Eingangsimpedanz handelt und der eine mit dem Komparatoreingang (E1) gekoppelte Steuerelektrode aufweist, sodaß die erste Lastimpe- 40
danz von der Ausgangsspannung (VP) der Spannungsquelle (CP) abhängt, und 45

e) die zweite Lastimpedanz eine Parallelschaltung mit einem zweiten Lasttransistor (MP1) und einem dritten Lasttransistor (MP2) aufweist, wobei 50

e1) zwischen eine Steuerelektrode des zweiten Lasttransistors (MP1) und den ersten Versorgungsspannungspol (VS) eine Referenzspannungsquelle (VR) geschaltet ist, die den zweiten Lasttransistor (MP1) derart leitend steuert, daß er eine vorbestimmte erste Referenzlastim- 55

pedanz aufweist, und

e2) der dritte Lasttransistors (MP2) unter Steuerung des Stellsignals am Komparatorausgang (A) leitend oder sperrend schaltbar ist, derart, daß der dritte Lasttransistor (MP2) bei einem Stellsignal, das am Komparatorausgang (A) auftritt, wenn die ansteigende Ausgangsspannung (VP) der Spannungsquelle (CP) einen oberen Schwellenwert (VPH) erreicht, sperrend und bei einem Stellsignal, das am Komparatorausgang (A) auftritt, wenn die abfallende Ausgangsspannung (VP) der Spannungsquelle (CP) einen unteren Schwellenwert erreicht (VPL), unter Darstellung einer vorbestimmten zweiten Referenzlastimpedanz leitend geschaltet wird.

4. Komparatorschaltung nach Anspruch 1 oder 2, bei welcher der erste Lasttransistor (MN1) ein MOS-Transistor ist.

5. Komparatorschaltung nach einem der Ansprüche 1 bis 4, bei welcher die drei Lasttransistoren (MN1, MP1, MP2) je durch einen MOS-Transistor gebildet werden, deren Gateelektroden deren Steuerelektroden bilden.

6. Komparatorschaltung nach Anspruch 5, bei welcher der erste Lasttransistor (MN1) einerseits und der zweite (MP1) und der dritte Lasttransistor (MP2) andererseits von unterschiedlichem Kanaltyp sind.

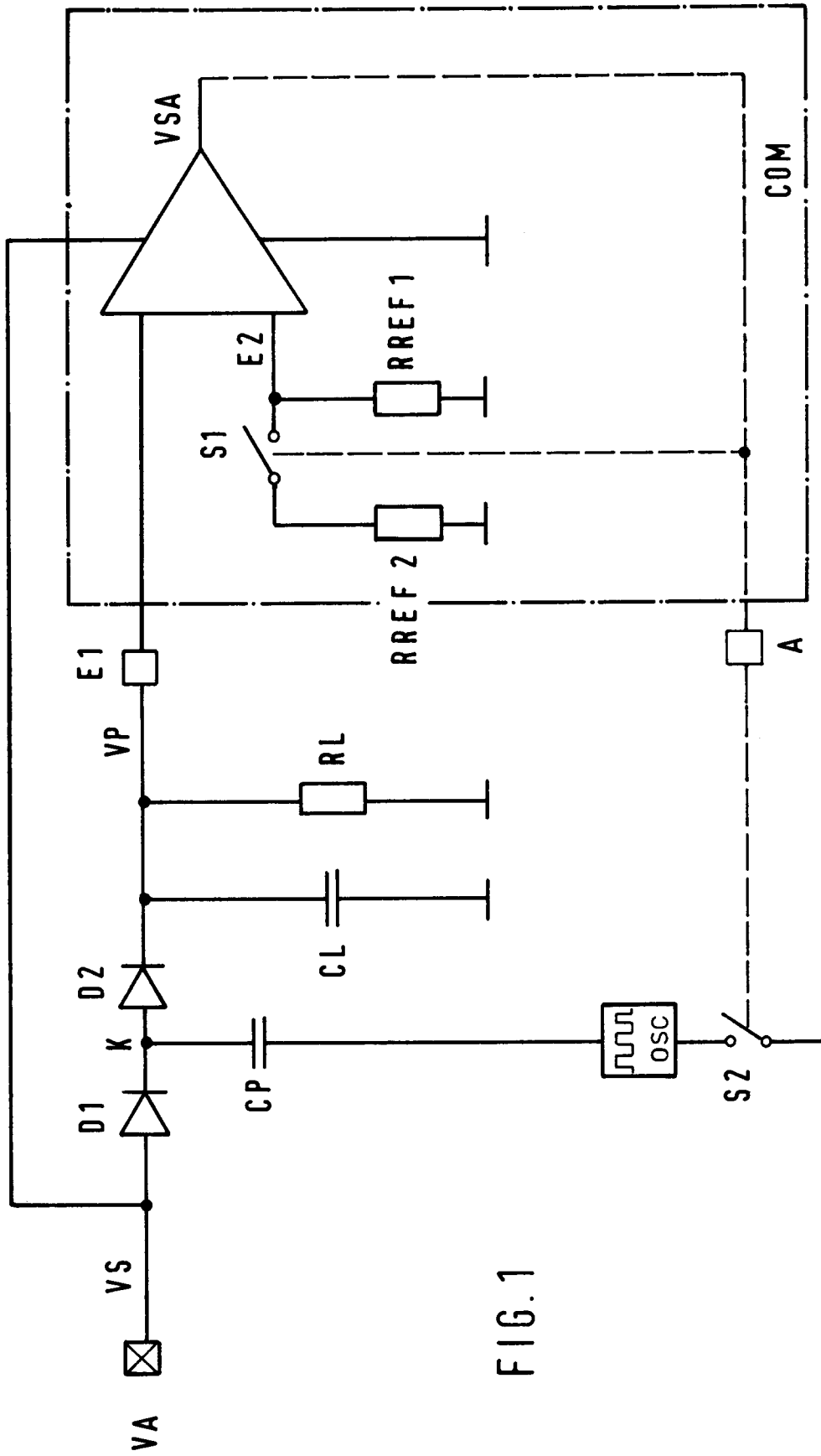
7. Komparatorschaltung nach Anspruch 5 oder 6, bei welcher die Gateelektrode des dritten Lasttransistors (MP2) mit dem Komparatorausgang (A) gekoppelt ist.

8. Komparatorschaltung nach einem der Ansprüche 1 bis 7, bei welcher die beiden Differenzstufentransistoren (QP1, QP2) je durch einen Bipolartransistor gebildet sind.

9. Komparatorschaltung nach Anspruch 8, bei welcher die beiden Differenzstufentransistoren (QP1, QP2) emitterseitig je mit der zugehörigen Lastimpedanz und kollektorseitig je mit der zugehörigen Gegenkopplungsimpedanz (R1, R2) verbunden sind.

10. Komparatorschaltung nach 8 oder 9, bei welcher zwischen den Differenzstufentransistoren (QP1, QP2) und den Gegenkopplungsimpedanzen (R1, R2) eine Stromspiegelschaltung (S) mit einer zwischen den ersten Differenzstufentrans- 7

- sistor (QP1) und dessen Gegenkopplungsimpedanz (R1) geschalteten Stromspiegeldiode (QN1) und einem zwischen den zweiten Differenzstufentransistor (QP2) und dessen Gegenkopplungsimpedanz (R2) geschalteten Stromspiegeltransistor (QN2) angeordnet ist. 5
11. Komparatorschaltung nach einem der Ansprüche 8 bis 10, bei welcher die beiden Differenzstufentransistoren (QP1, QP2) je durch einen Multikollektortransistor gebildet sind, wobei ein erster der Kollektoren mit der je zugehörigen Gegenkopplungsimpedanz (R1, R2) gekoppelt und ein zweiter der Kollektoren mit der Basis des jeweiligen Differenzstufentransistors (QP1, QP2) verbunden ist. 10 15
12. Komparatorschaltung nach einem der Ansprüche 3 bis 11, bei welcher die Steuerelektroden der beiden Differenzstufentransistoren (QP1, QP2) über eine erste Stromquelle (I1) gemeinsam mit dem zweiten Versorgungsspannungspol (GND) gekoppelt sind. 20
13. Komparatorschaltung nach einem der Ansprüche 3 bis 12, bei welcher der Komparatorausgang (A) mit einem Verbindungspunkt (SK) zwischen dem einen Differenzstufentransistor (QP2) und der zugehörigen Gegenkopplungsimpedanz (R2), im Fall der Zwischenschaltung einer Stromspiegelschaltung (S) zwischen diesem Differenzstufentransistor (QP2) und dem zugehörigen Stromspiegelement (QN2), gekoppelt ist. 25 30 35
14. Komparatorschaltung nach Anspruch 13, bei welcher zwischen den Verbindungspunkt (SK) und den Komparatorausgang (A) ein Schalttransistor (QN3) geschaltet ist, dessen Steuerelektrode mit dem Verbindungspunkt (SK) verbunden, dessen Hauptstrecke zwischen die Steuerelektrode des dritten Lasttransistors (MP2) und den zweiten Versorgungsspannungspol (GND) geschaltet ist und dessen mit der Steuerelektrode des dritten Lasttransistors (MP2) verbundene Hauptstreckenelektrode mit dem Komparatorausgang verbunden ist. 40 45
15. Komparatorschaltung nach Anspruch 14, bei welcher der Schalttransistor (QN3) durch einen Bipolartransistor gebildet ist, dessen Leitfähigkeitstyp entgegengesetzt zu dem Leitfähigkeitstyp der bipolaren Differenzstufentransistoren (QP1, QP2) ist und dessen eine Hauptstreckenelektrode einerseits mit der Steuerelektrode des dritten Lasttransistors (MP2) und andererseits über eine zweite Stromquelle (I2) mit dem ersten Versorgungsspannungspol (VS) verbunden ist. 50 55
16. Elektrische Regelungsschaltung mit einer Komparatorschaltung nach einem der Ansprüche 1 bis 15.
17. Regelungsschaltung nach Anspruch 16, zur Regelung einer über dem Versorgungsspannungswert des ersten Versorgungsspannungspols (VS) liegenden Pumpspannung einer Spannungspumpschaltung auf einen vorbestimmten Pumpspannungswert, wobei:
- a) die Spannungspumpschaltung einen Pumpspannungsakkumulator (CP) aufweist, der eingangsseitig über eine steuerbare Pumpschaltungsschalteinrichtung (S2) mit einer Ladewechselspannung (OSC) beaufschlagbar ist, wobei sich die akkumulierte Pumpspannung bei leitend gesteuerter Pumpschaltungsschalteinrichtung (S2) erhöht und bei nicht leitend gesteuerter Pumpschaltungsschalteinrichtung (S2) entsprechend einer bestimmten Entladezeitkonstanten verringert; und
 - b) ein Schaltsteuereingang der Pumpschaltungsschalteinrichtung (S2) mit dem Komparatorausgang (A) und ein die Pumpspannung (VP) liefernder Ausgang des Pumpspannungsakkumulators (CP) mit dem Komparatoreingang (E1) gekoppelt ist.



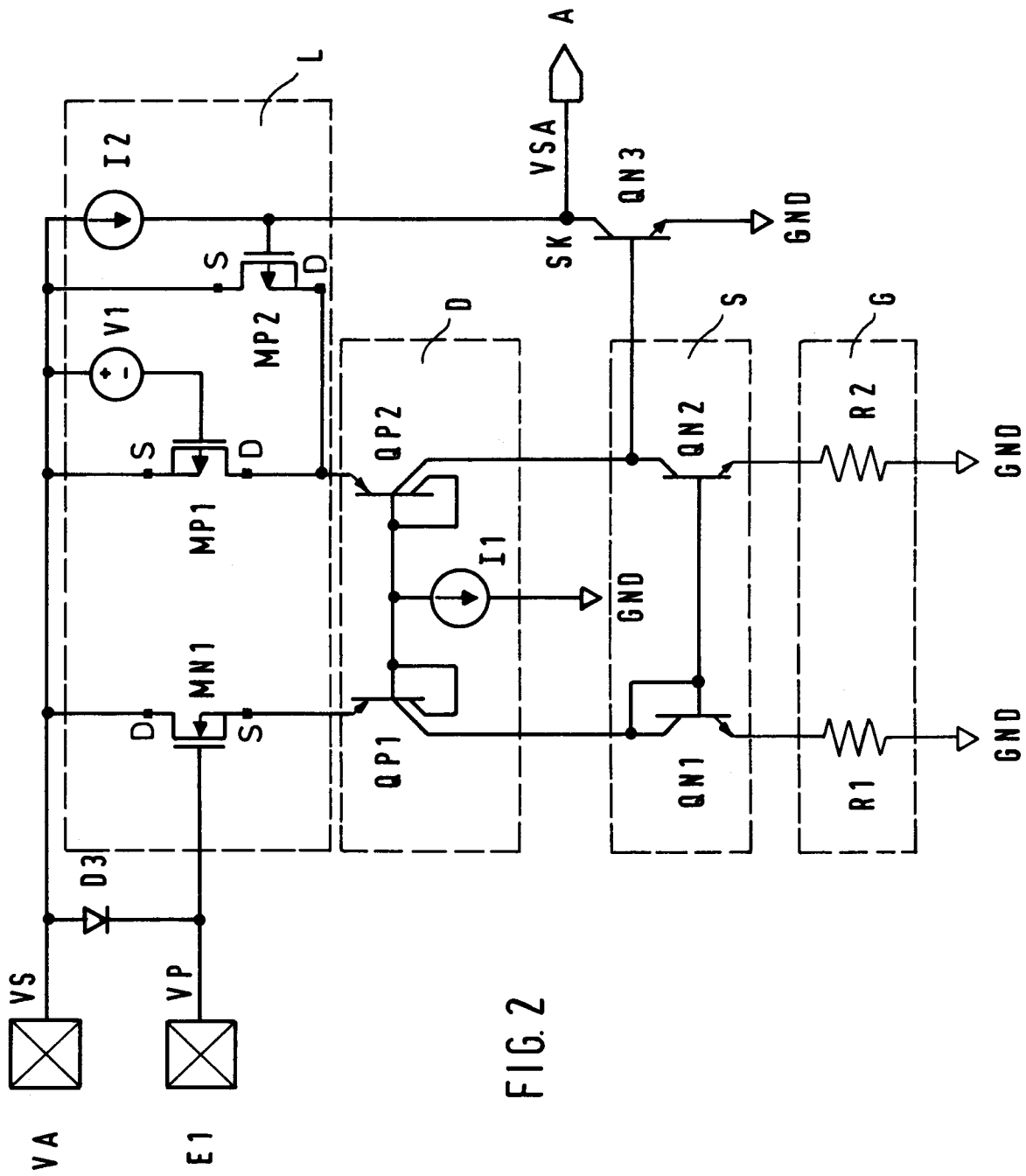


FIG. 2

FIG. 3

