

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 806 713 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
25.09.2002 Patentblatt 2002/39

(51) Int Cl.7: **G04G 3/02**, E05B 49/00

(21) Anmeldenummer: **97107367.1**

(22) Anmeldetag: **05.05.1997**

(54) **Steuerschaltung mit nachstimbarem Standby-Oszillator**

Control device with a tunable standby-oscillator

Dispositif de commande avec un oscillateur de mise en veille accordable

(84) Benannte Vertragsstaaten:
FR GB IT

(30) Priorität: **06.05.1996 DE 19618094**

(43) Veröffentlichungstag der Anmeldung:
12.11.1997 Patentblatt 1997/46

(73) Patentinhaber: **SGS-THOMSON
MICROELECTRONICS GMBH
85630 Grasbrunn (DE)**

(72) Erfinder:
• **Reichmeyer, Hans
85567 Grafing (DE)**

• **Colandrea, Francesco
85540 Haar (DE)**

(74) Vertreter: **Hirsch, Peter, Dipl.-Ing.
Klunker Schmitt-Nilson Hirsch
Winzererstrasse 106
80797 München (DE)**

(56) Entgegenhaltungen:
**EP-A- 0 457 964 EP-A- 0 586 256
EP-B- 0 015 873 EP-B- 0 118 108
US-A- 4 264 967 US-A- 4 456 386**

EP 0 806 713 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die Erfindung betrifft eine Steuerschaltung, mittels welcher elektrische Einrichtungen steuerbar und deren Betriebszustände überwachbar sind.

[0002] Mit einer derartigen Steuerschaltung wird beispielsweise eine Zentralverriegelungseinrichtung eines Kraftfahrzeugs gesteuert und überwacht. Ganz allgemein ist eine derartige Steuerschaltung zur Steuerung und Überwachung eines sogenannten Zustandsautomaten verwendbar, der eine vorbestimmte Zahl von Zuständen produzieren kann, aufgrund von aktuellen Zuständen und Eingangsvariablen von einem Zustand in einen anderen Zustand übergeht und dabei Ausgangssignale erzeugt.

[0003] Aus der DE 42 21 142 A1 ist eine Zentralverriegelungsanlage für ein Kraftfahrzeug bekannt, die einen in einem Türschlüssel untergebrachten Sender und einen im Kraftfahrzeug untergebrachten Empfänger umfaßt. Mittels des Senders wird ein Code gesendet, der vom Empfänger decodiert wird und zur Betätigung der Zentralverriegelungsanlage führt, wenn der richtige Code gesendet worden ist. Sender und Empfänger bilden somit eine Fernbetätigungseinrichtung. Damit diese wahlweise entweder mit Funkfrequenzen oder mit Lichtfrequenzen arbeiten kann, sind sendeseitig sowohl ein HF-Oszillator als auch ein Lichtwellenoszillator, deren HF-Träger beziehungsweise Lichtwelle je mit dem sendeseitigen Codewort modulierbar sind, und empfängerseitig sowohl ein HF-Detektor als auch ein Lichtwellendetektor vorgesehen, deren Ausgangssignale auf eine gemeinsame Decodiereinrichtung geführt werden.

[0004] Aus der US 4 857 917 A ist eine fernbedienbare Zentralverriegelungsanlage für ein Kraftfahrzeug bekannt, deren im Kraftfahrzeug angeordneter Empfänger periodisch ein- und ausgeschaltet wird, um den Gesamtstromverbrauch zu reduzieren. Damit bei der Aussendung eines Codesignals von einem Sender die Zentralverriegelungsanlage auf jeden Fall reagiert, wird der sendeseitigen Codeimpulsfolge ein Führungsimpuls vorausgeschickt, dessen Zeitdauer länger ist als der zeitliche Abstand zweier aufeinanderfolgender Einschaltintervalle des Empfängers. Auf diese Weise wird der Empfänger vom Führungsimpuls sicher aktiviert, um daraufhin die Codeimpulsfolge empfangen und verarbeiten zu können. Zu diesem Zweck ist der Empfänger mit einem Taktimpulsgeber ausgestattet, welcher den Einschaltintervallen des Empfängers entsprechende Taktimpulse an einen ersten Eingang einer UND-Verknüpfungsschaltung liefert. Einem zweiten Eingang der UND-Verknüpfungsschaltung werden vom Sender empfangene und geformte Impulse zugeführt. Wird während eines Taktimpulses vom Timer ein Impuls vom Sender empfangen, triggert das dann entstehende Ausgangssignal der UND-Verknüpfungsschaltung eine monostabile Kippschaltung, deren Ausgangssignal für eine vorbestimmte Zeitdauer, welche mindestens so lang ist wie die vom Sender im Anschluß an einen Führungsim-

puls gesendete Codeimpulsfolge, eine Stromversorgung des Empfängers einschaltet. Ist während eines Taktimpulses vom Timer kein Impuls vom Sender empfangen worden, wird die Stromversorgung des Empfängers nur für die jeweilige Zeitdauer des Taktimpulses eingeschaltet.

[0005] Aus der EP-B-0 118 108 ist eine RAM-Schaltung bekannt, die für einen Auffrischungsbetrieb in einen aktiven Betriebszustand und ansonsten in einen Standby-Betriebszustand schaltbar ist. Es ist ein Oszillator vorgesehen, dessen Frequenz umschaltbar ist, und zwar je nach dem ob sich die RAM-Schaltung im Auffrischungsbetrieb oder im Standby-Betrieb befindet.

[0006] Aus der EP 0 457 964 A1 ist eine Fernwirkanlage zur Ansteuerung von Fahrzeugzusatzeinrichtungen bekannt, deren im Fahrzeug angeordneter Empfänger periodisch ein- und ausgeschaltet wird, um den durchschnittlichen Strombedarf des Empfängers herabzusetzen. Bei einem Sendevorgang wird der Sender jeweils für eine Zeitdauer eingeschaltet, die so groß ist, daß in ihre Zeit mindestens ein Einschaltintervall des Empfängers fällt, so daß der Empfänger auf jeden Fall auf einen Sendevorgang reagieren kann.

[0007] Aus der EP-A-0 586 256 ist ein Zeitmeßsystem mit zwei Oszillatoren unterschiedlicher Frequenz bekannt. Mittels einer Fehlerkalibriereinrichtung werden die Frequenzen der beiden Oszillatoren verglichen. Mittels eines Selektors wird auf einen Zähler entweder die Frequenz des schnelleren Oszillators oder die Frequenz des langsameren Oszillators gegeben.

[0008] Aus der EP-B-0 015 873 ist eine Oszillatorschaltung bekannt, die einen hochfrequenten Oszillator und einen niederfrequenten Oszillator aufweist. Mindestens bei dem niederfrequenten Oszillator handelt es sich um einen Quarzoszillator. Die Frequenz des hochfrequenten Oszillators wird auf die Frequenz des niederfrequenten Oszillators herabgeteilt. Die Frequenz des niederfrequenten Oszillators und die herabgeteilte Frequenz des hochfrequenten Oszillators werden beide auf einen Differenzfrequenzgenerator gegeben, an dessen Ausgang ein Korrektursignal entsteht, wenn die herabgeteilte Frequenz des hochfrequenten Oszillators und die Frequenz des niederfrequenten Oszillators voneinander abweichen. Das Korrektursignal beeinflußt einen programmierbaren Frequenzteiler, der das Ausgangssignal des niederfrequenten Oszillators herabteilt. Der hochfrequente Quarzoszillator wird alle 15 Minuten für etwa 16 Sekunden eingeschaltet. Während dieser jeweiligen Einschaltdauer wird der programmierbare Frequenzteiler jeweils neu eingestellt. Die beiden Oszillatoren selbst haben je eine feste Frequenz.

[0009] Aus der DE 43 02 232 A1 ist eine Vorrichtung zum Betreiben eines Mikroprozessors bekannt, mittels welcher der Mikroprozessor in einem aktiven und in einem inaktiven Betriebszustand betrieben werden kann, um die den Mikroprozessor mit Strom versorgende Batterie zu schonen. Im inaktiven Zustand kann der Mikroprozessor entweder durch ein Aufwecksignal eines im

Mikroprozessor angeordneten Watchdog oder durch ein externes Aufwecksignal, das periodisch von einem externen Oszillator abgegeben wird, in den aktiven Zustand gebracht werden. Der externe Oszillator ist mit zwei CMOS-Invertern aufgebaut.

[0010] Eine herkömmliche Steuerschaltung der eingangs angegebenen Art umfaßt eine Steuereinrichtung, bei der es sich um einen Mikrocontroller handeln kann, und einen Hauptoszillator, der ein Taktsignal für den Betrieb der Steuereinrichtung liefert. Außerdem kann eine derartige Steuerschaltung eine Zustandsüberwachungseinrichtung enthalten, mittels welcher die jeweiligen Zustände vorbestimmter elektrischer Einrichtungen, wie elektrischer Schaltkontakte, Sensoren und/oder Detektoren überwachbar und an die Steuereinrichtung die jeweiligen Zustände repräsentierende Zustandssignale lieferbar sind.

[0011] Aufgrund der hohen Taktfrequenzen, mit welchen digitale Steuereinrichtungen moderner Art, insbesondere in der Form der bereits erwähnten Mikrocontroller, arbeiten können, werden Quarz-Oszillatoren mit Schwingungsfrequenzen im MHz-Bereich verwendet. Sowohl solche Steuereinrichtungen als auch derartige Oszillatoren verbrauchen relativ viel Strom, was sich beispielsweise dann als problematisch erweisen kann, wenn die mit der Steuerschaltung gesteuerte Einrichtung über lange Zeit nicht benötigt wird. Wird mit einer solchen Steuerschaltung beispielsweise eine Zentralverriegelungseinrichtung eines Kraftfahrzeugs gesteuert, kann es vorkommen, daß die Steuerschaltung für eine lange Zeitdauer nicht benötigt wird, beispielsweise wenn das Kraftfahrzeug über Tage, Wochen oder gar Monate nicht benutzt wird. Um für derartige Fälle eine unerwünschte Belastung der elektrischen Energiequelle, in dem genannten Beispiel einer Kraftfahrzeugbatterie, zu vermeiden, ist es bekannt, die Steuerschaltung dann, wenn ihre Steuerfunktion längere Zeit nicht benötigt wird, in einen stromsparenden Warte- oder Standby-Betrieb umzuschalten, in welchem Steuerschaltungskomponenten relativ hohen Stromverbrauchs, wie die Steuereinrichtung und der Oszillator, abgeschaltet werden.

[0012] Im Standby-Betrieb werden nur solche Teile der Steuerschaltung im Einschaltbetrieb gehalten, die zur Zustandsüberwachung von elektrischen Einrichtungen wie Sensoren, Detektoren und Schalterkontakten dienen. Auf diese Weise kann festgestellt werden, wann wieder Steuerbedarf durch die Steuerschaltung entsteht, um die Steuerschaltung bei einer solchen Feststellung in ihren Vollbetrieb rückschalten zu können. Dadurch werden während des Standby-Betriebes abgeschaltete Steuerschaltungsteile wieder in Betrieb genommen.

[0013] Zur Funktionssicherheit wird die Steuerschaltung auch dann, wenn kein Steuerbedarf besteht, wiederholt für jeweils eine kurze Aufweckzeit in den Vollbetrieb rückgeschaltet. Eine derartige vorübergehende Rückschaltung in den Vollbetrieb geschieht üblicherweise

periodisch. Beispielsweise erfolgt nach Standby-Perioden mit einer Dauer von jeweils einigen Sekunden ein Rückschalten in den Vollbetrieb für eine Aufweckzeit von jeweils einigen Millisekunden. Bei diesem Beispiel befindet sich die Steuerschaltung nur im Bereich von wenigen % der Gesamtzeit im Vollbetrieb, die restliche Zeit im Standby-Betrieb. Der durchschnittliche Stromverbrauch durch die Steuerschaltungsteile mit ins Gewicht fallendem Stromverbrauch reduziert sich entsprechend auf wenige % desjenigen Stromverbrauchs, welcher aufträte, wenn die Steuerschaltung permanent im Vollbetrieb gehalten würde.

[0014] Zur Steuerung der während des Standby-Betriebs im Einschaltzustand gehaltenen Steuerschaltungsteile sowie für die Steuerung der sich abwechselnden Standby-Perioden und Vollbetriebsperioden wird ein Oszillator zur Bereitstellung dafür erforderlicher Taktsignale benötigt, wobei die Frequenz dieser Taktsignale wesentlich niedriger sein kann als die vom Quarzoszillator an die Steuereinrichtung gelieferten Taktsignale. Da der Quarzoszillator während des Standby-Betriebs abgeschaltet ist, verwendet man bei dieser bekannten Steuerschaltung neben dem als Hauptoszillator dienenden Quarzoszillator einen als Standby-Oszillator dienenden zweiten Oszillator, der permanent arbeitet, eine wesentlich niedrigere Schwingungsfrequenz als der Hauptoszillator aufweist und einen wesentlich geringeren Stromverbrauch als der Hauptoszillator hat. Herkömmlicherweise verwendet man als Standby-Oszillator beispielsweise einen RC-Oszillator oder einen IC-Oszillator, bei welchem eine Kapazität mit Hilfe einer Stromquelle und eines Schalters periodisch auf- und entladen wird.

[0015] Derartige Standby-Oszillatoren sind insofern problematisch, als ihre Frequenzstabilität nicht besonders gut ist.

[0016] Daher sollen mit der vorliegenden Erfindung Maßnahmen bereitgestellt werden, mit welchen dieses Problem überwunden werden kann.

[0017] Erfindungsgemäß erreicht man dies mit einer Steuerschaltung der in Anspruch 1 angegebenen Art, die entsprechend den Ansprüchen 2 bis 11 weitergebildet sein und für eine Zentralverriegelungseinrichtung gemäß Anspruch 12 verwendet werden kann.

[0018] Die erfindungsgemäße Steuerschaltung ist während Zeiten ohne Steuerbedarf in einen Standby-Betrieb schaltbar und während des Standby-Betriebs wiederholt für jeweils eine kurze Aufweckzeit in einen Vollbetrieb rückschaltbar. Sie besitzt einen Vollbetriebschaltungsteil, der nur während eines Vollbetriebs der Steuerschaltung betriebsfähig ist und einen frequenzstabilen Hauptoszillator mit relativ hohem Strombedarf aufweist. Sie umfaßt einen Standby-Schaltungsteil, der sowohl im Vollbetrieb als auch im Standby-Betrieb betriebsfähig ist und einen an sich frequenzgenauen, nachstimmbaren Standby-Oszillator mit geringem Strombedarf aufweist. Der Standby-Oszillator wird während Aufweckzeiten unter Zuhilfenahme des Hauptos-

zillators nachgestimmt.

[0019] Bei einer Ausführungsform der Erfindung umfaßt der Vollbetriebsschaltungsteil eine Steuereinrichtung und enthält der Standby-Schaltungsteil eine Frequenzsteuereinrichtung, in der ein die Oszillatorfrequenz des Standby-Oszillators steuerndes Frequenzsteuersignal speicherbar ist, und eine von einem Ausgangssignal des Standby-Oszillators gesteuerte Aufweckeinrichtung, mittels welcher während der Aufweckzeiten jeweils mindestens die Steuereinrichtung und der Hauptoszillator in den Vollbetrieb bringbar sind. Es ist eine Frequenzmeßeinrichtung vorgesehen, mittels welcher während der Aufweckzeiten jeweils eine Messung der Oszillator-Ist-Frequenz des Standby-Oszillators durchführbar ist. Diese Ausführungsform besitzt eine Frequenzkorrektureinrichtung, mittels welcher die während der jeweiligen Aufweckzeit gemessene Oszillator-Ist-Frequenz mit einer Oszillator-Soll-Frequenz vergleichbar ist und mittels welcher ein von dem jeweiligen Vergleichsergebnis abhängendes korrigiertes Frequenzsteuersignal erzeugbar und jeweils als neues Frequenzsteuersignal in die Frequenzsteuereinrichtung einspeicherbar ist.

[0020] Bei einer derartigen Steuerschaltung wird also bei jedem Aufweckvorgang die Ist-Frequenz des Standby-Oszillators gemessen und bei einer Abweichung der Ist-Frequenz des Standby-Oszillators von dessen Soll-Frequenz eine Nachstimmung des Standby-Oszillators auf die gewünschte Soll-Frequenz bewirkt. Aufgrund der relativ kurzen zeitlichen Abstände zwischen den einzelnen Aufweckzeiten hält der Standby-Oszillator somit trotz seiner von Haus aus schlechten Frequenzkonstanz seine Soll-Frequenz mit sehr hoher Zuverlässigkeit ein.

[0021] Bei einer bevorzugten Ausführungsform der Erfindung enthält die Steuerschaltung eine Zustandsüberwachungseinrichtung, mittels welcher im Standby-Betrieb der Steuerschaltung die jeweiligen Zustände vorbestimmter Sensoren und/oder Detektoren und/oder andersartiger elektrischer Einrichtungen überwachbar und die Steuerschaltung bei der Feststellung vorbestimmter Zustände in den Vollbetrieb rückschaltbar ist.

[0022] Die Steuerschaltung kann einen Mikrocontroller aufweisen, der mindestens einen Interrupteingang aufweist, über den der Mikrocontroller aus dem Standby-Betrieb in den Vollbetrieb rückschaltbar ist.

[0023] Bei einer Ausführungsform der Erfindung kann die Frequenz des Standby-Oszillators mittels eines digitalen Frequenzsteuersignals steuerbar sein. Bei Verwendung eines IC-Oszillators als Standby-Oszillator kann eine Mehrzahl von verschiedenen gewichteten Abstimmstromquellen vorgesehen sein, wobei mit dem digitalen Frequenzsteuersignal bestimmt wird, welche der Abstimmstromquellen jeweils zur Aufladung einer Kapazität des Standby-Oszillators eingeschaltet werden.

[0024] Die Frequenzsteuereinrichtung kann ein Frequenzsteuersignalregister aufweisen, in dem das Frequenzsteuersignal, das sich während der jeweiligen

Aufweckzeit aus einem Vergleich von Ist- und Soll-Frequenz des Standby-Oszillators ergeben hat, speicherbar ist und dessen Speicherinhalt die jeweilige Frequenz des Standby-Oszillators bestimmt.

[0025] Die Frequenzmeßeinrichtung kann eine Zeitfenstereinrichtung aufweisen, mittels welcher innerhalb der jeweiligen Aufweckzeitdauer ein Zeitfenster mit einer von der Schwingungsperioden-Ist-Dauer des Standby-Oszillators abhängenden Fensterdauer geöffnet, die Anzahl der während der Fensterdauer auftretenden Schwingungen des Hauptoszillators gezählt und der so erhaltene Zählwert mittels einer Frequenzvergleichseinrichtung mit einem der Schwingungsperioden-Soll-Dauer des Standby-Oszillators entsprechenden Referenzzählwert verglichen wird.

[0026] Die erfindungsgemäße Steuerschaltung eignet sich für eine Zentralverriegelungseinrichtung für ein Kraftfahrzeug, die mehrere elektrische Schalterkontakte aufweist, die beispielsweise an verschiedenen Stellen des Kraftfahrzeugs befindlichen Verriegelungsschlössern zugeordnet sind und von denen bei einer Betätigung der Zentralverriegelungseinrichtung mindestens ein Teil seinen Schaltzustand ändert. Mit der Funktionsüberwachungseinrichtung der Steuerschaltung können die Schaltzustände mindestens eines Teils der Schalterkontakte überwacht werden. Wird im Standby-Betrieb eine Änderung des Schaltzustandes mindestens eines der elektrischen Kontakte festgestellt, wird in den Vollbetrieb rückgeschaltet.

[0027] Die Erfindung wird nun anhand von Ausführungsformen näher erläutert. In den Zeichnungen zeigen:

Figur 1 ein Blockschaltbild einer Ausführungsform einer erfindungsgemäßen Steuerschaltung;

Figur 2 Taktsignale eines Hauptoszillators der in Figur 1 gezeigten Steuerschaltung;

Figur 3 ein Zeitfenster der in Figur 1 gezeigten Steuerschaltung;

Figur 4 mit Hilfe des Zeitfensters herausgegriffene Taktsignale des Hauptoszillators;

Figur 5 eine Ausführungsform eines bei der Steuerschaltung nach Figur 1 verwendbaren Standby-Oszillators.

[0028] Die in Form eines Blockschaltbildes in Figur 1 gezeigte Ausführungsform einer erfindungsgemäßen Steuerschaltung umfaßt als Steuereinrichtung einen Microcontroller μC , der unter der Zeittaktsteuerung eines als Quarzoszillator ausgebildeten Hauptoszillators MOSC steht, von dem der Microcontroller μC über einen ersten Microcontroller-Eingang IN1 ein Haupttaktsignal MCLK erhält. Außerdem umfaßt diese Steuerschaltung einen Standby-Oszillator SBOSC, der ein Standby-

Taktsignal SBCLK erzeugt. Dieses wird an eine Aufweckschaltung WUP gegeben. Diese erzeugt unter Steuerung des Standby-Taktsignals SBCLK periodisch ein Aufwecksignal, das sie an einen Interrupteingang INT des Microcontrollers μC liefert. Dabei wird das Aufwecksignal bei jedem n-ten Taktimpuls des Standby-Taktsignals SBCLK erzeugt, wobei n eine beliebige ganze Zahl sein kann.

[0029] Die Frequenz des Standby-Oszillators SBOSC ist abstimmbar, und zwar mittels eines digitalen Frequenzsteuersignals FCS, das in einem Frequenzsteuersignalregister FCR speicherbar ist. Durch Ändern des Speicherinhalts von FCR ist die Taktfrequenz SBCLK veränderbar.

[0030] Die Steuerschaltung weist außerdem als Frequenzmeßeinrichtung einen TIMER auf, der mit dem Microcontroller über einen Datenbus DB in Verbindung steht. Die Frequenzmeßeinrichtung TIMER weist einen Zeitmeßeingang ZE auf, der an den Ausgang einer UND-Verknüpfungsschaltung A angeschlossen ist, die einen mit dem Ausgang des Hauptoszillators MOSC verbundenen ersten Eingang E1, einen mit einem Ausgang einer Gate-Logik GL verbundenen zweiten Eingang E2 und einen mit dem Zeitmeßeingang ZE verbundenen Ausgang O aufweist. Die Gate-Logik GL weist einen Logikeingang LE auf, dem das Standby-Taktsignal SBCLK zugeführt wird. Die Gate-Logik GL erzeugt an einem Logikausgang LA unter zeitlicher Steuerung von SBCLK innerhalb einer jeden m-ten Aufweckzeitdauer, wobei m eine beliebige ganze Zahl sein kann und vorzugsweise gleich 1 ist, ein Fenstersignal GATE, das die Dauer eines Zeitfensters TF (Fig. 3) bestimmt und einerseits dem zweiten Eingang E2 von A und andererseits einem zweiten Microcontroller-Eingang IN2 zugeführt wird. Während der Dauer dieses Fenstersignals GATE ist die UND-Verknüpfungsschaltung A für das Haupttaktsignal MCLK (Fig. 2) des Hauptoszillators MOSC durchlässig. Die Frequenzmeßeinrichtung TIMER zählt die Anzahl der ihr während des jeweiligen Zeitfensters TF zugeführten Taktimpulse des Haupttaktsignals MCLK (Fig. 4). Am Ende des jeweiligen Zeitfensters TF, das dem Microcontroller μC von der Gate-Logik GL über den zweiten Microcontroller-Eingang IN 2 gemeldet wird, fragt der Microcontroller μC über den Datenbus DB aus der Frequenzmeßeinrichtung TIMER den am Ende des Zeitfensters TF erreichten Zählwert ab.

[0031] Der Hauptoszillator MOSC weist beispielsweise eine Frequenz von 8 MHz auf und der Standby-Oszillator SBOSC hat z.B. eine Frequenz von 32 KHz. In das Zeitfenster TF, das streng mit der Frequenz des Standby-Oszillators SBOSC korreliert ist und beispielsweise die Dauer eines Taktimpulses von SBCLK hat, passen daher in der Praxis wesentlich mehr Taktimpulse MCLK als in den Figuren 2 bis 4 dargestellt ist.

[0032] Im Microcontroller μC ist ein Soll-Zählwert gespeichert, welcher einer vorbestimmten Soll-Frequenz des Standby-Oszillators SBOSC entspricht. Der am En-

de eines Zeitfensters TF von TIMER an den Microcontroller μC gelieferte Zählwert, welcher der jeweiligen Ist-Frequenz des Standby-Oszillators SBOSC entspricht und daher als Ist-Zählwert bezeichnet wird, wird im Microcontroller μC mit dem Soll-Zählwert verglichen. Weicht der jeweilige Ist-Zählwert vom Soll-Zählwert ab, erzeugt der Microcontroller μC ein Korrektursignal und in Abhängigkeit davon ein digitales Frequenzsteuersignal FCS, das vom Microcontroller μC über den Datenbus DB in das Frequenzsteuersignalregister FCR eingeschrieben wird. Außerdem wird der TIMER wieder auf einen Anfangszählwert von beispielsweise 0 rückgesetzt.

[0033] Das jeweils in das Frequenzsteuersignalregister FCR eingeschriebene Frequenzsteuersignal bestimmt dann die jeweilige Frequenz des Standby-Oszillators SBOSC, bis dem Frequenzsteuersignalregister FCR vom Microcontroller μC ein neues Frequenzsteuersignal geliefert wird.

[0034] Figur 5 zeigt eine bevorzugte Ausführungsform eines für die erfindungsgemäße Steuerschaltung geeigneten Standby-Oszillators SBOSC. Dieser Standby-Oszillator ist in an sich bekannter Weise als IC-Oszillator aufgebaut, also als ein Oszillator, der einen Kondensator aufweist, der periodisch abwechselnd mittels einer Stromquellen-Einrichtung aufgeladen und mittels eines Schalters entladen wird.

[0035] Der in Figur 5 gezeigte Oszillator umfaßt eine zwischen eine Versorgungsspannungsquelle UB und einen Masseanschluß GND geschaltete Reihenschaltung mit einem Kondensator C und vier zueinander parallel geschalteten Stromquellen S1 bis S4. Dem Kondensator C ist ein erster Schalter SW1 parallel geschaltet. Ein Schaltungspunkt P zwischen dem Kondensator C und den Stromquellen S1 bis S4 ist mit einem Eingang eines Komparators COM verbunden, dessen Ausgangssignal den Schaltzustand des Schalters SW1 steuert. Die Stromquelle S1 dient als Hauptstromquelle und ist mit dem Kondensator C permanent verbunden. Die Stromquellen S2 bis S4 dienen als Abstimmstromquellen.

[0036] Zwischen jede der Abstimmstromquellen S2 bis S4 und die Spannungsversorgungsspannungsquelle UB ist einer von drei Schaltern SW2 bis SW4 geschaltet. Die Schaltzustände der Schalter SW2 bis SW4 werden mittels Schaltersteuersignalen FCS1, FCS2 bzw. FCS3 gesteuert, bei denen es sich um verschiedene Bit-Stellen des im Frequenzsteuersignalregister FCR gespeicherten Frequenzsteuersignals FCS handelt.

[0037] Die Abstimmstromquellen S2 bis S4 liefern verschieden große Stromwerte I_1 bzw. $I_{1/2}$ bzw. $I_{1/4}$ und sind dem Dual-Zahlensystem entsprechend gewichtet.

[0038] Der in Figur 5 gezeigte Oszillator funktioniert derart, daß der Kondensator C bei geöffnetem Schalter SW1 mit dem Strom mindestens der Hauptstromquelle S1 aufgeladen wird. Die Ladespannung des Kondensators C erhöht sich entsprechend, bis diese Ladespannung einen vorbestimmten Referenzwert erreicht, woraufhin der Komparator COM ein Ausgangssignal er-

zeugt, welches den Schalter SW1 in dessen leitenden Zustand bringt, was zu einer schlagartigen Entladung des Kondensators C führt. Dieses abwechselnde Auf- und Entladen des Kondensators wiederholt sich periodisch, wobei die Steilheit des Anstiegs der Ladespannung und damit die jeweilige Zeitdauer des Aufladevorgangs von der Aufladestromstärke abhängt. Diese wiederum hängt davon ab, wieviele der Abstimmstromquellen S2 bis S4 mittels der zugehörigen Schalter SW2 bis SW4 eingeschaltet sind. Und dies wird durch das im Frequenzsteuersignalregister FCR jeweils gespeicherte digitale Frequenzsteuersignal FCS bestimmt.

[0039] Bei Verwendung der Steuerschaltung für eine Zentralverriegelungseinrichtung eines Kraftfahrzeuges kann die Aufweckschaltung WUP gleichzeitig als Zustandsüberwachungseinrichtung verwendet werden, mittels welcher die jeweiligen Zustände vorbestimmter (nicht gezeigter) Sensoren und/oder Detektoren oder andersartiger elektrischer Einrichtungen, beispielsweise von elektrischen Schalterkontakten, die verschiedenen Verriegelungsschlössern des Kraftfahrzeugs zugeordnet sind, überwacht werden.

[0040] Im folgenden wird die Betriebsweise der in Figur 1 gezeigten Steuerschaltung für den Fall betrachtet, daß sie im Zusammenhang mit der Steuerung einer Zentralverriegelungseinrichtung für ein Kraftfahrzeug verwendet wird.

[0041] Es sei zunächst angenommen, daß die gesamte Steuerschaltung arbeitet, sich also im Vollbetrieb befindet. Ist mittels der Zustandsüberwachungseinrichtung während einer vorbestimmten Zeitdauer kein Steuerbedarf durch die Steuerschaltung festgestellt worden, beispielsweise weil entweder das Kraftfahrzeug insgesamt nicht benutzt wird oder die Zentralverriegelung längere Zeit nicht mehr betätigt worden ist, wird der Microcontroller μC mittels eines Stop-Befehls in dem gerade aktuellen Programmschritt angehalten und abgeschaltet.

[0042] Von der Abschaltung sind nur der Microcontroller μC und der Hauptoszillator MOSC und möglicherweise weitere, in Figur 1 nicht gezeigte, Einrichtungen der Schaltungsanordnung betroffen. Die weiteren in Figur 1 gezeigten Schaltungsteile, nämlich der Standby-Oszillator SBOSC, das Frequenzsteuersignalregister FCR, die Gate-Logik GL, der TIMER und die Aufweckschaltung WUP sind von der Abschaltung nicht betroffen, sondern bleiben zur Aufrechterhaltung des Standby-Betriebes eingeschaltet.

[0043] Während dieses Standby-Betriebes wird unter Steuerung des Standby-Taktsignals SBCLK von der Aufweckschaltung WUP periodisch nach bestimmten Zeitabständen, beispielsweise nach jeweils 1 s, der Microcontroller μC über den Eingang INT für eine jeweilige Aufweckzeit von beispielsweise 1 ms eingeschaltet, was zum Einschalten auch des Hauptoszillators MOSC führt. Während der jeweiligen Aufweckzeit wird mittels der Gate-Logik GL jeweils ein Zeitfenster TF erzeugt, mit Hilfe von μC der Vergleich zwischen Ist-Frequenz

und Soll-Frequenz des Standby-Oszillators SBOSC durchgeführt und das vom Ergebnis dieses Vergleichs abhängende neue Frequenzsteuersignal in das Frequenzsteuersignalregister FCR eingeschrieben, was zu einer entsprechenden Steuerung der Schalter SW2 bis SW4 des in Figur 5 gezeigten Standby-Oszillators SBOSC führt. Nach Ablauf der Aufweckzeit werden der Microcontroller μC und der Hauptoszillator MOSC wieder abgeschaltet.

[0044] Stellt die Aufweckschaltung WUP hinsichtlich eines oder mehrerer der von ihr überwachten elektrischen Kontakte eine Zustandsänderung während einer Standby-Zeitdauer fest, gibt sie unmittelbar, d. h., ohne die nächste Aufweckzeit abzuwarten, über den Interrupt-Eingang INT einen als Aufwecksignal wirkenden Interrupt-Befehl an den Microcontroller μC , woraufhin dieser und der Hauptoszillator MOSC eingeschaltet werden, die Steuerschaltung somit in den Vollbetrieb rückgeschaltet wird. Da der Microcontroller μC jeweils durch einen Stop-Befehl abgeschaltet wird, setzt der Microcontroller μC bei jedem Aufweckvorgang seinen Betrieb in demjenigen Programmschritt fort, in welchem er zuvor durch den Stop-Befehl abgeschaltet worden ist.

Patentansprüche

1. Steuerschaltung, die während Zeiten ohne Steuerbedarf in einen Standby-Betrieb schaltbar und während des Standby-Betriebs wiederholt für jeweils eine kurze Aufweckzeit in einen Vollbetrieb rück-schaltbar ist;
mit einem Vollbetriebsschaltungsteil (MOSC, μC),, der nur während eines Vollbetriebs der Steuerschaltung betriebsfähig ist und einen frequenzstabilen Hauptoszillator (MOSC) mit relativ hohem Stromverbrauch aufweist;
und mit einem Standby-Schaltungsteil (SBOSC, FCR, GL, A, TIMER, WUP), der sowohl im Vollbetrieb als auch im Standby-Betrieb betriebsfähig ist und einen an sich frequenzungenauen, nachstimm-baren Standby-Oszillator (SBOSC) mit geringem Strombedarf aufweist;
wobei der Standby-Oszillator (SBOSC) während Aufweckzeiten unter Zuhilfenahme des Hauptoszillators (MOSC) nachstimmbar ist.

2. Steuerschaltung nach Anspruch 1,

- a. wobei deren Vollbetriebsschaltungsteil eine Steuereinrichtung aufweist;
- b. wobei deren Standby-Schaltungsteil eine Frequenzsteuereinrichtung (FCR), in der ein die Oszillatorfrequenz des Standby-Oszillator (SBOSC) steuerndes Frequenzsteuersignal (FCS) speicherbar ist, und eine von einem Ausgangssignal (SBCLK) des Standby-Oszillators (SBOSC) gesteuerte Aufweckeinrichtung

- (WUP), mittels welcher während der Aufweckzeiten jeweils mindestens die Steuereinrichtung und der Hauptoszillator (MOSC) in den Vollbetrieb bringbar sind, aufweist;
- c. mit einer Frequenzmeßeinrichtung (GL, A, TIMER), mittels welcher während der Aufweckzeiten jeweils eine Messung der Oszillator-Ist-Frequenz (SBCLK) des Standby-Oszillators (SBOSC) durchführbar ist; und
- d. mit einer Frequenzkorrektureinrichtung, mittels welcher die während der jeweiligen Aufweckzeit gemessene Oszillator-Ist-Frequenz mit einer Oszillator-Soll-Frequenz vergleichbar ist und mittels welcher ein von dem jeweiligen Vergleichsergebnis abhängendes korrigiertes Frequenzsteuersignal (FCS) erzeugbar und jeweils als neues Frequenzsteuersignal (FCS) in die Frequenzsteuereinrichtung einspeicherbar ist.
3. Steuerschaltung nach Anspruch 1 oder 2, mit einer Zustandsüberwachungseinrichtung (WUP), mittels welcher im Standby-Betrieb der Steuerschaltung die jeweiligen Zustände vorbestimmter Sensoren und/oder Detektoren und/oder andersartiger elektrischer Einrichtungen überwachbar und die Steuerschaltung bei der Feststellung vorbestimmter Zustände in den Vollbetrieb rückschaltbar ist.
4. Steuerschaltung nach Anspruch 2 oder 3, bei welcher die Steuereinrichtung einen Mikrocontroller (μ C) mit mindestens einem Interrupteingang (INT) aufweist, über den der Mikrocontroller (μ C) aus dem Standby-Betrieb in den Vollbetrieb rückschaltbar ist.
5. Steuerschaltung nach einem der Ansprüche 1 bis 4, bei welcher die Frequenz des Standby-Oszillators (SBOSC) mittels eines digitalen Frequenzsteuersignals (FCS) steuerbar ist.
6. Steuerschaltung nach Anspruch 5, bei welcher der Standby-Oszillator (SBOSC) einen Rampengenerator mit in Abhängigkeit von dem digitalen Frequenzsteuersignal (FCS) umschaltbarer Rampensteilheit aufweist.
7. Steuerschaltung nach Anspruch 6, bei welcher der Rampengenerator eine Kapazität (C) umfaßt, die periodisch abwechselnd mittels einer Stromquellschaltung (S1 bis S4) aufladbar und mittels einer Entladeeinrichtung (SW1) entladbar ist, wobei die Stromquellschaltung (S1 bis S4) eine zu der Kapazität (C) in Reihe geschaltete, die Grundfrequenz des Standby-Oszillators (SBOC) bestimmende Hauptstromquelle (S1) und mehrere der Hauptstromquelle (S1) parallel geschaltete, unterschiedlich gewichtete Abstimmstromquellen (S2 bis S4) aufweist, zu jeder der Abstimmstromquellen (S2 bis S4) ein in Abhängigkeit von dem Frequenzsteuersignal (FCS) steuerbarer Schalter (SW2 bis SW4) in Reihe geschaltet ist.
8. Steuerschaltung nach Anspruch 7, bei welcher die einzelnen Abstimmstromquellen (S2 bis S4) eine dem Dualzahlensystem entsprechende Stromstärkenwichtung aufweisen.
9. Steuerschaltung nach einem der Ansprüche 5 bis 8, bei welcher die Frequenzsteuereinrichtung ein Frequenzsteuersignalregister (FCR) aufweist, in dem das jeweils von der Frequenzvergleichseinrichtung gelieferte digitale Frequenzsteuersignal (FCS) speicherbar ist und dessen Speicherinhalt die jeweilige Frequenz des Standby-Oszillators (SBOC) bestimmt.
10. Steuerschaltung nach einem der Ansprüche 2 bis 9, bei welcher die Frequenzmeßeinrichtung (GL, A, TIMER) eine Zeitfenstereinrichtung aufweist, mittels welcher innerhalb der jeweiligen Aufweckzeitdauer ein Zeitfenster (TF) mit einer von der Schwingungsperioden-Ist-Dauer des Standby-Oszillators (SBOSC) abhängenden Fensterdauer geöffnet, die Anzahl der während der Fensterdauer auftretenden Schwingungen des Hauptoszillators (MOSC) gezählt und der so erhaltene Zählwert mittels der Frequenzvergleichseinrichtung mit einem der Schwingungsperioden-Soll-Dauer des Standby-Oszillators (SBOSC) entsprechenden Referenzzählwert verglichen wird.
11. Steuerschaltung nach Anspruch 10, bei welcher die Frequenzmeßeinrichtung (GL, A, TIMER) aufweist: eine Gatelogikeinrichtung (GL) mit einem Logikeingang (LE), der mit dem Ausgangssignal (SBCLK) des Standby-Oszillators (SBOSC) beaufschlagbar ist, und mit einem Logikausgang (LA), von dem ein Fenstersignal (GATE) abnehmbar ist; eine UND-Verknüpfungsschaltung (A) mit einem mit einem Ausgang des Hauptoszillators (MOSC) gekoppelten ersten Eingang (E1), einem mit dem Logikausgang (LA) gekoppelten zweiten Eingang (E2) und einem Ausgang (Q), der mit einem Zähleingang (ZE) eines Zählers (TIMER) gekoppelt ist, mittels welchem die während einer Fensterdauer auftretenden Hauptoszillatorschwingungen zählbar sind.
12. Zentralverriegelungseinrichtung für ein Kraftfahrzeug, mit mehreren elektrischen Schalterkontakten, die an verschiedenen Stellen des Kraftfahrzeugs befindlichen Verriegelungsschlössern zugeordnet sind und von denen bei einer Betätigung der Zen-

tralverriegelungseinrichtung mindestens ein Teil seinen Schaltzustand ändert, mit einer Steuerschaltung nach einem der Ansprüche 3 bis 11, mit deren Funktionsüberwachungseinrichtung (WUP) die Schaltzustände mindestens eines Teils der Schalterkontakte überwachbar sind und die bei der Feststellung während des Vollbetriebs, daß sich während einer vorbestimmten Zeitdauer keine Schaltzustandsänderungen ergeben haben und daher derzeit kein Steuerbedarf besteht, in den Standby-Betrieb umschaltbar ist, und die bei der Feststellung einer Änderung des Schaltzustandes mindestens eines der elektrischen Kontakte während des Standby-Betriebs in den Vollbetrieb rückschaltbar ist.

Claims

1. A control circuit adapted to be switched to a standby mode of operation during times without control requirement and to be repeatedly reset during the standby mode of operation for a short wake-up period each to a full mode of operation; said control circuit comprising a full operation circuit part (MOSC, μ C) that is operable only during full operation of the control circuit and has a frequency-stable main oscillator (MOSC) with relatively high power consumption; and a standby circuit part (SBOC, FCR, GL, A, TIMER, WUP) that is operable both in the full mode and in the standby mode of operation and has an as such frequency-inaccurate, adjustable standby oscillator (SBOSC) with low power consumption; with said standby oscillator (SBOSC) being adjustable during wake-up periods with the aid of the main oscillator (MOSC).
2. The control circuit of claim 1,
 - a. with the full operation circuit part thereof comprising a control means;
 - b. with the standby circuit part thereof comprising a frequency control means (FCR) in which a frequency control signal (FCS) controlling the oscillator frequency of said standby oscillator (SBOSC) can be stored, and a wake-up means (WUP) which is controlled by an output signal (SBCLK) of said standby oscillator (SBOSC) and through which, during the wake-up periods, at least said control means and said main oscillator (MOSC) can be brought into full operation each;
 - c. said control circuit comprising a frequency measuring means (GL, A, TIMER) through which a measurement of the actual oscillator frequency (SBCLK) of said standby oscillator (SBOSC) can be carried out during each of said
- wake-up periods; and
- d. comprising a frequency correction means through which the actual oscillator frequency measured during the respective wake-up period is comparable to a set oscillator frequency and through which a corrected frequency control signal (FCS) can be produced that is a function of the particular comparison result, and can be stored as new frequency control signal (FCS) each in said frequency control means.
3. The control circuit of claim 1 or 2, comprising a state monitoring means (WUP) through which, in the standby mode of said control circuit, the particular states of predetermined sensors and/or detectors and/or other electrical means can be monitored and said control circuit is resettable to full operation upon detection of predetermined states.
4. The control circuit of claim 2 or 3, wherein said control means comprises a microcontroller (μ C) having at least one interrupt input (INT) through which said microcontroller (μ C) is resettable from the standby mode to full operation.
5. The control circuit of any one of claims 1 to 4, wherein the frequency of said standby oscillator (SBOSC) is controllable by means of a digital frequency control signal (FCS).
6. The control circuit of claim 5, wherein said standby oscillator (SBOSC) comprises a ramp generator with a ramp steepness that is adapted to be switched over in accordance with said digital frequency control signal (FCS).
7. The control circuit of claim 6, wherein said ramp generator comprises a capacitor (C) which, in periodically alternating manner, is adapted to be charged by means of a current source circuit (S1 to S4) and discharged by means of a discharging means (SW1), said current source circuit (S1 to S4) having a main current source (S1) connected in series with said capacitor (C) and determining the basic frequency of said standby oscillator (SBOC), and a plurality of differently weighted adjustment current sources (S2 to S4) connected in parallel with said main current source (S1), wherein each of said adjustment current sources (S2 to S4) has a controllable switch (SW2 to SW4) connected in series therewith and said switches (SW2 to SW4) are controllable as a function of said frequency control signal (FCS).
8. The control circuit of claim 7, wherein the individual adjustment current sources (S2 to S4) have a current intensity weighting system

corresponding to the binary number system.

9. The control circuit of any one of claims 5 to 8, wherein said frequency control means comprises a frequency control signal register (FCR) in which the respective digital frequency control signal (FCS) delivered by the frequency comparator means can be stored and whose memory contents determine the respective frequency of said standby oscillator (SBOSC). 5
10. The control circuit of any one of claims 2 to 9, wherein said frequency measuring means (GL, A, TIMER) comprises a time gate means through which, during the respective wake-up period, a time gate (TF) is opened having a gate duration depending on the oscillation period actual duration of said standby oscillator (SBOSC), the number of the oscillations of said main oscillator (MOSC) occurring during said gate duration is counted and the thus obtained count is compared by means of said frequency comparator means to a reference count corresponding to the oscillation period set duration of said standby oscillator (SBOSC). 10 15 20 25
11. The control circuit of claim 10, wherein said frequency measuring means (GL, A, TIMER) comprises:
 - a gate logic means (GL) having a logic input (LE) adapted to have the output signal (SBCLK) of said standby oscillator (SBOSC) applied thereto, and a logic output (LA) from which a gate signal (GATE) is available; 30
 - an AND circuit (A) having a first input (E1) coupled to the output of said main oscillator (MOSC), a second input (E2) coupled to said logic output (LA), and an output (Q) coupled to a counting input (ZE) of a counter (TIMER) adapted to count the main oscillator oscillations occurring during a gate duration. 35 40
12. A central locking system for a motor vehicle, comprising a plurality of electrical switch contacts associated with locks located in different locations of said motor vehicle and of which at least part thereof changes its switching state upon actuation of said central locking system, comprising a control circuit according to any one of claims 3 to 11 whose function monitoring means (WUP) is adapted to monitor the switching states of at least part of said switch contacts and which, upon detection during full operation that no switching states alterations have been caused during a predetermined period of time and that there is thus no control requirement present at that time, is adapted to be switched over to the standby mode and which, upon detection of an alteration of the switching state 45 50 55

of at least one of the electrical contacts during the standby mode, is adapted to be reset to full operation.

Revendications

1. Circuit de commande, commutable dans un mode de veille pendant des périodes ne nécessitant pas de commande et, pendant le mode de veille, reconfigurable dans un mode de plein fonctionnement pour une courte période de réveil ;
 - comportant une partie de circuit de plein fonctionnement (MOSC, μ C) pouvant fonctionner seulement pendant le plein fonctionnement du circuit de commande et présentant un oscillateur principal (MOSC) stable en fréquence et à consommation de courant relativement élevée ;
 - et une partie de circuit de veille (SBOSC, FCR, GL, A, TIMER, WUP), pouvant fonctionner non seulement en mode de plein fonctionnement mais aussi en mode de veille et présentant un oscillateur de veille accordable (SBOSC) peu précis en fréquence et à faible consommation de courant ;
 - dans lequel l'oscillateur de veille (SBOSC) est accordable pendant les périodes de réveil à l'aide de l'oscillateur principal (MOSC).
2. Circuit de commande selon la revendication 1,
 - a. dans lequel la partie de circuit de plein fonctionnement comporte un dispositif de commande ;
 - b. dans lequel la partie de circuit de veille comporte un dispositif de commande de fréquence (FCR), dans lequel un signal de commande de fréquence (FCS) commandant la fréquence d'oscillation de l'oscillateur de veille (SBOSC) peut être mémorisé, et un dispositif de réveil (WUP) commandé par un signal de sortie (SBCLK) de l'oscillateur de veille (SBOSC), grâce auquel, pendant les périodes de réveil, au moins le dispositif de commande et l'oscillateur principal (MOSC) peuvent être mis en mode de plein fonctionnement ;
 - c. comportant un dispositif de mesure de fréquence (GL, A, TIMER), grâce auquel, pendant les périodes de réveil, une mesure de la fréquence courante d'oscillation (SBCLK) de l'oscillateur de veille (SBOSC) peut être effectuée ; et
 - d. comportant un dispositif de correction de fréquence, grâce auquel la fréquence courante d'oscillation mesurée pendant la période de réveil peut être comparée à une fréquence nominale d'oscillation, et grâce auquel un signal de commande de fréquence (FCS) corrigé, dépendant du résultat de la comparaison corres-

pondante, peut être obtenu et mémorisé dans le dispositif de commande de fréquence en tant que nouveau signal de commande de fréquence (FCS).

3. Circuit de commande selon la revendication 1 ou 2, comportant un dispositif de surveillance d'état (WUP), grâce auquel, dans le mode veille du circuit de commande, les états respectifs de capteurs et/ou de détecteurs déterminés et/ou d'autres dispositifs électriques peuvent être surveillés, et le circuit de commande peut être reconfiguré en mode de plein fonctionnement lors de l'identification d'états prédéterminés.

4. Circuit de commande selon la revendication 2 ou 3, dans lequel le dispositif de commande comprend un microcontrôleur (μ C) avec au moins une entrée d'interruption (INT), par l'intermédiaire de laquelle le microcontrôleur (μ C) est reconfigurable du mode de veille au mode de plein fonctionnement.

5. Circuit de commande selon une des revendications 1 à 4, dans lequel la fréquence de l'oscillateur de veille (SBOSC) est commandable à l'aide d'un signal de commande de fréquence numérique (FCS).

6. Circuit de commande selon la revendication 5, dans lequel l'oscillateur de veille (SBOSC) comporte un générateur de rampe dont l'inclinaison de rampe peut être modifiée en fonction du signal de commande de fréquence numérique (FCS).

7. Circuit de commande selon la revendication 6, dans lequel le générateur de rampe comporte une capacité (C) pouvant alternativement être chargée au moyen d'un circuit à sources de courant (S1 à S4) et déchargée au moyen d'un dispositif de décharge (SW1), dans lequel le circuit à sources de courant (S1 à S4) comporte une source de courant principale (S1) connectée en série à la capacité (C) et déterminant la fréquence de base de l'oscillateur de veille (SBOSC), et plusieurs sources de courant d'accord (S2 à S4) connectées en parallèle avec la source de courant principale (S1) et pondérées de façon différente, un commutateur (SW2 à SW4) commandable en fonction du signal de commande de fréquence (FCS) étant connecté en série à chacune des sources de courant d'accord (S2 à S4).

8. Circuit de commande selon la revendication 7, dans lequel les sources de courant d'accord individuelles (S2 à S4) présentent une pondération en intensité de courant selon le système binaire.

9. Circuit de commande selon une des revendications 5 à 8, dans lequel le dispositif de commande de fréquence comporte un registre de signal de comman-

de de fréquence (FCR), dans lequel peut être mémorisé le signal de commande de fréquence numérique (FCS) fourni par le dispositif de comparaison de fréquence, et dont le contenu de mémoire détermine la fréquence respective de l'oscillateur de veille (SBOSC).

10. Circuit de commande selon une des revendications 2 à 9, dans lequel le dispositif de mesure de fréquence (GL, A, TIMER) comporte un dispositif de fenêtre temporelle, au moyen duquel, pendant la durée de la période de réveil, une fenêtre temporelle (TF) avec une durée de fenêtre dépendant de la durée courante de la période d'oscillation de l'oscillateur de veille (SBOSC) est ouverte, le nombre des oscillations de l'oscillateur principal (MOSC) se produisant pendant la durée de la fenêtre est compté, et la valeur de comptage ainsi obtenue est comparée à une valeur de comptage de référence correspondant à la durée nominale de la période d'oscillation de l'oscillateur de veille (SBOSC) au moyen du dispositif de comparaison de fréquence.

11. Circuit de commande selon la revendication 10, dans lequel le dispositif de mesure de fréquence (GL, A, TIMER) comporte :

un dispositif logique (GL) présentant une entrée logique (LE) pouvant être alimentée par le signal de sortie (SBCLK) de l'oscillateur de veille (SBOSC) et une sortie logique (LA) pouvant fournir un signal de fenêtre (GATE), un circuit logique de type ET (A) présentant une première entrée (E1) couplée à une sortie de l'oscillateur principal (MOSC), une deuxième entrée (E2) couplée à la sortie logique (LA) et une sortie (Q) couplée à une entrée de comptage (ZE) d'un compteur (TIMER), grâce auquel les oscillations de l'oscillateur principal se produisant pendant une durée de fenêtre peuvent être comptées.

12. Dispositif de verrouillage central de véhicule comportant plusieurs contacts électriques de commutation associés à des éléments de verrouillage disposés en différents endroits du véhicule et dont une partie au moins modifie son état de commutation lors d'un actionnement du dispositif de verrouillage central,

comportant un circuit de commande selon une des revendications 3 à 11, au moyen du dispositif de surveillance (WUP) duquel les états de commutation d'au moins une partie des contacts de commutation peuvent être surveillés, pouvant être commuté en mode de veille lors de l'identification, en mode de plein fonctionnement, qu'aucune modification d'état de commutation ne s'est produite pendant un intervalle de temps prédéterminé et

que, par suite, aucune commande n'est nécessaire, et pouvant être reconfiguré dans le mode de plein fonctionnement par l'identification d'une modification de l'état de commutation d'au moins un des contacts électriques pendant le mode veille.

5

10

15

20

25

30

35

40

45

50

55

