

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 806 719 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des
Hinweises auf die Patenterteilung:
01.08.2001 Patentblatt 2001/31

(51) Int Cl.7: **G05F 3/26**, G05F 3/30

(21) Anmeldenummer: **97106833.3**

(22) Anmeldetag: **24.04.1997**

(54) **Schaltungsanordnung zur Erzeugung eines Referenz-potentials**

Circuit for generating a voltage reference

Circuit pour générer une tension de référence

(84) Benannte Vertragsstaaten:
CH DE DK FR GB IT LI

(30) Priorität: **10.05.1996 DE 19618914**

(43) Veröffentlichungstag der Anmeldung:
12.11.1997 Patentblatt 1997/46

(73) Patentinhaber: **Infineon Technologies AG**
81669 München (DE)

(72) Erfinder: **Weber, Stephan, Dr.**
81739 München (DE)

(74) Vertreter: **Zedlitz, Peter, Dipl.-Inf.**
Patentanwalt,
Postfach 22 13 17
80503 München (DE)

(56) Entgegenhaltungen:

EP-A- 0 411 657 DE-A- 3 515 006
GB-A- 2 256 949

- **BIRRITELLA M S ET AL: "DESIGN TECHNIQUES FOR IC VOLTAGE REGULATORS WITHOUT P-N-P TRANSISTORS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, NEW YORK, NY, US, Bd. 22, Nr. 1, Februar 1987, Seiten 71-76, XP000004174**
- **BIRRITELLA M S ET AL: "DESIGN TECHNIQUES FOR IC VOLTAGE REGULATORS WITHOUT P-N-P TRANSISTORS" IEEE JOURNAL OF SOLID-STATE CIRCUITS, NEW YORK, NY, US, Bd. 22, Nr. 1, Februar 1987.**

EP 0 806 719 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die Erfindung betrifft eine Schaltungsanordnung zur Erzeugung eines Referenzpotentials mit einem ersten Transistor, dessen Emmitter mit einem Bezugspotential verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind, mit einem zweiten Transistor, dessen Basis mit der Basis des ersten Transistors verbunden ist, mit einem ersten Widerstand, der zwischen den Kollektor des ersten Transistors und einem Ausgangsanschluß zum Abgreifen des Referenzpotentials geschaltet ist, mit einem zweiten Widerstand, der zwischen den Kollektor des zweiten Transistors und den Ausgangsanschluß geschaltet ist, mit einem dritten Widerstand, der zwischen den Emmitter des zweiten Transistors und das Bezugspotential geschaltet ist, mit einem dritten Transistor, dessen Basis mit dem Kollektor des zweiten Transistors und dessen Emmitter mit dem Bezugspotential verbunden ist, und mit einer gesteuerten Stromquelle, die zwischen ein Versorgungspotential und den Ausgangsanschluß geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors gekoppelt ist.

[0002] Eine solche, auch als Bandgap-Referenz bezeichnete Schaltungsanordnung ist in der EP-A-0 411 657 beschrieben. Eine weitere Bandgap-Referenz ist aus Paul R. Gray, Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, Second Edition, John Wiley and Sons, 1984, S.293-296 bekannt. Eine Bandgap-Referenz wird häufig bei integrierten Schaltkreisen als interne Referenzspannungsquelle verwendet. Eine frequenzkompensierte Bandgap-Referenz ist zudem in der GB 2 256 949 A beschrieben.

[0003] In Zukunft wird es bei integrierten Schaltkreisen zunehmend wichtiger, daß die Schaltkreise sich zum Zwecke der Stromersparnis über einen externen Anschluß ein- und ausschalten lassen. Das Ausschalten sollte dabei möglichst schnell erfolgen, um effektiv die Stromaufnahme und damit die Verlustleistung senken zu können. Ebenso sollte auch die Einschaltzeit möglichst klein gehalten werden, um den Schaltkreis binnen kürzester Zeit in den Arbeitszustand zu bringen. Ein weiteres wichtiges Kriterium von Schaltungsanordnungen zur Erzeugung eines Referenzpotentials ist das Rauschverhalten. Dies kann durch Kondensatoren zur Bandbegrenzung, die das Rauschen bei hohen Frequenzen wegfiltern, günstig beeinflußt werden. Jedoch steigen durch diese Maßnahmen die Ein- und Ausschaltzeiten des jeweiligen Schaltkreises an.

[0004] Aufgabe der Erfindung ist es, eine Schaltungsanordnung der eingangs genannten Art anzugeben, die trotz guten Rauschverhaltens kurze Ein- und Ausschaltzeiten aufweist.

[0005] Die Aufgabe wird durch eine Schaltungsanordnung gemäß Patentanspruch 1 gelöst. Ausgestaltungen und Weiterbildungen des Erfindungsgedankens sind Gegenstand von Unteransprüchen.

[0006] Vorteilhaft ist, daß die günstigen Ein- und Aus-

schaltzeiten sowie das günstige Rauschverhalten mit geringstem technischen Aufwand erreicht wird. Zu diesem Zweck wird eine Kapazität dem zweiten Widerstand parallel geschaltet. Gegenüber einer Kapazität, die beispielsweise zwischen Basis und Emmitter des dritten Transistors geschaltet ist, kann der als Emmitterfolger betriebene vierte Transistor mehr Strom liefern und verkürzt dadurch die Einschaltzeit. Der zur Kapazität parallel liegende zweite Widerstand trägt hingegen zur Verkürzung der Ausschaltzeit bei. Stabilität und Rauschverhalten bleiben dabei praktisch unverändert. Schließlich wird die Betriebsspannungsunterdrückung bei hohen Frequenzen verbessert.

[0007] Bei einer bevorzugten Ausgestaltung der erfindungsgemäßen Schaltungsanordnung weist die gesteuerte Stromquelle einen vierten Transistor auf, dessen Kollektor mit dem Versorgungspotential, dessen Emmitter mit dem Ausgangsanschluß und dessen Basis mit dem Kollektor des dritten Transistors verbunden ist. Zwischen Basis und Kollektor des vierten Transistors ist dabei eine weitere Stromquelle geschaltet.

[0008] Weiterhin kann die weitere Stromquelle einen fünften Transistor aufweisen, dessen Basis mit dem Ausgangsanschluß und dessen Emmitter unter Zwischenschaltung eines vierten Widerstandes mit dem Bezugspotential verbunden ist. Des weiteren sind ein sechster Transistor, dessen Emmitter unter Zwischenschaltung eines fünften Widerstandes mit dem Versorgungspotential verbunden ist, dessen Kollektor mit der Basis des vierten Transistors verschaltet ist und dessen Basis mit dem Kollektor des fünften Transistors gekoppelt ist, sowie ein siebter Transistor, dessen Basis und Kollektor miteinander sowie mit dem Kollektor des fünften Transistors gekoppelt sind und dessen Emmitter unter Zwischenschaltung eines sechsten Widerstandes mit dem Versorgungspotential verbunden ist, vorgesehen.

[0009] Bei einer Weiterbildung der Erfindung ist in die Kollektorleitung des sechsten Transistors in Reihe zur weiteren Stromquelle ein achter Widerstand geschaltet. Dies hat den Vorteil, daß das Rauschen der erfindungsgemäßen Schaltungsanordnung weiter herabgesetzt wird. Das Rauschen der weiteren Stromquelle hat insbesondere bei hohen Frequenzen einen Einfluß auf das Rauschverhalten der gesamten Schaltungsanordnung. Dies stört vor allem auch dann, wenn bei der weiteren Stromquelle pnp-Transistoren verwendet werden, da diese hinsichtlich des Rauschens und der Größe der parasitären Kapazitäten weit von einem idealen Transistor entfernt sind. Der eingefügte achte Widerstand isoliert insbesondere bei hohen Frequenzen die nicht ideal arbeitende weitere Stromquelle und verbessert so das Rauschverhalten sowie den Ausgangswiderstand. Darüber hinaus wird die Stabilität verbessert, da die effektive Kapazität am Ausgang der weiteren Stromquelle nun nicht mehr in so starkem Maße die Phasenreserve der gesamten Schaltungsanordnung beeinflußt. Das Einfügen eines Serienwiderstandes empfiehlt sich insbesondere bei Realisierung von sechstem und siebtem

Transistor als pnp-Transistoren an einem Stromausgang der Schaltungsanordnung.

[0010] Die Erfindung wird nachfolgend anhand des in der einzigen Figur der Zeichnung dargestellten Ausführungsbeispiels näher erläutert.

[0011] Bei der als Ausführungsbeispiel gezeigten erfindungsgemäßen Schaltungsanordnung ist ein npn-Transistor T1 vorgesehen, dessen Emitter mit einem Bezugspotential M verbunden ist und dessen Basis und Kollektor sowohl miteinander verschaltet als auch über einen gemeinsamen Widerstand R1 mit einem ein Referenzpotential führenden Ausgangsanschluß U gekoppelt sind. An Basis und Kollektor des Transistors T1 ist die Basis eines npn-Transistors T2 angeschlossen, dessen Emitter über einen Widerstand R3 mit dem Bezugspotential M und dessen Kollektor über einen Widerstand R2 mit dem Ausgangsanschluß U gekoppelt ist.

[0012] An dem Ausgangsanschluß U ist darüber hinaus der Emitter eines npn-Transistors T4 angeschlossen, dessen Kollektor mit einem Versorgungspotential V verbunden ist. Die Basis des Transistors T4 ist mit dem Kollektor eines npn-Transistors T3 verbunden, dessen Emitter an das Bezugspotential M und dessen Basis an den Kollektor des Transistors T2 angeschlossen ist. Dem Widerstand R2 ist eine Kapazität C1 parallel geschaltet.

[0013] Die Basis des Transistors T4 ist darüber hinaus über einen Widerstand R8 sowie eine Stromquellenschaltung an das Versorgungspotential V angeschlossen.

[0014] Die Stromquellenschaltung weist einen pnp-Transistor T6 auf, dessen Emitter über einen Widerstand R5 mit dem Versorgungspotential V und dessen Kollektor über den Widerstand R8 mit der Basis des Transistors T4 bzw. dem Kollektor des Transistors T3 verbunden ist. Die Basis des Transistors T6 ist mit Basis und Kollektor eines pnp-Transistors T7 verschaltet, dessen Emitter über einen Widerstand R6 mit dem Versorgungspotential V gekoppelt ist. Basis und Kollektor des Transistors T7 sowie die Basis des Transistors T6 sind darüber hinaus mit dem Kollektor eines npn-Transistors T5 verbunden, dessen Emitter über einen Widerstand R4 an das Bezugspotential M angeschlossen ist und dessen Basis mit dem Ausgangsanschluß U verbunden ist.

[0015] Neben dem Ausgangsanschluß U, an dem das Referenzpotential abgreifbar ist, kann darüber hinaus ein Ausgangsanschluß I vorgesehen werden, der einen Referenzstrom führt. Dazu ist der Ausgangsanschluß I mit dem Kollektor eines pnp-Transistors T8 verbunden, dessen Emitter über einen Widerstand R7 mit dem Versorgungspotential V verbunden ist und dessen Basis mit den Basen der Transistoren T6 und T7 verschaltet ist.

[0016] Die Bemessung des Kondensators C1 hängt vom jeweiligen Anwendungsfall ab, wobei auch hier bei höheren Kapazitäten das Rauschverhalten und bei niedrigeren Kapazitäten das Einschaltverhalten günstiger wird. Der Widerstand R8 wird so groß wie möglich

gewählt, um eine möglichst hohe Isolation zu gewährleisten.

5 Patentansprüche

1. Schaltungsanordnung zur Erzeugung eines Referenzpotentials

mit einem ersten Transistor (T1), dessen Emitter mit einem Bezugspotential (M) verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind,
mit einem zweiten Transistor (T2), dessen Basis mit der Basis des ersten Transistors (T1) verbunden ist,
mit einem ersten Widerstand (R1), der zwischen den Kollektor des ersten Transistors (T1) und einem Ausgangsanschluß (U) zum Abgreifen des Referenzpotentials geschaltet ist,
mit einem zweiten Widerstand (R2), der zwischen den Kollektor des zweiten Transistors (T2) und den Ausgangsanschluß (U) geschaltet ist,
mit einem dritten Widerstand (R3), der zwischen den Emitter des zweiten Transistors (T2) und das Bezugspotential (M) geschaltet ist,
mit einem dritten Transistor (T3), dessen Basis mit dem Kollektor des zweiten Transistors (T2) und dessen Emitter mit dem Bezugspotential (M) verbunden ist, und mit einer gesteuerten Stromquelle (T4), die zwischen ein Versorgungspotential (V) und den Ausgangsanschluß (U) geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors (T3) gekoppelt ist,

dadurch gekennzeichnet, daß

eine Kapazität (C1) vorgesehen ist, die dem zweiten Widerstand (R2) parallel geschaltet ist, die gesteuerte Stromquelle (T3, T4) einen vierten Transistor (T4) aufweist, dessen Kollektor mit dem Versorgungspotential (V), dessen Emitter mit dem Ausgangsanschluß (U) und dessen Basis mit dem Kollektor des dritten Transistors (T3) verbunden ist, zwischen Basis und Kollektor des vierten Transistors (T4) eine weitere Stromquelle (T5, T6, T7, R4, R5, R6) geschaltet ist und die weitere Stromquelle (T5, T6, T7, R4, R5, R6) aufweist:

einen fünften Transistor (T5), dessen Basis mit dem Ausgangsanschluß (U) und dessen Emitter unter Zwischenschaltung eines vierten Widerstandes (R4) mit dem Bezugspotential (M) verbunden ist,

einen sechsten Transistor (T6), dessen Emitter (T6) unter Zwischenschaltung eines fünften Widerstandes (R5) mit dem Versorgungspotential (V) verbunden ist, dessen Kollektor mit der Basis des vierten Transistors (T4) verschaltet ist und dessen Basis mit dem Kollektor des fünften Transistors (T5) gekoppelt ist, einen siebten Transistor (T7), dessen Basis und Kollektor miteinander sowie mit dem Kollektor des fünften Transistors (T5) gekoppelt sind und dessen Emitter unter Zwischenschaltung eines sechsten Widerstandes (R6) mit dem Versorgungspotential (V) verbunden ist.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß in Reihe zur weiteren Stromquelle (T6, T7) ein achter Widerstand (R8) geschaltet ist.

Claims

1. Circuit arrangement for generating a reference potential,

having a first transistor (T1), whose emitter is connected to a reference-earth potential (M) and whose base and collector are connected up to one another, having a second transistor (T2), whose base is connected to the base of the first transistor (T1), having a first resistor (R1), which is connected between the collector of the first transistor (T1) and an output terminal (U) for tapping off the reference potential, having a second resistor (R2), which is connected between the collector of the second transistor (T2) and the output terminal (U), having a third resistor (R3), which is connected between the emitter of the second transistor (T2) and the reference-earth potential (M), having a third transistor (T3), whose base is connected to the collector of the second transistor (T2) and whose emitter is connected to the reference-earth potential (M), and having a controlled current source (T4), which is connected between a supply potential (V) and the output terminal (U) and, on the input side, is coupled to the collector of the third transistor (T3),

characterized in that

a capacitance (C1) is provided, which is connected in parallel with the second resistor (R2),

the controlled current source (T3, T4) has a fourth transistor (T4), whose collector is connected to the supply potential (V), whose emitter is connected to the output terminal (U) and whose base is connected to the collector of the third transistor (T3),

a further current source (T5, T6, T7, R4, R5, R6) is connected between the base and collector of the fourth transistor (T4), and the further current source (T5, T6, T7, R4, R5, R6) has:

a fifth transistor (T5), whose base is connected to the output terminal (U) and whose emitter is connected to the reference-earth potential (M) with the interposition of a fourth resistor (R4),

a sixth transistor (T6), whose emitter (T6) is connected to the supply potential (V) with the interposition of a fifth resistor (R5), whose collector is connected up to the base of the fourth transistor (T4), and whose base is coupled to the collector of the fifth transistor (T5),

a seventh transistor (T7), whose base and collector are coupled to one another and also to the collector of the fifth transistor (T5) and whose emitter is connected to the supply potential (V) with the interposition of a sixth resistor (R6).

2. Circuit arrangement according to Claim 1, characterized in that an eighth resistor (R8) is connected in series with the further current source (T6, T7).

Revendications

1. Circuit de production d'un potentiel de référence

comprenant un premier transistor (T1) dont l'émetteur est relié à un potentiel (M) de référence et dont la base et le collecteur sont reliés entre eux,

comprenant un deuxième transistor (T2) dont la base est reliée à la base du premier transistor (T1),

comprenant une première résistance (R1) qui est montée entre le collecteur du premier transistor (T1) et une borne (U) de sortie destinée à prélever le potentiel de référence,

comprenant une deuxième résistance (R2) qui est montée entre le collecteur du deuxième transistor (T2) et la borne (U) de sortie,

comprenant une troisième résistance (R3) qui est montée entre l'émetteur du deuxième transistor (T2) et le potentiel (M) de référence,

comprenant un troisième transistor (T3) dont la base est reliée au collecteur du deuxième transistor (T2) et dont l'émetteur est relié au potentiel (M) de référence et comprenant une source (T4) de courant commandée qui est montée entre un potentiel (V) d'alimentation et la borne (U) de sortie et qui est couplée du côté de l'entrée au collecteur du troisième transistor (T3),

caractérisé en ce que

il est prévu une capacité (C1) qui est montée en parallèle à la deuxième résistance (R2), la source (T3, T4) de courant qui est commandée comporte un quatrième transistor (T4) dont le collecteur est relié au potentiel (V) d'alimentation, dont l'émetteur est relié à la borne (U) de sortie et dont la base est reliée au collecteur du troisième transistor (T3), il est monté entre la base et le collecteur du quatrième transistor (T4) une autre source (T5, T6, T7, R4, R5, R6) de courant et l'autre source (T5, T6, T7, R4, R5, R6) de courant comporte :

un cinquième transistor (T5) dont la base est reliée à la borne (U) de sortie et dont l'émetteur est relié avec interposition d'une quatrième résistance (R4) au potentiel (M) de référence, un sixième transistor (T6) dont l'émetteur (T6) est relié avec interposition d'une cinquième résistance (R5) au potentiel (V) d'alimentation, dont le collecteur est relié à la base du quatrième transistor (T4) et dont la base est couplée au collecteur du cinquième transistor (T5), un septième transistor (T7) dont la base et le collecteur sont couplés entre eux ainsi qu'au collecteur du cinquième transistor (T5) et dont l'émetteur est relié avec interposition d'une sixième résistance (R6) au potentiel (V) d'alimentation.

2. Circuit selon la revendication 1, caractérisé en ce qu'une huitième résistance (R8) est montée en série de l'autre source (T6, T7) de courant.

