



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) **EP 0 809 169 B1**

(12) **EUROPÄISCHE PATENTSCHRIFT**

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:
09.08.2000 Patentblatt 2000/32

(51) Int Cl.7: **G05F 3/26**, G05F 3/30

(21) Anmeldenummer: **97107599.9**

(22) Anmeldetag: **05.05.1997**

(54) **Ein-/Ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials**

Circuit for generating a voltage reference which can be enabled and disabled

Circuit pour générer une tension de référence pouvant être validée ou inhibée

(84) Benannte Vertragsstaaten:
DE FR GB IT

(30) Priorität: **24.05.1996 DE 19621110**

(43) Veröffentlichungstag der Anmeldung:
26.11.1997 Patentblatt 1997/48

(73) Patentinhaber: **SIEMENS
AKTIENGESELLSCHAFT
80333 München (DE)**

(72) Erfinder: **Weber, Stephan
81739 München (DE)**

(56) Entgegenhaltungen:
**EP-A- 0 396 996 EP-A- 0 411 657
US-A- 5 049 806 US-A- 5 430 395**

- **PATENT ABSTRACTS OF JAPAN vol. 018, no. 426 (P-1784), 9. August 1994 & JP 06 131068 A (FUJITSU LTD;OTHERS: 01), 13. Mai 1994**

EP 0 809 169 B1

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

Beschreibung

[0001] Die Erfindung betrifft eine ein-/ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials mit einem ersten Transistor, dessen Emitter mit einem Bezugspotential verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind, mit einem zweiten Transistor, dessen Basis mit der Basis des ersten Transistors verbunden ist, mit einem ersten Widerstand, der zwischen den Kollektor des ersten Transistors und einem Ausgangsanschluß zum Abgreifen des Referenzpotentials geschaltet ist, mit einem zweiten Widerstand, der zwischen den Kollektor des zweiten Transistors und des Ausgangsanschluß geschaltet ist, mit einem dritten Widerstand, der zwischen den Emitter des zweiten Transistors und das Bezugspotential geschaltet ist, mit einem dritten Transistor, dessen Basis mit dem Kollektor des zweiten Transistors und dessen Emitter mit dem Bezugspotential verbunden ist, und mit einer gesteuerten Stromquelle, die zwischen ein Versorgungspotential und den Ausgangsanschluß geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors gekoppelt ist.

[0002] Eine derartige, auch schaltbare Bandgap-Referenz bezeichnete Schaltungsanordnung ist beispielsweise aus Paul R. Gray, Robert G. Meyer, Analysis and Design of Analog Integrated Circuits, Second Edition, John Wiley and Sons, 1984, Seiten 293 bis 296, bekannt.

[0003] In Zukunft wird es bei integrierten Schaltkreisen zunehmend wichtiger, daß zum Zwecke der Stromersparnis sich zumindest Teile der Schaltkreise Ein- und Ausschalten lassen. Demzufolge werden mehr und mehr auch ein- bzw. abschaltbare Referenzspannungsquellen verwendet, da die Referenzspannungsquelle im abgeschalteten Zustand möglichst keinen Strom verbrauchen sollte, bietet es sich an, die Referenzspannungsquelle durch eine in Serie geschaltete Schalteinrichtung ein-/abzuschalten. Üblicherweise liegt dabei ein pnp-Transistor in Reihe zu einer Bandgap-Referenz als Referenzspannungsquelle, so daß die Versorgungsspannung höher sein muß, als eigentlich für die Bandgap-Referenz selbst notwendig ist. Außerdem lassen sich pnp-Transistoren in Standard-Technologie nur als großflächige Lateraltransistoren realisieren. Dabei ist häufig der Basisstrom zur Ansteuerung des pnp-Transistors nicht vernachlässigbar und erhöht die Stromaufnahme beim Betrieb.

[0004] Aufgabe der Erfindung ist es, eine ein-/ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials anzugeben, die diese Nachteile nicht aufweist.

[0005] Die Aufgabe wird durch eine Schaltungsanordnung gemäß Patentanspruch 1 gelöst. Ausgestaltungen und Weiterbildungen des Erfindungsgedankens sind Gegenstand von Unteransprüchen.

[0006] Zur Vermeidung eines großen Flächenbedarfs und unnötiger Spannungs- und Stromverluste werden

die Schaltmittel in die Bandgap-Referenz miteinbezogen. Insbesondere wird bei einer Schaltungsanordnung der eingangs genannten Art der Kollektor-Emitter-Strecke des dritten Transistors die Kollektor-Emitter-Strecke eines fünften Transistors parallel geschaltet und die Basis des fünften Transistors durch ein Schaltsignal angesteuert.

[0007] Bei einer Ausgestaltung der Erfindung weist die gesteuerte Stromquelle einen vierten Transistor auf, dessen Kollektor mit dem Versorgungspotential, dessen Emitter mit dem Ausgangsanschluß und dessen Basis mit dem Kollektor des dritten Transistors verbunden ist. Zwischen Basis und Kollektor des vierten Transistors ist dabei eine weitere Stromquelle geschaltet. Weiterhin kann die weitere Stromquelle einen sechsten Transistor aufweisen, dessen Basis mit dem Ausgangsanschluß und dessen Emitter unter Zwischenschaltung eines vierten Widerstandes mit dem Bezugspotential verbunden ist. Des weiteren sind ein siebter Transistor, dessen Emitter unter Zwischenschaltung eines fünften Widerstandes mit dem Versorgungspotential verbunden ist, dessen Kollektor mit der Basis des vierten Transistors verschaltet ist und dessen Basis mit dem Kollektor des sechsten Transistors gekoppelt ist, sowie ein achter Transistor, dessen Basis und Kollektor miteinander sowie mit dem Kollektor des sechsten Transistors gekoppelt sind und dessen Emitter unter Zwischenschaltung eines sechsten Widerstandes mit dem Versorgungspotential verbunden ist, vorgesehen.

[0008] Um die Anlaufeigenschaften beim Einschalten zu verbessern, wird vorgesehen, daß der Kollektor-Emitter-Strecke des sechsten Transistors die Kollektor-Emitter-Strecke eines neunten Transistors parallel geschaltet ist und daß dabei die Basis des neunten Transistors durch das Schaltsignal angesteuert wird.

[0009] Darüber hinaus kann zwischen die Basen von sechstem und neuntem Transistor ein siebter Widerstand geschaltet werden. Ferner kann das Schaltsignal über einen achten Widerstand der Basis des neunten Transistors zugeführt werden.

[0010] Eine Weiterbildung der Erfindung enthält einen zehnten Transistor, dessen Emitter mit den Basen von siebtem und achtem Transistor und dessen Kollektor mit dem Bezugspotential verbunden ist. Weiterhin ist ein elfter Transistor vorgesehen, dessen Kollektor mit dem Versorgungspotential, dessen Basis mit dem Kollektor des achten Transistors und dessen Emitter mit der Basis des zehnten Transistors verbunden ist. Die Basis des neunten Transistors ist dabei mit dem Eingangszweig eines Stromspiegels gekoppelt, dessen Ausgangszweig mit der Basis des zehnten Transistors gekoppelt ist.

[0011] Zwischen die Basen von siebtem und achtem Transistor einerseits und das Versorgungspotential andererseits kann ein elfter Transistor geschaltet werden, der zur Erhöhung der Stabilität beiträgt.

[0012] Schließlich kann vorgesehen werden, daß das Schaltsignal den Basen von fünftem und sechstem

Transistor jeweils unter Zwischenschaltung einer Pufferstufe zugeführt wird.

[0013] Die Erfindung wird nachfolgend anhand des in der einzigen Figur der Zeichnung dargestellten Ausführungsbeispiels näher erläutert.

[0014] Bei der als Ausführungsbeispiel gezeigten erfindungsgemäßen Schaltungsanordnung ist ein npn-Transistor T1 vorgesehen, dessen Emitter mit dem Bezugspotential M verbunden ist und dessen Basis und Kollektor miteinander verschaltet und über einen gemeinsamen Widerstand R1 mit einem ein Referenzpotential führenden Ausgangsanschluß U gekoppelt sind. An Basis und Kollektor des Transistors T1 ist die Basis eines npn-Transistors T2 angeschlossen, dessen Emitter über einen Widerstand R3 mit dem Bezugspotential M und dessen Kollektor über einen Widerstand R2 mit dem Ausgangsanschluß U gekoppelt ist.

[0015] An dem Ausgangsanschluß U ist darüber hinaus der Emitter eines npn-Transistors T4 angeschlossen, dessen Kollektor mit einem Versorgungspotential V verbunden ist. Die Basis des Transistors T4 ist mit dem Kollektor eines npn-Transistors T3 verbunden, dessen Emitter an das Bezugspotential M und dessen Basis an den Kollektor des Transistors T2 angeschlossen ist.

[0016] Die Basis des Transistors T4 ist darüber hinaus über eine Stromquellenschaltung an das Versorgungspotential V angeschlossen. Die Stromquellenschaltung weist einen pnp-Transistor T7 auf, dessen Emitter über einen Widerstand R5 mit dem Versorgungspotential V und dessen Kollektor mit der Basis des Transistors T4 bzw. dem Kollektor des Transistors T3 verbunden ist. Die Basis des Transistors T7 ist mit der Basis eines pnp-Transistors T8 verschaltet, dessen Emitter über einen Widerstand R6 mit dem Versorgungspotential V gekoppelt ist. Der Kollektor des Transistors T8 ist darüber hinaus mit dem Kollektor eines npn-Transistors T6 verbunden, dessen Emitter über einen Widerstand R4 an das Bezugspotential M angeschlossen ist und dessen Basis mit dem Ausgangsanschluß U verbunden ist.

[0017] Neben dem Ausgangsanschluß U, an dem das Referenzpotential abgreifbar ist, kann darüber hinaus ein Ausgangsanschluß I vorgesehen werden, der einen Referenzstrom führt. Dazu ist der Ausgangsanschluß I mit dem Kollektor eines pnp-Transistors T16 verbunden, dessen Emitter über einen Widerstand R14 mit dem Versorgungspotential V verbunden ist und dessen Basis mit den Basen der Transistoren T7 und T8 verschaltet ist.

[0018] Erfindungsgemäß ist der Kollektor-Emitter-Strecke des Transistors T3 die Kollektor-Emitter-Strecke eines pnp-Transistors T5 parallelgeschaltet. Somit ist der Emitter des Transistors T5 mit der Basis des Transistors T4 verbunden und der Kollektor des Transistors T5 an das Bezugspotential M angeschlossen. Seine Basis wird unter Zwischenschaltung einer Pufferstufe durch ein Schaltsignal S angesteuert. Die Pufferstufe

besteht aus einem pnp-Transistor T14, an dessen Basis das Schaltsignal S angelegt ist, dessen Emitter mit dem Versorgungspotential V gekoppelt ist und dessen Kollektor mit der Basis des Transistors T5 sowie unter Zwischenschaltung eines Widerstandes R12 mit dem Bezugspotential M gekoppelt ist. Anstelle eines pnp-Transistors T5 könnte in gleicher Weise auch ein npn-Transistor bei entsprechender Polung sowie entsprechender Auslegung des Schaltsignals S verwendet werden.

[0019] Weiterhin ist der Kollektor-Emitter-Strecke des Transistors T6 die Kollektor-Emitter-Strecke eines npn-Transistors T9 parallel geschaltet. Die Basis des Transistors T9 wird unter Zwischenschaltung eines Widerstandes R8 sowie einer weiteren Pufferstufe durch das Schaltsignal S angesteuert. Demgemäß sind die Emitter und die Kollektoren der Transistoren T6 und T9 jeweils miteinander verschaltet. Die weitere Pufferstufe enthält einen pnp-Transistor T15, dessen Emitter mit dem Versorgungspotential V und dessen Basis mit der Basis des Transistors T14 verbunden ist. Der Kollektor des Transistors T15 ist zum einen mit einem Anschluß des Widerstandes R8 und zum anderen über einen Widerstand R13 mit dem Bezugspotential M gekoppelt.

[0020] Die Basis des Transistors T9 ist zudem mit dem Eingangszweig eines Stromspiegels verbunden. Der Eingangszweig wird durch einen npn-Transistor T13 gebildet, dessen Basis und Kollektor miteinander sowie mit der Basis des Transistors T9 verschaltet sind und dessen Emitter unter Zwischenschaltung eines Widerstandes R10 an das Bezugspotential M angeschlossen ist. Der Ausgangszweig des Stromspiegels wird durch einen npn-Transistor T12 gebildet, dessen Basis mit der Basis des Transistors T13 verbunden ist und dessen Emitter unter Zwischenschaltung eines Widerstandes R9 an das Bezugspotential M angeschlossen ist. Der Kollektor des Transistors T12 ist auf die Basis eines pnp-Transistors T10, dessen Kollektor mit dem Bezugspotential M und dessen Emitter mit den Basen der Transistoren T7 und T8 verbunden ist, sowie auf den Emitter eines npn-Transistors T11, dessen Kollektor mit dem Versorgungspotential V und dessen Basis mit dem Kollektor des Transistors T8 verschaltet ist, geführt. Schließlich ist ein Widerstand R11 zwischen die Basen der Transistoren T7 und T8 einerseits und das Versorgungspotential V andererseits geschaltet.

[0021] Werden die Transistoren T14 und T15 durch das Schaltsignal S gesperrt, so sind ihre Kollektorpotentiale annähernd gleich dem Bezugspotential M. Der Transistor T5 ist dann ebenfalls gesperrt und hat auf die Funktion der übrigen Schaltungsteile keinen Einfluß. Der Transistor T4 wird in diesem Fall seiner Funktion entsprechend angesteuert. Der Transistor T15 liefert einen Anlaufstrom für die Bandgap-Zelle, die beim vorliegenden Ausführungsbeispiel aus den Transistoren T1 und T2 sowie den Widerständen R1 bis R3 besteht. Werden dagegen die Transistoren T14 und T15 durch das Schaltsignal S durchgesteuert, so ist ihr jeweiliges Kollektorpotential in etwa gleich dem Versorgungspo-

tential V. Der Transistor T5 ist dabei ebenfalls durchgesteuert und erzeugt an der Basis des Transistors T4 ein Potential, das diesen ebenfalls in den sperrenden Zustand bringt. Die Stromaufnahme der Bandgap-Zelle geht damit gegen Null. Der Widerstand R8 sowie dessen Kombination mit einem aus den Transistoren T10 und T11 bestehenden komplementären Emitterfolger unterstützen den Abschaltvorgang.

[0022] Damit liegt in Reihe zur Bandgap-Zelle nur der ohnehin notwendige Transistor T4. Ein weiterer Ein/Ausschalttransistor ist nicht notwendig. Somit wird ein serieller Spannungsabfall vermieden und darüber hinaus der zusätzliche Flächenbedarf gering gehalten. Mittels der Transistoren T9 bis T13 in Verbindung mit den Widerständen R8 und R11 werden auch die übrigen Schaltungsteile weitgehend stromlos gehalten, so daß insgesamt der Stromverbrauch im Ruhezustand sowie der gegenüber dem Versorgungsstrom im Betriebsfall notwendige Strom für die Abschaltvorrichtungen äußerst gering ist.

Patentansprüche

1. Ein-/Ausschaltbare Schaltungsanordnung zur Erzeugung eines Referenzpotentials mit einem ersten Transistor (T1), dessen Emitter mit einem Bezugspotential (M) verbunden ist und dessen Basis und Kollektor miteinander verschaltet sind,

mit einem zweiten Transistor (T2), dessen Basis mit der Basis des ersten Transistors (T1) verbunden ist,

mit einem ersten Widerstand (R1), der zwischen den Kollektor des ersten Transistors (T1) und einen Ausgangsanschluß (U) zum Abgreifen des Referenzpotentials geschaltet ist,

mit einem zweiten Widerstand (R2), der zwischen den Kollektor des zweiten Transistors (T2) und den Ausgangsanschluß (U) geschaltet ist,

mit einem dritten Widerstand (R3), der zwischen Emitter des zweiten Transistors (T2) und das Bezugspotential (M) geschaltet ist,

mit einem dritten Transistor (T3), dessen Basis mit dem Kollektor des zweiten Transistors (T2) und dessen Emitter mit dem Bezugspotential (M) verbunden ist, und

mit einer gesteuerten Stromquelle (T4), die zwischen ein Versorgungspotential (V) und den Ausgangsanschluß (U) geschaltet ist und die eingangsseitig mit dem Kollektor des dritten Transistors (T3) gekoppelt ist,

dadurch gekennzeichnet, daß der Kollektor-Emitter-Strecke des dritten Transistors (T3) die Kollektor-Emitter-Strecke eines fünften Transistors (T5) parallel geschaltet ist und daß die Basis des fünften

Transistors (T5) durch ein Schaltsignal (S) angesteuert wird.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die gesteuerte Stromquelle (T4) einen vierten Transistor (T4) aufweist, dessen Kollektor mit dem Versorgungspotential (V), dessen Emitter mit dem Ausgangsanschluß (U) und dessen Basis mit dem Kollektor des dritten Transistors (T3) verbunden ist, und daß zwischen Basis und Kollektor des vierten Transistors (T4) eine weitere Stromquelle (T7, T8, R4, R5, R6) geschaltet ist.

3. Schaltungsanordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die weitere Stromquelle (T6, T7, T8, R4, R5, R6) aufweist:

einen sechsten Transistor (T6), dessen Basis mit dem Ausgangsanschluß (U) und dessen Emitter unter Zwischenschaltung eines vierten Widerstandes mit dem Bezugspotential (M) verbunden ist;

einen siebten Transistor (T7), dessen Emitter unter Zwischenschaltung eines fünften Widerstandes (R5) mit dem Versorgungspotential (V) verbunden ist, dessen Kollektor mit der Basis des fünften Transistors (T5) verschaltet ist und dessen Basis mit dem Kollektor des sechsten Transistors (T6) gekoppelt ist;

einen achten Transistor (T8), dessen Basis und Kollektor miteinander sowie mit dem Kollektor des sechsten Transistors (T6) gekoppelt sind und dessen Emitter unter Zwischenschaltung eines sechsten Widerstandes (R6) mit dem Versorgungspotential (V) verbunden ist.

4. Schaltungsanordnung nach Anspruch 2 oder 3, **dadurch gekennzeichnet**, daß der Kollektor-Emitter-Strecke des sechsten Transistors (T6) die Kollektor-Emitter-Strecke eines neunten Transistors (T9) parallel geschaltet ist und daß die Basis des neunten Transistors (T9) durch das Schaltsignal (S) angesteuert wird.

5. Schaltungsanordnung nach Anspruch 4, **dadurch gekennzeichnet**, daß zwischen die Basis von sechstem und neuntem Transistor (T6, T9) ein siebter Widerstand (R7) geschaltet ist.

6. Schaltungsanordnung nach Anspruch 4 oder 5, **dadurch gekennzeichnet**, daß das Schaltsignal (S) über einen achten Widerstand (R8) der Basis des neunten Transistors (T9) zugeführt wird.

7. Schaltungsanordnung nach einem der Ansprüche 4 bis 6, **gekennzeichnet durch** einen zehnten Transistor

(T10), dessen Emitter mit den Basen von siebtem und achtem Transistor (T7, T8) und dessen Kollektor mit dem Bezugspotential verbunden ist, durch einen elften Transistor (T11), dessen Kollektor mit dem Versorgungspotential (V), dessen Basis mit dem Kollektor des achten Transistors (T8) und dessen Emitter mit der Basis des zehnten Transistors (T10) verbunden ist, und durch einen Stromspiegel (T12, T13, R9, R10), dessen Eingangszweig mit der Basis des neunten Transistors (T9) und dessen Ausgangszweig mit der Basis des zehnten Transistors (T10) gekoppelt ist.

8. Schaltungsanordnung nach einem der Ansprüche 3 bis 7,

dadurch gekennzeichnet, daß zwischen die Basen von siebtem und achtem Transistor (T7, T8) einerseits und das Versorgungspotential (V) andererseits ein elfter Widerstand (R11) geschaltet ist.

9. Schaltungsanordnung nach einem der Ansprüche 4 bis 8,

dadurch gekennzeichnet, daß das Schaltsignal (S) den Basen von fünftem und neuntem Transistor (T5, T9) jeweils unter Zwischenschaltung einer Pufferstufe (T14, R12; T15, R13) zugeführt wird.

Claims

1. Circuit arrangement, capable of being switched on/off, for generating a reference potential, having a first transistor (T1), whose emitter is connected to a reference-earth potential (M) and whose base and collector are connected to one another,

having a second transistor (T2), whose base is connected to the base of the first transistor (T1),

having a first resistor (R1), which is connected between the collector of the first transistor (T1) and an output terminal (U) for picking off the reference potential,

having a second resistor (R2) which is connected between the collector of the second transistor (T2) and the output terminal (U),

having a third resistor (R3), which is connected between the emitter of the second transistor (T2) and the reference-earth potential (M),

having a third transistor (T3) whose base is connected to the collector of the second transistor (T2) and whose emitter is connected to the reference-earth potential (M), and

having a controlled current source (T4) which is connected between a supply potential (V) and the output terminal (U) and is coupled to the collector of the third transistor (T3) on the input side,

characterized in that the collector/emitter path of a fifth transistor (T5) is connected in parallel with the collector/emitter path of the third transistor (T3), and in that the base of the fifth transistor (T5) is driven by a switching signal (S).

2. Circuit arrangement according to Claim 1, characterized in that the controlled current source (T4) has a fourth transistor (T4) whose collector is connected to the supply potential (V), whose emitter is connected to the output terminal (U) and whose base is connected to the collector of the third transistor (T3), and in that a further current source (T7, T8, R4, R5, R6) is connected between the base and collector of the fourth transistor (T4).

3. Circuit arrangement according to Claim 2, characterized in that the further current source (T6, T7, T8, R4, R5, R6) has:

a sixth transistor (T6), whose base is connected to the output terminal (U) and whose emitter is connected to the reference-earth potential (M) with the interposition of a fourth resistor;

a seventh transistor (T7), whose emitter is connected to the supply potential (V) with the interposition of a fifth resistor (R5), whose collector is connected up to the base of the fifth transistor (T5) and whose base is coupled to the collector of the sixth transistor (T6);

an eighth transistor (T8), whose base and collector are coupled to one another and also to the collector of the sixth transistor (T6) and whose emitter is connected to the supply potential (V) with the interposition of a sixth resistor (R6).

4. Circuit arrangement according to Claim 2 or 3, characterized in that the collector/emitter path of a ninth transistor (T9) is connected in parallel with the collector/emitter path of the sixth transistor (T6), and in that the base of the ninth transistor (T9) is driven by the switching signal (S).

5. Circuit arrangement according to Claim 4, characterized in that a seventh resistor (R7) is connected between the base of the sixth and ninth transistors (T6, T9).

6. Circuit arrangement according to Claim 4 or 5, characterized in that the switching signal (S) is fed via an eighth resistor (R8) to the base of the ninth transistor (T9).

7. Circuit arrangement according to one of Claims 4 to 6, characterized by a tenth transistor (T10), whose emitter is connected to the bases of the seventh and

eighth transistors (T7, T8) and whose collector is connected to the reference-earth potential, by an eleventh transistor (T11), whose collector is connected to the supply potential (V), whose base is connected to the collector of the eighth transistor (T8) and whose emitter is connected to the base of the tenth transistor (T10), and by a current mirror (T12, T13, R9, R10), whose input path is coupled to the base of the ninth transistor (T9) and whose output path is coupled to the base of the tenth transistor (T10).

8. Circuit arrangement according to one of Claims 3 to 7, characterized in that an eleventh resistor (R11) is connected between the bases of the seventh and eighth transistors (T7, T8), on the one hand, and the supply potential (V), on the other hand.
9. Circuit arrangement according to one of Claims 4 to 8, characterized in that the switching signal (S) is fed to the bases of the fifth and ninth transistors (T5, T9), in each case with the interposition of a buffer stage (T14, R12; T15, R13).

Revendications

1. Circuit pour générer une tension de référence pouvant être validé ou inhibé, comprenant
- un premier transistor (T1) dont l'émetteur est relié à un potentiel de référence (M) et dont la base et le collecteur sont connectés l'un à l'autre,
 - un deuxième transistor (T2) dont la base est reliée à la base du premier transistor (T1),
 - une première résistance (R1) qui est branchée entre le collecteur du premier transistor (T1) et une borne de sortie (U) pour le prélèvement de la tension de référence,
 - une deuxième résistance (R2) qui est branchée entre le collecteur du deuxième transistor (T2) et la borne de sortie (U),
 - une troisième résistance (R3) qui est branchée entre l'émetteur du deuxième transistor (T2) et le potentiel de référence (M),
 - un troisième transistor (T3) dont la base est reliée au collecteur du deuxième transistor (T2) et dont l'émetteur est relié au potentiel de référence (M), et
 - une source de courant commandée (T4) qui est branchée entre un potentiel d'alimentation (V) et la borne de sortie (U) et qui est couplée, sur le côté d'entrée, au collecteur du troisième transistor (T3),

caractérisé en ce que le trajet collecteur-émetteur du troisième transistor (T3) est branché en parallèle avec le trajet collecteur-émetteur d'un cinquième transistor (T5) et en ce que la base du cinquième transistor (T5) est commandée par un signal de commutation (S).

2. Circuit selon la revendication 1, caractérisé en ce que la source de courant commandée (T4) comprend un quatrième transistor (T4) dont le collecteur est relié au potentiel d'alimentation (V), dont l'émetteur est relié à la borne de sortie (U) et dont la base est reliée au collecteur du troisième transistor (T3), et en ce qu'une source de courant supplémentaire (T7, T8, R4, R5, R6) est branchée entre la base et le collecteur du quatrième transistor (T4).
3. Circuit selon la revendication 2, caractérisé en ce que la source de courant supplémentaire (T6, T7, T8, R4, R5, R6) comprend :

- un sixième transistor (T6) dont la base est reliée à la borne de sortie (U) et dont l'émetteur est relié au potentiel de référence (M) avec une quatrième résistance intercalée entre les deux ;

- un septième transistor (T7) dont l'émetteur est relié au potentiel d'alimentation (V) avec une cinquième résistance (R5) intercalée entre les deux, dont le collecteur est connecté à la base du cinquième transistor (T5) et dont la base est couplée au collecteur du sixième transistor (T6) ;

- un huitième transistor (T8) dont la base et le collecteur sont couplés l'un à l'autre ainsi qu'au collecteur du sixième transistor (T6) et dont l'émetteur est relié au potentiel d'alimentation (V) avec une sixième résistance (R6) intercalée entre les deux.

4. Circuit selon l'une des revendications 2 ou 3, caractérisé en ce que le trajet collecteur-émetteur du sixième transistor (T6) est branché en parallèle avec le trajet collecteur-émetteur d'un neuvième transistor (T9) et en ce que la base du neuvième transistor (T9) est commandée par le signal de commutation (S).
5. Circuit selon la revendication 4, caractérisé en ce qu'une septième résistance (R7) est branchée entre les bases des sixième et neuvième transistors (T6, T9).
6. Circuit selon l'une des revendications 4 ou 5, caractérisé en ce que le signal de commutation (S) est amené à la base du neuvième transistor (T9) par le biais d'une huitième résistance (R8).

7. Circuit selon l'une des revendications 4 à 6, caractérisé par un dixième transistor (T10) dont l'émetteur est relié aux bases des septième et huitième transistors (T7, T8) et dont le collecteur est relié au potentiel de référence, par un onzième transistor (T11) dont le collecteur est relié au potentiel d'alimentation (V), dont la base est reliée au collecteur du huitième transistor (T8) et dont l'émetteur est relié à la base du dixième transistor (T10), et par un miroir de courant (T12, T13, R9, R10) dont la branche d'entrée est couplée à la base du neuvième transistor (T9) et dont la branche de sortie est couplée à la base du dixième transistor (T10). 5 10
8. Circuit selon l'une des revendications 3 à 7, caractérisé en ce qu'une onzième résistance (R11) est branchée entre les bases des septième et huitième transistors (T7, T8) d'une part et le potentiel d'alimentation (V) d'autre part. 15 20
9. Circuit selon l'une des revendications 4 à 8, caractérisé en ce que le signal de commutation (S) est amené aux bases des cinquième et neuvième transistors (T5, T9) en intercalant à chaque fois un étage-tampon (T14, R12; T15, R13) entre les deux. 25

30

35

40

45

50

55

