

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 880 124 A1

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:

25.11.1998 Bulletin 1998/48(51) Int Cl.⁶: **G09G 3/28**(21) Numéro de dépôt: **98410053.7**(22) Date de dépôt: **18.05.1998**

(84) Etats contractants désignés:

**AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE**

Etats d'extension désignés:

AL LT LV MK RO SI(30) Priorité: **22.05.1997 FR 9706498**(71) Demandeur: **SGS-THOMSON****MICROELECTRONICS S.A.****94250 Gentilly (FR)**

(72) Inventeurs:

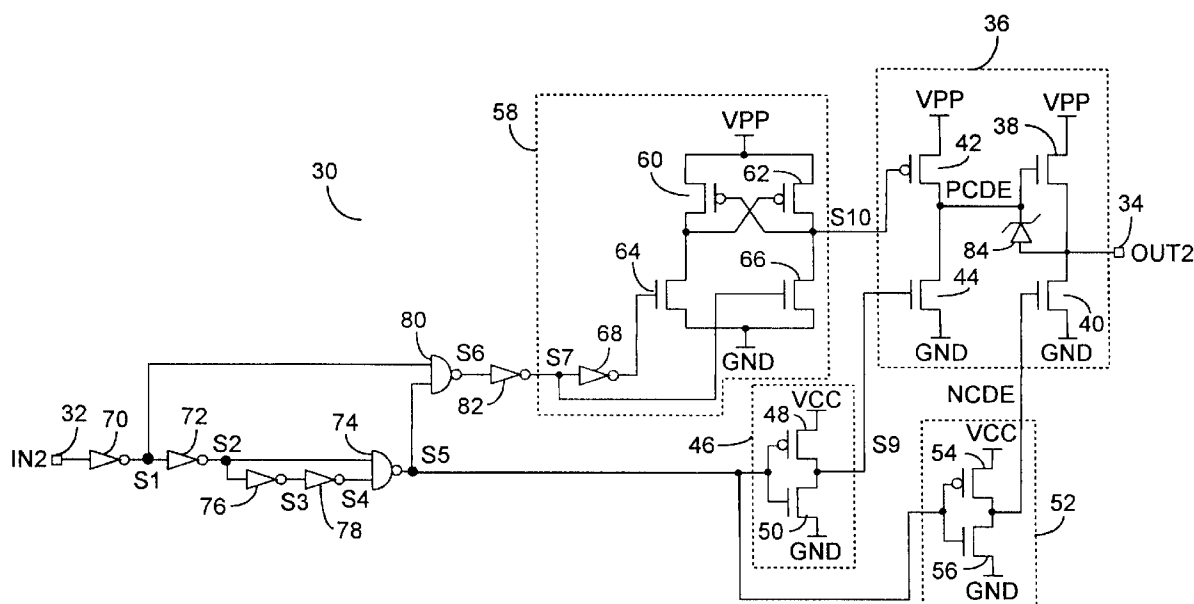
- **Troussel, Gilles**
38400 Saint Martin d'Hères (FR)

- **Lardeau, Céline**
38100 Grenoble (FR)

(74) Mandataire: **de Beaumont, Michel****1, rue Champollion****38000 Grenoble (FR)****(54) Etage de sortie de puissance pour la commande de cellules d'écran à plasma**

(57) L'invention concerne un étage de sortie de puissance (30) pour la commande de cellules d'écran à plasma. Il comprend deux transistors de charge et de décharge (38, 40) de type VDMOS à canal N, le transistor de charge étant agencé de sorte à former un transistor de type P composite. Ces transistors permettent de fournir un courant de charge à une sortie (34) et d'ab-

sorber un courant de décharge provenant de cette sortie. Deux inverseurs (46, 52) sont dimensionnés de sorte que le potentiel de la grille de commande du transistor de charge (38) chute plus rapidement que le potentiel de la sortie lorsque l'on commande une décharge de cette sortie. On réalise, ainsi, un étage de sortie d'encombrement limité et sans risque de conduction simultanée des transistors de charge et de décharge.

**FIG. 2**

Description

La présente invention concerne un étage de sortie de puissance pour la commande de cellules d'écran à plasma.

Un écran à plasma est un écran de type matriciel, formé de cellules disposées aux intersections de lignes et de colonnes. Une cellule comprend une cavité remplie d'un gaz rare, deux électrodes de commande et un dépôt de phosphore rouge, vert ou bleu. Pour créer un point lumineux sur l'écran, en utilisant une cellule donnée, on applique une différence de potentiel entre les électrodes de commande de cette cellule, de sorte à déclencher une ionisation de son gaz. Cette ionisation s'accompagne d'une émission de rayons ultraviolets. La création du point lumineux est obtenue par excitation du phosphore déposé, par les rayons émis.

La commande des cellules, en vue de créer des images, est réalisée, classiquement, par des circuits logiques produisant des signaux de commande. Les états logiques de ces signaux déterminent les cellules qui sont commandées pour produire un point lumineux et celles qui sont commandées pour ne pas en produire. Ces circuits logiques sont généralement alimentés en basse tension, par exemple avec une tension d'alimentation de 5 volts ou moins. Cette tension n'est pas suffisante pour piloter directement les électrodes des cellules. Entre les circuits logiques et les cellules à commander, on utilise donc des étages de sortie de puissance, pour convertir les signaux de commande basse tension en signaux de commande haute tension.

L'ionisation du gaz des cavités nécessite l'application de potentiels élevés sur les électrodes de commande, de l'ordre de grandeur de la centaine de volts. D'autre part, il est nécessaire de pouvoir fournir aux électrodes (et, corrélativement, de pouvoir recevoir de ces électrodes) des courants importants, de l'ordre de plusieurs dizaines de milliampères. En effet, les électrodes peuvent être représentées, schématiquement, par des capacités équivalentes relativement élevées de l'ordre de la centaine de picofarad (et, corrélativement, par des sources de courant de quelques dizaines de milliampères). La commande de ces électrodes est donc équivalente à la commande de charge ou de décharge d'une capacité. Or on souhaite, généralement, dans les écrans à plasma, obtenir des signaux qui ont des fronts raides. Cela représente, par exemple, des durées de charge et de décharge de l'ordre de la centaine de nanosecondes. Compte tenu du potentiel élevé à atteindre et de l'importance de la charge capacitive, cela suppose que l'on puisse fournir des courants de charge et absorber des courants de décharge très importants, pouvant atteindre la centaine de milliampères.

Comme on l'a mentionné, la commande des électrodes d'écran à plasma est réalisée par des étages de sortie de puissance recevant des signaux logiques basse tension et les convertissant en signaux de commande haute tension.

La figure 1 illustre un exemple de réalisation classique d'un étage de sortie 1 permettant de commander une électrode. L'étage 1 comprend une entrée de commande 2 et une sortie 4. L'entrée de commande 2 reçoit un signal logique d'entrée IN1. On suppose que ce signal est un signal basse tension, pouvant prendre deux états, un état haut et un état bas. L'état haut sera représenté par un potentiel positif VCC, avec par exemple VCC = 5V. L'état bas sera représenté par un potentiel de masse GND = V. La sortie 4 fournit un signal de commande de sortie OUT1. Ce signal de sortie est fourni à une électrode, représentée par une capacité équivalente Cout montée entre la sortie 4 et la masse. La commande de l'électrode consiste à charger la capacité Cout, pour l'amener à un potentiel haute tension VPP, ou à la décharger, si elle était chargée. On supposera que la charge est commandée quand le signal IN1 est à l'état haut, et que la décharge est commandée quand le signal IN1 est à l'état bas.

L'étage 1 comprend une paire 6 de transistors de puissance 8 et 10. Ces transistors sont, typiquement, des transistors de puissance complémentaires de type VDMOS, à canal N, et de type HVMOS à oxyde épais, à canal P. Par transistor VDMOS, on entend des transistors de type MOS verticaux, à canal N, aptes à supporter de fortes différences de potentiel source - drain et à fournir ou absorber des courants importants. Par transistor HVMOS sur oxyde épais, on entend des transistors de type MOS, à canal P, aptes à supporter de fortes différences de potentiel source - drain et source - grille. Le transistor 8, de type HVMOS à canal P, reçoit le potentiel VPP sur sa source. Son drain est relié à la sortie 4 et sa grille de commande reçoit un signal de commande INP. Ce transistor permet de charger la capacité Cout, lorsqu'il est passant. Le transistor 10 est alors bloqué. Le transistor 10, de type VDMOS à canal N, reçoit le potentiel GND sur sa source. Son drain est relié à la sortie 4 et sa grille de commande reçoit un signal de commande INN. Ce transistor permet de décharger la capacité Cout, lorsqu'il est passant. Le transistor 8 est alors bloqué. La commande du transistor de décharge 10 est réalisable en basse tension. Si INN = VCC il est passant, et si INN = GND, il est bloqué. Ainsi, dans la circuit 1, le signal INN est fourni par un inverseur 12 recevant le signal IN1. On utilisera un inverseur basse tension, alimenté par les potentiels VCC et GND. Cet inverseur permet d'inverser la polarité du signal IN1 de sorte que la charge et la décharge soient commandées, respectivement, par IN1 = VCC et IN1 = GND. La commande du transistor de charge 8 nécessite une commande haute tension. En effet, si INP = GND, le transistor 8 est passant, mais pour pouvoir le bloquer, il faut que le signal INP puisse atteindre un potentiel au moins égal à VPP. Pour ce faire, la commande du transistor 8 est réalisée par un circuit 14 translateur de potentiel, ce circuit 14 étant piloté par le signal d'entrée IN1.

Le circuit 14 comprend deux transistors de puissance 16 et 18 de type MOS à canal P, et deux transistors

de puissance 20 et 22, de type MOS à canal N. On utilisera des transistors aptes à supporter la haute tension, par exemple des transistors VDMOS, à canal N, et des transistors HVMOS sur oxyde épais, à canal P. Les transistors 16 et 18 reçoivent le potentiel VPP sur leurs sources. Les transistors 20 et 22 reçoivent le potentiel GND sur leurs sources. Le drain du transistor 16 est relié à la grille de commande du transistor 18 et au drain du transistor 20. Le drain du transistor 18 est relié à la grille de commande du transistor 16 et au drain du transistor 22. Les drains des transistors 18 et 22 fournissent le signal de commande INP. Le transistor 20 reçoit le signal INN sur sa grille de commande. Enfin, le transistor 22 reçoit un signal de commande NIN sur sa grille de commande. Ce signal NIN est fourni par un inverseur 24, alimenté en basse tension, et recevant le signal INN en entrée. Lorsque INN = GND, les transistors 20 et 22 sont, respectivement, bloqué et passant. Les transistors 16 et 18 sont, de ce fait, respectivement passant et bloqué. On a alors INP = GND. Le transistor de charge 8 est passant et le transistor de décharge 10 est bloqué. Lorsque INN = VCC, alors les transistors 20 et 22 sont, respectivement, bloqué et passant. Les transistors 16 et 18 sont, de ce fait, respectivement passant et bloqué. On a alors INP = VPP. Le transistor de charge 8 est bloqué et le transistor de décharge 10 est passant.

Un premier problème posé par le circuit de la figure 1 est la surface nécessaire pour réaliser le transistor de charge 8. En effet, compte tenu, d'une part, des différences de conductivité des transistors à canal P et à canal N et, d'autre part, des valeurs importantes des courants de charge et de décharge, le transistor 8 occupe une surface de l'ordre de deux à trois fois supérieure à celle occupée par le transistor 10, à performance équivalente en courant.

Un deuxième problème posé par le circuit de la figure 1 est le risque de conduction simultanée des transistors de sortie 8 et 10, lorsque le signal d'entrée IN1 change d'état. Une telle conduction simultanée, lorsque l'on modifie les signaux de commande des transistors 8 et 10, entraîne une dissipation importante, compte tenu des valeurs de tension et de courant concernant ces transistors.

Un but de l'invention est de proposer une structure d'étage de sortie qui permette de diminuer la surface nécessaire au transistor de charge et d'éviter une conduction simultanée des transistors de charge et de décharge lors des changements d'état du signal d'entrée. Pour ce faire, l'invention propose de remplacer le transistor de charge à canal P par un transistor à canal N agencé de manière à former un transistor de type P composite, et de commander les transistors à canal N de charge et de décharge à l'aide d'inverseurs dimensionnés pour éviter toute conduction simultanée.

Ainsi l'invention concerne un étage de sortie de puissance pour la commande de cellules d'écran à plasma, comprenant une entrée pour recevoir un signal logique d'entrée basse tension, une sortie pour fournir un

signal de commande de sortie haute tension, un circuit de sortie comprenant, d'une part, un transistor de charge recevant un potentiel haute tension sur un drain et ayant une source reliée à la sortie de commande et, d'autre part, un transistor de décharge recevant un potentiel de référence sur une source et ayant un drain relié à la sortie, et des moyens de commande fournissant des signaux de commandes aux transistors de charge et de décharge pour commander ces transistors en fonction du signal logique d'entrée, caractérisé en ce que les transistors de charge et de décharge sont de type VDMOS à canal N, le transistor de charge étant agencé pour former un transistor de type P composite, et en ce que les moyens de commandes sont agencés de sorte que le potentiel de la grille de commande du transistor de charge chute plus rapidement que le potentiel de la sortie lorsque le signal logique d'entrée commande une décharge de la sortie.

Selon un mode de réalisation, le circuit de sortie comprend, d'une part, un transistor de puissance à canal P commandé par un circuit translateur de potentiel, le dit transistor à canal P recevant le potentiel haute tension sur une source et ayant un drain relié à une grille de commande du transistor de charge et, d'autre part, un transistor de puissance à canal N ayant une source recevant le potentiel de référence et ayant un drain relié à la grille de commande du transistor de charge, les dits transistors à canal P et à canal N étant commandés de sorte que le transistor à canal P soit passant quand on souhaite rendre le transistor de charge passant et que le transistor à canal N soit passant quand on souhaite bloquer le transistor de charge, et en ce que les moyens de commande comprennent des inverseurs basse tension pour commander le transistor à canal N et le transistor de décharge, les dits inverseurs étant dimensionnés de sorte que, d'une part, le transistor de décharge soit rendu passant après que le transistor à canal N soit rendu passant, lorsque l'on souhaite commander la décharge de la sortie et, d'autre part, le transistor à canal N soit bloqué après que le transistor de décharge soit bloqué, lorsque l'on souhaite commander une charge de la sortie au travers du transistor de charge.

Selon un mode de réalisation, les moyens de commandes sont dimensionnés de sorte que, lorsque l'on rend passant l'un des transistors à canal P et à canal N du circuit de sortie, l'autre de ces transistors soit bloqué antérieurement, de manière à éviter toute conduction simultanée de ces transistors.

Selon un mode de réalisation, l'étage comprend des circuits logiques de filtrage pour filtrer le signal logique d'entrée de manière à éviter une modification de signaux de commande des transistors de puissance de l'étage si des impulsions parasites d'une durée inférieure à une durée donnée apparaissent dans le signal logique d'entrée.

D'autres avantages et particularités apparaîtront à la lecture de la description qui suit d'un exemple de réalisation de l'invention, à lire conjointement aux dessins

annexés dans lesquels :

- la figure 1 illustre un étage de sortie selon l'état de la technique,
- la figure 2 illustre un étage de sortie selon l'invention, et
- les figures 3a à 3n illustrent des chronogrammes de signaux et de potentiels produits ou fournis par le circuit selon l'invention.

La figure 2 illustre un étage de sortie de puissance 30 réalisé selon l'invention.

L'étage de sortie 30 comprend une entrée de commande 32 pour recevoir un signal logique d'entrée IN2 et une sortie 34 pour fournir un signal de commande de sortie haute tension OUT2. Le signal logique IN2 sera un signal basse tension, dont le potentiel sera représentatif d'un état logique donné : $IN2 = VCC$, avec VCC un potentiel d'alimentation basse tension, représentera un état logique haut, et $IN2 = GND$, avec GND un potentiel de référence (encore appelé potentiel de masse), représentera un état logique bas. On aura, par exemple, $VCC = 5\text{ V}$ et $GND = 0\text{ V}$. Le signal IN2 sera, typiquement, fourni par une circuiterie logique, non illustrée, qui déterminera son état logique en fonction d'images à former.

L'étage de sortie 30 comprend un circuit de sortie 36 permettant de relier la sortie 34 de l'étage 30 à un potentiel d'alimentation VPP haute tension ou au potentiel de masse GND. On choisira, par exemple, un potentiel d'alimentation VPP haute tension de 150 volts. Pour commander une électrode de cellule d'écran plasma, non représentée, on relie cette électrode à la sortie 34 de l'étage 30. Cette électrode se comportera comme un condensateur, que l'on peut charger ou décharger, tel qu'illustré sur la figure 1.

Le circuit de sortie 36 comprend deux transistors de puissance 38 et 40 permettant, respectivement, de porter le potentiel de la sortie de commande 34 au potentiel VPP et au potentiel GND. Le drain du transistor 38, dit de charge, reçoit le potentiel VPP. La source du transistor 40, dit de décharge, reçoit le potentiel GND. Le drain du transistor 40 et la source du transistor 38 sont reliés entre eux et constituent la sortie 34. Le transistor de charge 38 permet de fournir un courant de charge à la sortie 34, pour amener le potentiel du signal OUT2 sensiblement au niveau du potentiel VPP. Le transistor de décharge 40 permet d'absorber un courant de décharge fourni par la sortie 34, pour amener le potentiel du signal OUT2 sensiblement au niveau du potentiel GND. En considérant une charge capacitive de 100 picofarads sur la sortie 34 et des temps de charge et de décharge de l'ordre de 100 à 200 nanosecondes, les courants de charge et de décharge seront de l'ordre de 80 milliam-pères.

Les transistors 38 et 40 sont des transistors de type VDMOS à canal N, aptes à fournir et absorber des courants importants et à supporter des tensions source -

drain importantes. On choisira, par exemple, des transistors ayant un nombre de cellules élémentaires, respectivement, de 9×10 et 5×18 . Le circuit de sortie 36 comprend, en outre, deux transistors de puissance 42 et 44 de type MOS associés au transistor de charge 38. Ces transistors 42 et 44, respectivement à canal P et à canal N, permettent de former, conjointement avec le transistor 38, un transistor de type P composite.

Le transistor 42, de type MOS à canal P, reçoit le potentiel VPP sur sa source. Son drain est relié à la grille de commande du transistor de charge 38. Il reçoit un signal de commande, noté S10, sur sa grille de commande. Le transistor 44, de type MOS à canal N, reçoit le potentiel GND sur sa source. Son drain est relié au drain du transistor 42 et à la grille de commande du transistor de charge 38. Sa grille de commande reçoit un signal de commande noté S9. Le signal reçu par la grille de commande du transistor de charge 38, fourni par les transistors 42 et 44, est noté PCDE. On choisira, par exemple, un transistor 42, de type MOS, ayant un rapport W/L de 294/18 (avec W/L le rapport largeur de canal / longueur de canal du transistor) et un transistor 44, de type VDMOS, ayant un nombre de cellules élémentaires de 6×2 .

Le transistor de puissance 42 permet de rendre passant le transistor de charge 38. Pour cela, il suffit de fournir un signal S10 tel que le transistor 42 soit passant. On prendra, par exemple, $S10 = GND$. Le potentiel du signal S9 aura alors une valeur telle que le transistor 44 sera bloqué. On choisira, par exemple, $S9 = GND$. Quand le transistor 42 est passant, alors le potentiel du signal PCDE augmente, par la charge de la capacité de grille équivalente du transistor de charge 38. Une fois que PCDE atteint la tension de seuil V_t du transistor de charge 38, le transistor de charge 38 devient passant et le potentiel sur sa source atteint sensiblement $VPP - V_t$.

Pour bloquer le transistor de charge 38, on utilise le transistor 44. Pour cela, il suffit d'imposer, par exemple, $S9 = VCC$ et $S10 = VPP$. Le transistor 44 devient passant et on décharge, vers la masse, la capacité de grille équivalente du transistor 38. Pendant cette décharge, bien entendu, le transistor 42 doit être bloqué. Ainsi, le transistor 38, à canal N, est commandé de telle sorte qu'un potentiel bas ($S10 = GND$) le rende passant et qu'un potentiel haut ($S9 = VCC$) le bloque, ce qui correspond au comportement d'un transistor à canal P. Par contre, on peut utiliser un transistor de charge deux à trois fois moins gros que le transistor 8 de la figure 1, à courant de charge égal.

Le signal de commande S9 est produit par un inverseur 46 basse tension, formé de deux transistors 48 et 50 complémentaires, de type MOS. Le transistor 48, à canal P, reçoit le potentiel VCC sur sa source. Le transistor 50, à canal N, reçoit le potentiel GND sur sa source. Les drains de ces transistors sont reliés entre eux et fournissent le signal S9. Les grilles de commande de ces transistors sont reliées entre elles et reçoivent un signal logique de commande S5. On choisira, par exem-

ple, des transistors 48 et 50 ayant, respectivement, un rapport W/L de 100/5 et 50/3.

Le signal de commande NCDE est produit par un inverseur 52 basse tension, formé de deux transistors 54 et 56 complémentaires, de type MOS. Le transistor 54, à canal P, reçoit le potentiel VCC sur sa source. Le transistor 56, à canal N, reçoit le potentiel GND sur sa source. Les drains de ces transistors sont reliés entre eux et fournissent le signal NCDE. Les grilles de commande de ces transistors sont reliées entre elles et reçoivent le signal logique de commande S5. On choisira, par exemple, des transistors 54 et 56 ayant, respectivement, un rapport W/L de 250/5 et 100/3.

Le signal de commande S10 est produit par un circuit translateur de potentiel 58, semblable à celui décrit pour la figure 1. Le circuit 58 comprend deux transistors de puissance 60 et 62 de type MOS à canal P, et deux transistors de puissance 64 et 66, de type MOS à canal N. On utilisera des transistors aptes à supporter la haute tension. On choisira, par exemple, des transistors 60 et 62 ayant, respectivement, un rapport W/L de 50/18 et 100/18 et des transistors 64 et 66, de type VDMOS, ayant un nombre de cellules élémentaires de 6*1.

Les transistors 60 et 62 reçoivent le potentiel VPP sur leurs sources. Les transistors 64 et 66 reçoivent le potentiel GND sur leurs sources. Le drain du transistor 60 est relié à la grille de commande du transistor 62 et au drain du transistor 64. Le drain du transistor 62 est relié à la grille de commande du transistor 60 et au drain du transistor 66. Les drains des transistors 62 et 66 fournissent le signal de commande S10. Le transistor 66 reçoit un signal logique de commande S7 sur sa grille de commande. Enfin, le transistor 64 reçoit un signal de commande S8 sur sa grille de commande. Ce signal S8 est fourni par un inverseur 68, alimenté en basse tension, et recevant le signal S7 en entrée. Lorsque S7 = GND, les transistors 66 et 64 sont, respectivement, bloqué et passant. Les transistors 62 et 60 sont, de ce fait, respectivement passant et bloqué. On a alors S10 = VPP. Lorsque S7 = VCC, les transistors 66 et 64 sont, respectivement, passant et bloqué. Les transistors 60 et 62 sont, de ce fait, respectivement passant et bloqué. On a alors S10 = GND.

L'étage de sortie 30 comporte, en outre, des circuits logiques introduisant des retards. Ces circuits de retard comprennent des inverseurs 70, 72, 76, 78 et 82, ces inverseurs comprenant une entrée et une sortie, et deux portes logiques 74 et 80, de type NON_ET, ces portes comprenant deux entrées et une sortie. On suppose que ces circuits sont alimentés en basse tension, par exemple par les potentiels VCC et GND.

L'inverseur 70 reçoit en entrée le signal d'entrée IN2 et produit, sur sa sortie, un signal logique S1, par inversion du signal IN2. Ce signal S1 est fourni à une première entrée de la porte 80 et à l'entrée de l'inverseur 72. Cet inverseur 72 produit, sur sa sortie, un signal logique S2. Ce signal est fourni à une première entrée de la porte 74 et à l'entrée de l'inverseur 76. Cet inverseur

76 produit, sur sa sortie, un signal logique S3. Le signal S3 est fourni à l'entrée de l'inverseur 78 qui produit, sur sa sortie, un signal logique S4. Le signal S4 est fourni à la deuxième entrée de la porte 74. La porte 74 produit, sur sa sortie, le signal logique S5 qui est fourni aux inverseurs 46 et 52. Le signal S5 est, par ailleurs, fourni à la deuxième entrée de la porte 80. Cette porte produit, sur sa sortie, un signal logique S6 qui est fourni à l'entrée de l'inverseur 82. L'inverseur 82 produit, sur sa sortie, le signal logique S7 fourni au circuit translateur de potentiel 58.

L'ensemble formé par la porte 74 et les inverseurs 76 et 78 permet, comme on le verra ci-après, de retarder les impulsions positives dans le signal d'entrée IN2. Cet ensemble, concurremment avec l'inverseur 72 et la porte 80, permet de retarder les impulsions négatives dans le signal d'entrée IN2.

On va maintenant décrire le fonctionnement du circuit 30, en se référant aux figures 3a à 3n qui illustrent respectivement, le signal logique d'entrée IN2, le signal S1, le signal S5, le signal S2, le signal S4, le signal S3, le signal S6, le signal S7, le signal S8, le signal NCDE, le signal S9, le signal S10, le signal PCDE et le signal de commande de sortie OUT2.

On supposera qu'initialement on a S1 = S5 = S3 = S7 = VCC, PCDE = OUT2 = VPP, et IN2 = S2 = S4 = S6 = S8 = NCDE = S9 = S10 = GND. Autrement dit, le transistor de charge 38 est passant et le transistor de décharge 40 est bloqué. Le potentiel du signal OUT2 est donc sensiblement égal au potentiel VPP, en négligeant la tension de seuil du transistor 38.

Supposons qu'on souhaite commander une décharge de la sortie de commande 34 au travers du transistor de décharge 40. Pour ce faire, on positionne le signal d'entrée IN2 à l'état haut. On a alors IN2 = VCC. Le signal S1 va donc passer à l'état bas. Cela entraîne, d'une part, une montée à l'état haut du signal S6 et, d'autre part, une montée à l'état haut du signal S2. Ulérieurement, le signal S3 descend à l'état bas, et le signal S4 monte à l'état haut. Une fois que le signal S4 est monté à l'état haut, le signal S5 passe à l'état bas.

Les inverseurs 76 et 78 permettent de retarder les impulsions parasites positives, apparaissant dans le signal IN2. En effet, tant que la transition à l'état haut du signal S2 ne s'est pas propagée dans les inverseurs 76 et 78, le signal S5 est maintenu à l'état haut. Pour augmenter le délai minimal de retard, on pourra augmenter le nombre d'inverseurs placés entre la sortie de l'inverseur 72 et la deuxième entrée de la porte 74, ou bien encore modifier le dimensionnement des transistors formant ces inverseurs. On pourra, également, placer un condensateur entre les inverseurs 76 et 78. Le retard des fronts positifs dans le signal IN2 vis à vis des signaux S9 et NCDE permet d'éviter une conduction simultanée dans les transistors 42 et 44 et dans les transistors 38 et 40. La mise en conduction des transistors 40 et 44 est retardée jusqu'à la mise hors conduction du transistor 42 par le circuit translateur de potentiel 58

commandé par le signal S7.

La descente à l'état bas du signal S1, outre la descente ultérieure induite du signal S5, provoque la montée à l'état haut du signal S6. Cela entraîne la descente à l'état bas du signal S7 et la montée ultérieure, à l'état haut, du signal S8. De ce fait, on provoque la montée au potentiel VPP du signal S10, ce qui bloque le transistor 42. Si on suppose que le signal S9 est alors toujours à l'état bas, le potentiel PCDE est alors maintenu, par effet capacitif, au niveau de la grille du transistor de charge 38. On évite une conduction simultanée des transistors 42 et 44.

Quand le signal S5 descend à l'état bas, les transistors 50 et 56 vont se bloquer et les transistors 48 et 54 vont devenir passant. La charge capacitive vue par le transistor 50 étant inférieure à celle supportée par le transistor 54, le potentiel du signal S9 va augmenter plus rapidement que le potentiel du signal NCDE. On va donc décharger la grille de commande du transistor de charge 38 plus rapidement que la sortie 34, assurant ainsi que le transistor 38 reste toujours bloqué durant la décharge de la sortie 34. Connaissant les charges en sortie des inverseurs 46 et 52, on a en effet dimensionné les transistors 48 et 54 en conséquence. De ce fait, quand le transistor 40 devient passant, le transistor 38 reste bloqué, ce qui supprime le phénomène de conduction simultanée dans ces transistors. Une fois le transistor 40 passant, le potentiel du signal OUT2 va chuter pour atteindre le potentiel GND.

Supposons qu'ultérieurement on souhaite commander la charge de la sortie 34. Pour ce faire, on va positionner le signal IN2 d'entrée à l'état bas. On a alors $IN2 = GND$.

Le signal S1 va monter à l'état haut. Cela va entraîner le passage à l'état bas du signal S2. En conséquence, le signal S5 va monter à l'état haut, indépendamment des signaux S3 et S4 qui, parallèlement, vont passer respectivement à l'état haut et à l'état bas. Par conséquent, on va bloquer les transistors 48 et 54 et rendre passants les transistors 50 et 56. En dimensionnant les transistors 50 et 56 de telle sorte que le potentiel du signal NCDE chute plus rapidement que celui du signal S9, on va bloquer le transistor 40 avant de bloquer le transistor 44.

La montée du signal S5 entraîne, parallèlement, la descente du signal S6. De même que, précédemment, on retardait les impulsions positives avec les inverseurs 76 et 78, on va, ici, retarder les impulsions négatives avec l'inverseur 72 et la porte 74. Ce retard permet de s'assurer que les transistors 40 et 44 sont bien bloqués avant la mise en conduction du transistor 38. De même que précédemment, ce retard est réalisé dans les circuits logiques basse tension situés en entrée, ce qui permet d'éviter l'apparition de phénomènes de conduction simultanée dans les transistors de puissance.

Le passage à l'état haut du signal S6 entraîne la descente à l'état bas du signal S7 et, par suite, la montée à l'état haut du signal S8. En conséquence, le tran-

sistor 66 va devenir passant et le potentiel du signal S10 va descendre à GND. On va alors rendre passant le transistor 42. Celui-ci étant passant, le potentiel sur la grille du transistor de charge 38 va augmenter. On suppose qu'alors le transistor 44 est, bien entendu, bloqué, pour éviter toute conduction simultanée dans les transistors 42 et 44. Pour ce faire, on dimensionnera les inverseurs 82 et 68 en conséquence, connaissant la charge supportée par le transistor 50. Le transistor 38 va donc devenir passant et le potentiel du signal OUT2 va augmenter. A ce moment, le transistor 40 étant bloqué, il ne peut y avoir de conduction simultanée des transistors 38 et 40.

Ainsi, l'invention permet de disposer d'un étage de sortie à la fois peu encombrant et optimisé en ce qui concerne les problèmes de conduction simultanée.

Comme on l'a vu, lorsque l'on commande une décharge de la sortie 34, le circuit est optimisé de sorte que le transistor de charge 38 soit bloqué avant que le transistor de décharge 40 ne devienne passant. Pour ce faire, il convient d'assurer une chute du potentiel du signal PCDE qui soit plus rapide que la chute du potentiel du signal OUT2. En effet, dans le cas contraire, on peut voir apparaître une différence de potentiel grille - drain positive au niveau du transistor de charge 38, particulièrement si la charge capacitive associée à la sortie 34 est faible. Dans ce cas, le transistor 38 étant à canal N, on assisterait à une remise en conduction du transistor 38 et à un phénomène de conduction simultanée. Pour éviter l'apparition de ce phénomène, on commande donc le transistor 42 de telle sorte qu'il décharge la grille de commande du transistor de charge 38 plus vite que le transistor 40 ne décharge la sortie 34.

Notons C_{gd} la capacité grille - drain d'un transistor, C_{sd} sa capacité source-drain, C_g la capacité équivalente sur la grille, C_{sub} sa capacité substrat, C_s la charge capacitive reliée à la sortie 34, $C(34)$ la capacité équivalente de la sortie 34 et V_t la tension de seuil des transistors à canal N.

Lors du passage de la charge à la décharge de la sortie, des courants fournis par les transistors 54 et 48 vont charger les capacités grille - drain des transistors 40 et 44. Ces courants sont d'autant plus élevés que la variation dV/dt du potentiel du signal OUT2 est importante. Ces courants viennent réduire les différences de potentiel grille - source des transistors 40 et 44. En réduisant la résistance à l'état passant R_{on} du transistor 48, on applique une différence de potentiel grille-source plus importante pour le transistor 44. De la sorte, on accélère la descente du potentiel de la grille du transistor de charge 38 par rapport à sa source.

On a:

$$C_g(38) = C_{gd}(38) + C_{sd}(42) + C_{sub}(44) \text{ et} \\ C(34) = C_s + C_{sd}(38) + C_{sub}(40).$$

Par ailleurs, on a:

$$V_{gs} (44) = V_{CC} - R_{on} (48) * C_{gd} (44) * dV/dt (PCDE) \text{ et}$$

$$V_{gs} (40) = V_{CC} - R_{on} (54) * C_{gd} (40) * dV/dt (OUT2)$$

Pour ce qui concerne les passages de la décharge à la charge de la sortie 34, on veillera à satisfaire les conditions suivantes :

$$R_{on} (50) * C_{gd} (44) * dV/dt (PCDE) < V_t (44) \text{ et}$$

$$R_{on} (56) * C_{gd} (40) * dV/dt (OUT2) < V_t (40).$$

Avantageusement, afin d'éviter une perturbation de la partie logique de l'étage de sortie 30 par la décharge de sortie 34, la source de transistor 40 sera reliée à une masse analogique pour absorber le courant de décharge fourni par cette sortie 34 et on utilisera une masse différente pour les autres composants de l'étage de sortie.

Dans l'étage de sortie 30, on a prévu un dispositif de sécurité représenté par une diode Zener 84 placée entre la sortie 34 et la grille de commande du transistor 38. Cette diode Zener permet d'éviter l'apparition d'une différence de potentiel trop importante entre la grille de commande du transistor 38 et sa source. La présence de cette diode crée un chemin potentiel de décharge de la sortie 34 vers la source du transistor 44. Ceci n'est pas pénalisant dans la mesure où le contrôle des transistors 44 et 40 est réalisé par des dispositifs de même type, les inverseurs 46 et 52. Si ces dispositifs subissent des variations de leurs caractéristiques, par exemples dues aux variations de paramètres de fabrication ou de température de fonctionnement, ces variations seront de même nature pour ces deux inverseurs 46 et 52. De ce fait, l'influence de variations de caractéristiques de ces inverseurs sur le fonctionnement de l'étage de sortie sera très limitée. On peut donc aisément concilier la protection du transistor 38 et un bon fonctionnement de l'étage, en dimensionnant les inverseurs 46 et 52 de sorte que la majeure partie du courant de décharge de la sortie soit absorbée par le transistor de décharge 40, dont c'est la fonction, plutôt que par le transistor 44.

Bien entendu, diverses modifications pourront être apportées par l'homme du métier, sans que l'on sorte pour autant du cadre de l'invention. Ainsi, on pourra modifier la polarité des signaux logiques et/ou les produire avec des portes logiques différentes. On pourra, par exemple, choisir d'inverser les polarités des signaux de commande et utiliser des portes de type NON_OU en lieu et place des portes NON_ET.

Revendications

1. Etage de sortie de puissance (30) pour la commande de cellules d'écran à plasma, comprenant une entrée (32) pour recevoir un signal logique d'entrée basse tension (IN2), une sortie (34) pour fournir un signal de commande de sortie haute tension

(OUT2), un circuit de sortie (36) comprenant, d'une part, un transistor de charge (38) recevant un potentiel haute tension (VPP) sur un drain et ayant une source reliée à la sortie (34) et, d'autre part, un transistor de décharge (40) recevant un potentiel de référence (GND) sur une source et ayant un drain relié à la sortie (34), et des moyens de commande (42, 44, 46, 52, 58) fournissant des signaux de commandes (PCDE, NCDE) aux transistors de charge et de décharge pour commander ces transistors en fonction du signal logique d'entrée, caractérisé en ce que les transistors de charge et de décharge (38, 40) sont de type VDMOS à canal N, le transistor de charge (38) étant agencé pour former un transistor de type P composite, et en ce que les moyens de commandes sont agencés de sorte que le potentiel de la grille de commande du transistor de charge chute plus rapidement que le potentiel de la sortie lorsque le signal logique d'entrée commande une décharge de la sortie.

2. Etage selon la revendication 1, caractérisé en ce que le circuit de sortie (36) comprend, d'une part, un transistor de puissance à canal P (42) commandé par un circuit translateur de potentiel (58), le dit transistor à canal P recevant le potentiel haute tension (VPP) sur une source et ayant un drain relié à une grille de commande du transistor de charge (38) et, d'autre part, un transistor de puissance à canal N (44) ayant une source recevant le potentiel de référence (GND) et ayant un drain relié à la grille de commande du transistor de charge (38), lesdits transistors à canal P et à canal N étant commandés de sorte que le transistor à canal P (42) soit passant quand on souhaite rendre le transistor de charge (38) passant et que le transistor à canal N (44) soit passant quand on souhaite bloquer le transistor de charge (38), et en ce que les moyens de commande comprennent des inverseurs basse tension (46, 52) pour commander le transistor à canal N (44) et le transistor de décharge (40), lesdits inverseurs étant dimensionnés de sorte que, d'une part, le transistor de décharge (40) soit rendu passant après que le transistor à canal N (44) soit rendu passant, lorsque l'on souhaite commander la décharge de la sortie et, d'autre part, le transistor à canal N (44) soit bloqué après que le transistor de décharge (40) soit bloqué, lorsque l'on souhaite commander une charge de la sortie au travers du transistor de charge (38).

3. Etage selon la revendication 2, caractérisé en ce que les moyens de commandes sont dimensionnés de sorte que, lorsque l'on rend passant l'un des transistors à canal P et à canal N (42, 44) du circuit de sortie, l'autre de ces transistor soit bloqué antérieurement, de manière à éviter toute conduction simultanée de ces transistors.

4. Etage selon l'une des revendications 1 à 3, caractérisé en ce qu'il comprend des circuits logiques de retard (72, 74, 76, 78, 80) pour retarder le signal logique d'entrée (IN2) de manière à éviter une modification de signaux de commande (PCDE, NCDE) des transistors de puissance de l'étage si des impulsions parasites d'une durée inférieure à une durée donnée apparaissent dans le signal logique d'entrée.

5

10

15

20

25

30

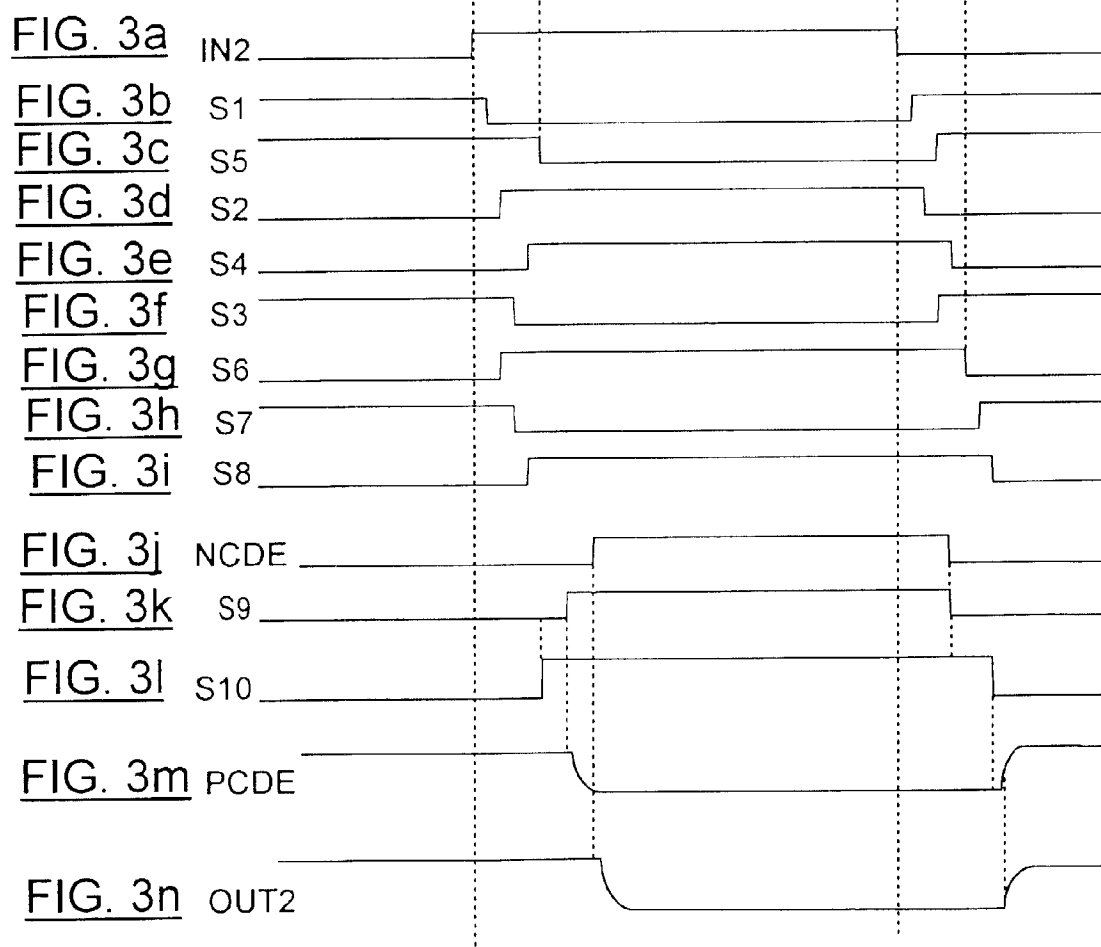
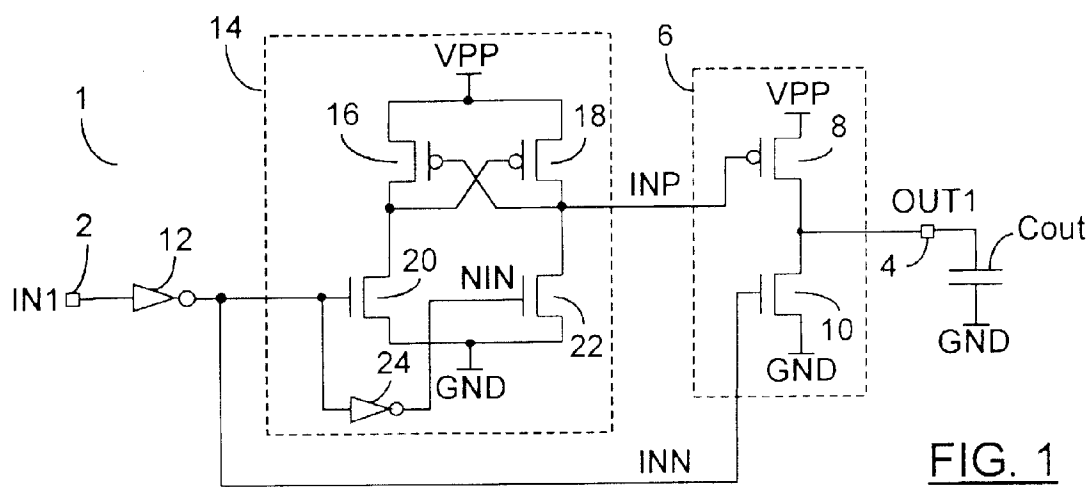
35

40

45

50

55



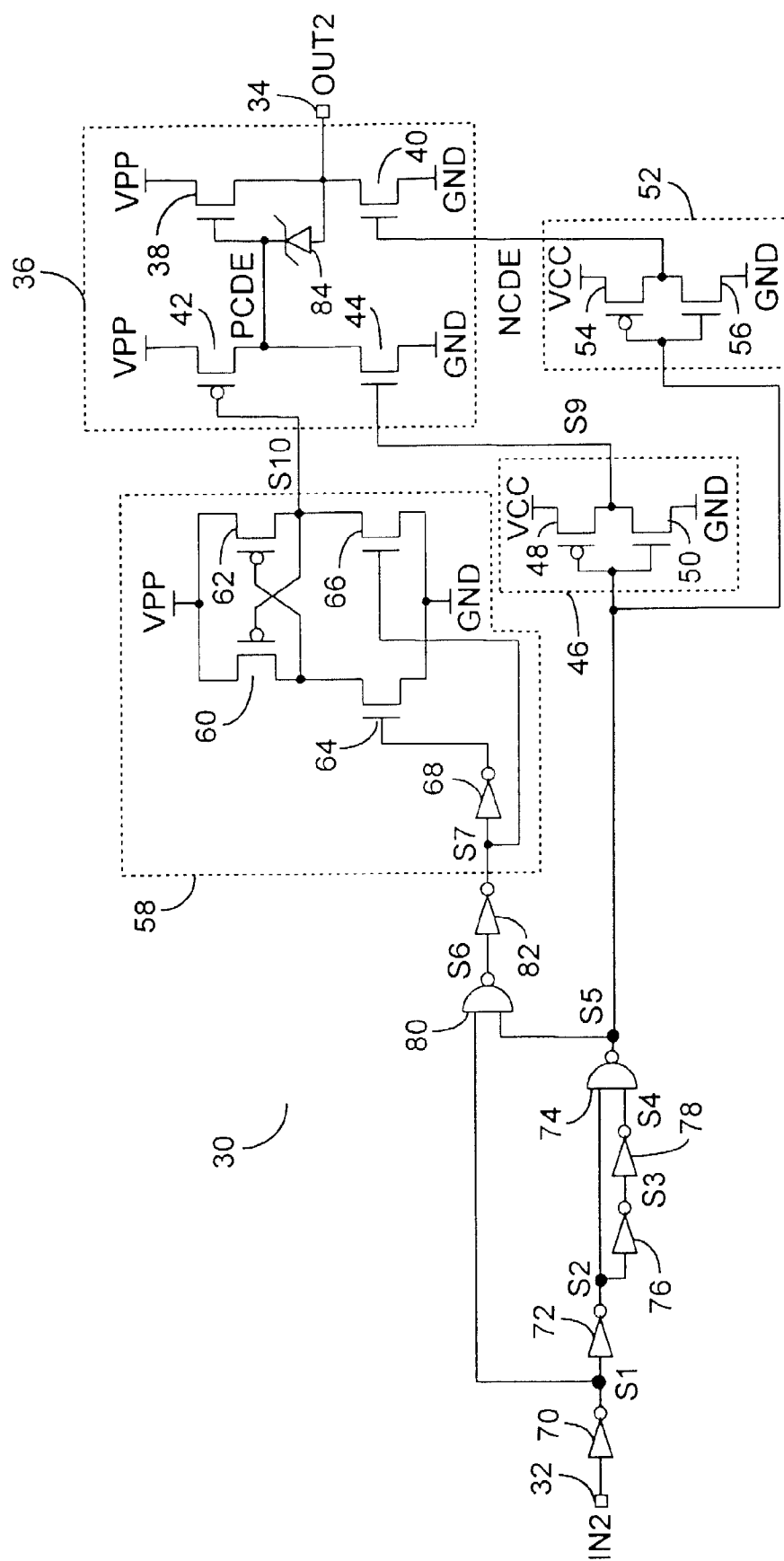


FIG. 2



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande
EP 98 41 0053

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
A	GB 2 291 549 A (MICRON TECHNOLOGY LTD.) 24 janvier 1996 * abrégé * * page 3, ligne 8 - ligne 35 * * page 5, ligne 32 - page 6, ligne 14 * * page 7, ligne 6 - ligne 17 * * page 9, ligne 1 - ligne 24; figures 1-7 *	1-4	G09G3/28
A	EP 0 351 820 A (K.K. TOSHIBA) 24 janvier 1990 * abrégé * * colonne 1, ligne 1 - ligne 4 * * colonne 3, ligne 4 - ligne 41; figures 1.2 *	1-4	
A	DE 37 30 649 A (SIEMENS) 30 mars 1989 * abrégé * * colonne 5, ligne 26 - colonne 6, ligne 20; figure 1 *	1-4	
A	PATENT ABSTRACTS OF JAPAN vol. 15, no. 4 (E-1031), 8 février 1991 & JP 02 283074 A (FUJI ELECTRIC CO. LTD.), 20 novembre 1990 * abrégé *	1-4	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6) G09G H03K
A	L. DELGRANGE ET AL: "A High-Voltage IC Driver for Large-Area AC Plasma Display Panels" DIGEST OF TECHNICAL PAPERS, SOCIETY FOR INFORMATION DISPLAY INTERNATIONAL SYMPOSIUM, 5-7 JUIN 1984, VOL.15 PAGES 103-106, XP002050571 * page 105, colonne de gauche, ligne 13 - ligne 16; figure 2 *	1-4	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 1 septembre 1998	Examineur O'Reilly, D
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03 82 (P04C02)